



**HAL**  
open science

# UNE ETUDE COMPARATIVE DES NIVEAUX DPI SUR UN CI BMS AVEC UN MODELE ANALYTIQUE DES RESONANCES

Badr Guendouz, Kamel Abouda, Alexandre Boyer, Sonia Ben Dhia, Hiba  
Mediouni, J. Dietsch

► **To cite this version:**

Badr Guendouz, Kamel Abouda, Alexandre Boyer, Sonia Ben Dhia, Hiba Mediouni, et al.. UNE ETUDE COMPARATIVE DES NIVEAUX DPI SUR UN CI BMS AVEC UN MODELE ANALYTIQUE DES RESONANCES. 21ème Colloque International et Exposition sur la Compatibilité ÉlectroMagnétique (CEM 2023), Jun 2023, Toulouse, France. hal-04203247

**HAL Id: hal-04203247**

**<https://laas.hal.science/hal-04203247>**

Submitted on 11 Sep 2023

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# UNE ETUDE COMPARATIVE DES NIVEAUX DPI SUR UN CI BMS AVEC UN MODELE ANALYTIQUE DES RESONANCES

B. Guendouz<sup>1,2</sup>, K. Abouda<sup>2</sup>, A. Boyer<sup>2,3</sup>, S. B. Dhia<sup>2,3</sup>, H. Mediouni<sup>2</sup>, J. Dietsch<sup>2</sup>

<sup>1</sup>LAAS-CNRS

<sup>2</sup>NXP semiconducteurs

<sup>3</sup>Univ. De Toulouse, INSA, UPS, LAAS

**Résumé.** En ce qui concerne l'immunité contre les interférences électromagnétiques (IEM) d'un circuit intégré de management de batteries (CI BMS), les pistes de PCB (Printed Circuit Board), les composants externes et l'impédance présentée par le BMS ont un rôle majeur. Dans la plupart des cas, les problèmes de compatibilité électromagnétique (CEM) sont rapportés dans les dernières phases de tests d'un produit ce qui peut engendrer des changements de conception augmentant ainsi les coûts et le temps de lancement du produit dans le marché. Dans ce contexte, ce travail propose de montrer l'impact des composants externes, pistes de PCB et architecture de protection Hot-Plug (HP) sur le bruit couplé au niveau du CI BMS. Un modèle analytique basé sur la théorie des réseaux à échelle (ladder networks) est utilisé afin de formuler les fréquences de couplage maximal de bruit sous un choix moins coûteux de composants externes. Ce modèle est ensuite utilisé dans la comparaison de deux architectures de protection HP en termes de bruit couplé sur le CI BMS.

## I. INTRODUCTION

Les batteries Lithium-Ion ainsi que les circuits de gestion de batterie, en anglais Battery Management System BMS [1], font toujours sujet de recherche afin de développer les nouvelles générations de voitures électriques (VE). Un aspect majeur de ce développement, par exemple, est la caractérisation des IEM conduites provenant de l'onduleur de puissance actionnant le moteur (inverter [2]) qui constitue une des sources d'agression du CI BMS. Dans ce chemin de bruit, les pistes PCB et l'impédance présentée par le CI BMS sont cruciaux pour une caractérisation appropriée du spectre des interférences [2][3]. Ainsi, ce travail aborde l'impact de tous ces composants pendant des simulations de CEM du CI BMS. En effet, durant la conception du CI BMS, la CEM des circuits est simulée à travers des approches standards telle la direct power injection (DPI)[6] afin d'effectuer des changements de conception et des optimisations en amont de la phase de test pour réduire les coûts et anticiper les défauts. Ainsi, choisir le bon modèle de front-end analogique du CI BMS joue un rôle majeur par rapport aux niveaux d'injection. Encore plus important est la façon par laquelle les composants externes sont placés comme les capacités de protection HP. Donc, avoir un modèle analytique simple qui prédit les fréquences de couplage maximal de bruit et niveaux d'injections dans les premières phases de conception s'avère vital afin de correctement caractériser l'immunité du CI BMS mais aussi pour optimiser le système en termes de coût de filtres, capacités etc. Additionnellement, bien que la théorie des échelles fut déjà une approche pour aborder les lignes de transmission

[4], ce travail en fait usage de façon simple afin d'extraire les fréquences de couplage maximal de bruit dans un environnement de CI BMS. Du côté du CI BMS, l'architecture de diodes de protection contre les décharges électrostatiques contribue à l'impédance présentée par celui-ci influençant ainsi les niveaux d'injections. Deux architectures de protection HP sont distinguées: une architecture centralisée [8] et une architecture différentielle [7]. Ainsi, avoir un modèle analytique simple qui prédit les fréquences de couplage maximal de bruit avec l'inclusion de l'architecture de protection HP peut s'avérer nécessaires dans les premières phases de conception. Non seulement ceci guide le choix de l'architecture de protection HP en termes de niveaux d'injections, mais aussi met en place un guide de conception de celle-ci afin de réduire le bruit couplé. Dans ce travail, ce modèle est proposé, validé par simulations et utilisé dans la comparaison de deux architectures de protection HP en termes de niveaux d'injection pendant la DPI. Ce papier est organisé comme suit: en premier, des concepts de front-end du CI BMS sont donnés. Deuxièmement, la modélisation des pistes PCB, CI BMS et d'injection DPI est présentée. Troisièmement, l'effet de la configuration de la capacité de protection sur la DPI est visualisé et le modèle analytique des fréquences de résonances est élaboré. Enfin, la comparaison entre deux architectures de protection HP est abordée ainsi qu'un modèle analytique.

## II. FRONT-END TYPIQUE DE CI BMS

Le but principal d'un CI BMS est d'assurer un fonctionnement sécurisé et optimisé de la batterie. Deux fonctions principales d'un CI BMS sont la mesure à grande précision de la tension des cellules de la batterie et l'équilibrage passive de ces cellules (cell balancing [1]). Fig. 1 montre une vue système du front-end du CI BMS et son environnement externe où  $S_i$  est le switch d'équilibrage passive,  $C_d$  sont les capacités de protection HP (47 nF), et  $R_b$  est la résistance d'équilibrage passive.

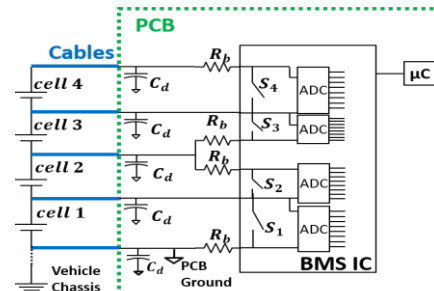


Fig. 1. Vue système d'un front-end typique de CI BMS

### III. MODELISATION DE L'ENVIRONNEMENT DU CI BMS

Le but de cette section est d'élaborer les modèles de pistes PCB, CI BMS et injection DPI afin de lancer des simulations réalistes d'une part, mais aussi formuler les résonances.

#### III.1. Modèle du CI BMS

Afin de simplifier l'approche, le switch d'équilibrage passif est considéré comme contributeur majeur dans l'impédance présentée par CI BMS. En effet, ces switches sont conçus pour avoir une large surface et une dissipation minimale de la chaleur dans le CI pendant l'équilibrage passif des cellules, ainsi, ils présentent un effet capacitif considérable étant ouverts. En simulant les capacités parasites d'un switch existant, une valeur de capacité de 30 pF a été choisie pour le représenter ( $C_L$  sur la Fig. 2).

#### III.2. Pistes PCB et Modèle DPI

Sur la Fig. 1, les pistes PCB sont modélisées en fonction de leurs longueurs. La longueur maximale est celle des câbles (20cm) provenant de la batterie (en bleu dans Fig. 1). Un modèle RLC a été utilisé pour modéliser les pistes PCB et les câbles. En présence d'une capacité  $C_d$  (47 nF) et d'une résistance  $R_b$  d'une valeur de 15  $\Omega$ , l'effet capacitif et résistif des pistes PCB et des câbles est négligé. Ainsi, seules des inductances sont utilisées pour modéliser les pistes PCB et les câbles.  $L_0$  dans la Fig. 2 modélise le câble de 20 cm alors que  $L_1$  modélise les différentes sections des pistes PCB. Additionnellement, un modèle réaliste de la capacité  $C_d$  qui inclut son comportement résistif et inductif a été utilisé. Concernant la DPI, une injection en mode commun (MC) a été implémentée avec une puissance de 30 dBm ( $V_i$  dans la Fig.2) couplée aux pistes PCB à travers  $R_i$  et  $C_i$  (6.8nF) comme le requiert les standards. Vues les valeurs de  $L_0$  et  $C_d$ , l'intervalle de fréquences considérée à ce stade est [150 kHz; 100 MHz] car l'ordre de grandeur des résonances introduites par ces composants sera en dessous de 100MHz.

En se basant sur le setup de la Fig. 2, deux configurations seront considérées dans la comparaison des niveaux d'injections:

- Config A:  $C_d$  connectée à la masse.
- Config B:  $C_d$  connectée en différentiel (Fig.2).

Enfin, afin d'extraire la valeur crête-à-crête (peak-to-peak) de la tension différentielle sur la charge ( $C_L$ ), des simulations transitoires ont été élaborées dans un environnement SPICE pour 4 cellules où:

- Suffisamment de périodes ont été considérées afin d'extraire les tensions crête à crête en régime permanent (minimum de 500 périodes).
- La tension crête-à-crête, noté  $V_{pk2pk}(C_{Li})$ , a été moyenné pour chaque fréquence injectée sur les 50 dernières périodes du signal.
- Enfin, suffisamment de points par décade ont été considérés dans l'intervalle [150 kHz; 100 MHz] (500 pts/décades).

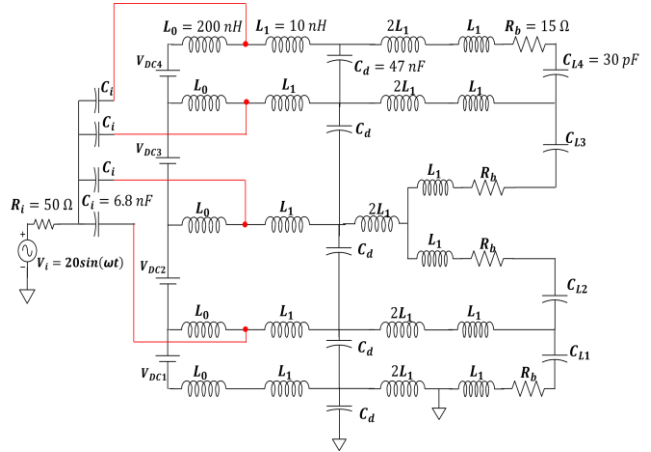


Fig. 2. Modélisation des pistes PCB et de l'injection MC en Config B.

### IV. EFFETS DE LA CAPACITE $C_d$ SUR LES NIVEAUX D'INJECTION DPI ET MODELE ANALYTIQUE

Dans cette section, les config A et B seront comparées en termes de valeur crête-à-crête de la tension différentielle générée aux bornes des condensateurs  $C_{L1}$ ,  $C_{L2}$ ,  $C_{L3}$ ,  $C_{L4}$ . Cette valeur sera notée  $V_{pk2pk}(C_{Li})$ . Ensuite, un modèle analytique basé sur la théorie des réseaux à échelle sera présentée afin de formuler les fréquences de couplage maximale de bruit.

#### IV.1. Résultats de Simulations

Quand  $C_d$  est connectée à la masse (config A), les pistes PCB présentent une impédance symétrique sur chaque branche. Et puisque l'injection est en mode commun, la conversion du mode commun en différentiel est minimale. En effet, selon les Fig.3b,3c,3d, la config A montre des niveaux d'injection considérablement réduits. Pour la cellule du bas (modélisée par  $C_{L1}$ ), puisque une de ses branches est connectée à la masse, l'injection DPI est pratiquement en mode différentiel, présentant ainsi des niveaux d'injection supérieurs à ceux des autres cellules. Concernant la config B, placer  $C_d$  en différentiel entraine une conversion mode commun en différentiel plus importante. En effet, comme le montre la Fig.3, des fréquences de résonance ont été introduites dues au couplage entre les pistes PCB. Ainsi, ces dernières constituent des fréquences de susceptibilité du CI BMS. Bien que la config A permet d'avoir moins de niveaux d'injection et de fréquences de résonances, la capacité  $C_d$  doit présenter une tenue en tension supérieure dans la config B (de l'ordre de 100V). En conséquences, la config A entraine un prix supérieur de la capacité  $C_d$  spécialement dans un pack avec un grand nombre de cellules. Alternativement, des niveaux d'injection supérieurs et des fréquences de résonances sont présents dans la config B. Cependant, puisque  $C_d$  est placée en différentiel, elle sera alors évaluée pour une tension plus bas (de l'ordre du 5V), permettant ainsi un prix réduit.

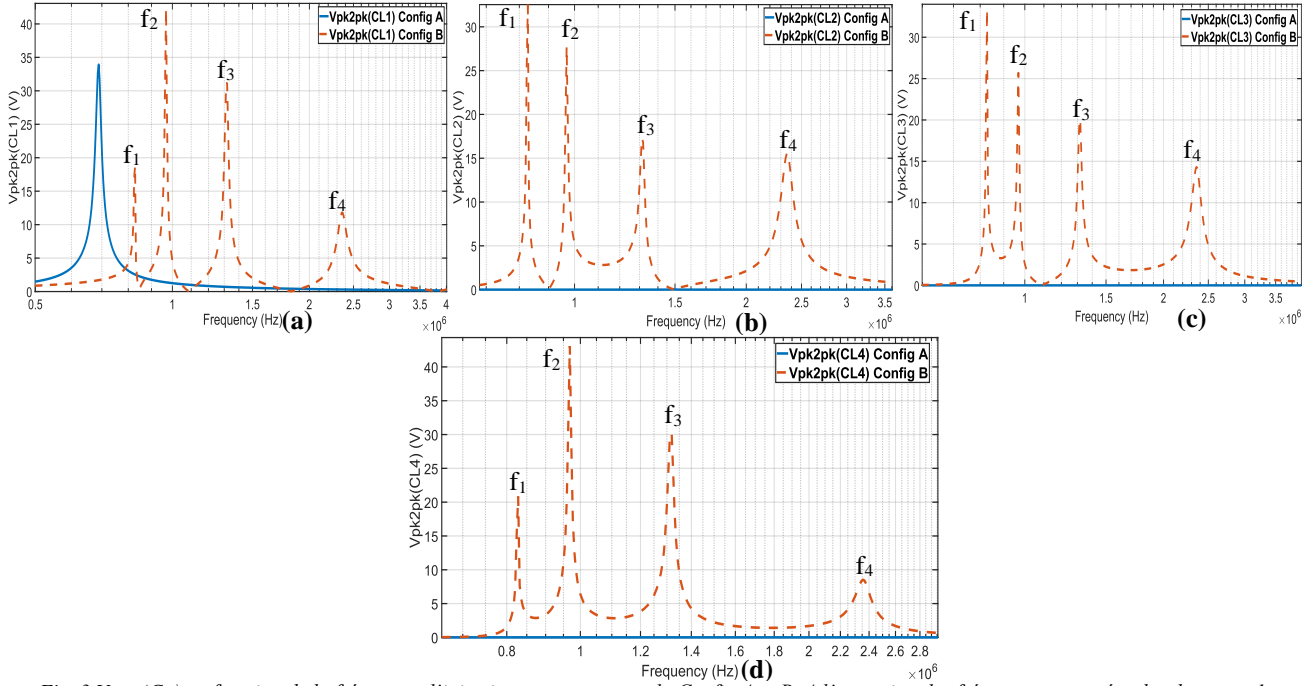
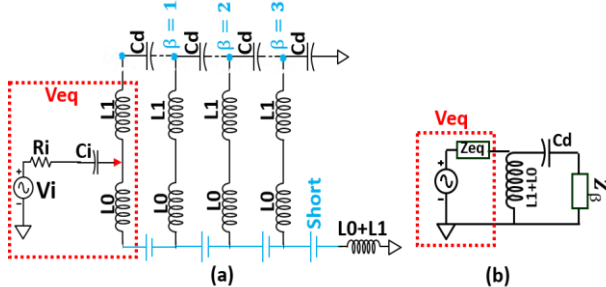


Fig. 3  $V_{pk2pk}(C_{L_i})$  en fonction de la fréquence d'injection pour comparer la Config A et B. A l'exception des fréquences montrées, les deux graphes sont identiques. (a)  $V_{pk2pk}(C_{L_1})$  dans la Config A et B. (b)  $V_{pk2pk}(C_{L_2})$  dans Config A et B. (c)  $V_{pk2pk}(C_{L_3})$  dans la Config A et B. (d)  $V_{pk2pk}(C_{L_4})$  dans la Config A et B.

#### IV.2. Modèle Analytique Des Fréquences De Couplage Maximal de Bruit

Pour la config B, due au large ratio entre  $C_d$  et  $C_L$ , l'effet du CI BMS peut être négligé en dessous de 100MHz. Deuxièmement, puisque la source de tension idéale ne présente aucune impédance, celle-ci est considérée comme un court-circuit en AC. La Fig. 4 illustre ce modèle. Afin de faciliter l'approche, une injection DPI différentielle sur la cellule du haut est considérée (Fig. 4a).



si une capacité est placée en différentielle entre les pistes PCB. En plus, ceci permet d'estimer l'impact des choix de layout des pistes PCB sur le bruit couplé dans les premières phases de conception. Enfin, la config B sera retenue pour le reste de l'article car elle constitue le choix le moins cher.

## V. COMPARAISON DES ARCHITECTURES DE PROTECTION HP EN TERMES DE NIVEAUX D'INJECTION DPI ET MODELE ANALYTIQUE

L'architecture de protection HP est activée lors d'un premier branchement du CI BMS pour rediriger le courant vers la masse. Elle est aussi conçue pour ne pas s'activer lors des tests DPI. Cependant, l'effet capacitif des diodes a toujours un impact sur le niveau d'immunité du CI BMS. Dans cette section un modèle haute fréquences (HF) des diodes est élaboré et validé par simulations d'une part. D'autre part, la comparaison entre les deux architectures de protections HP est présentée selon différents cas de résistance d'équilibrage ( $R_b$ ).

### V.1. Modèle HF De Diodes

Afin de profiter de la théorie des réseaux à échelle utilisée dans la section précédente, un modèle HF des diodes est considéré dans les calculs.

#### a - Architecture Centralisée

L'architecture centralisée [8] fait usage de diodes pour rediriger le courant vers une structure ESD (clamp). Une telle architecture est montrée sur la Fig.5a, :

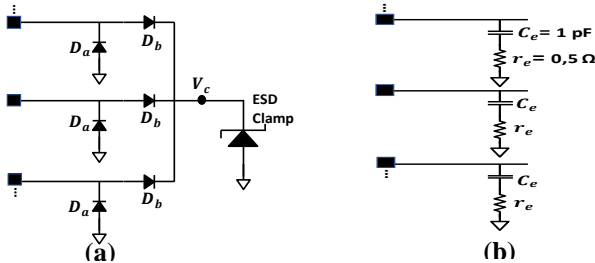


Fig. 5. (a) Architecture de protection HP centralisée. (b) Modèle HF de l'architecture de protection HP centralisée.

Par rapport à [8], les diodes  $D_a$  sont rajoutées pour une approche plus réaliste, au cas où une branche part en négatif. Comme le nœud  $V_c$  est polarisé autour de la tension du pack, la tension aux bornes  $D_a$  augmente alors que celle sur  $D_b$  diminue en allant du bas vers le haut. Puisque la capacité de jonction d'une diode est inversement proportionnelle à son voltage, la capacité de  $D_a$  diminue alors que celle de  $D_b$  augmente en allant du bas vers le haut. Le clamp ESD, lui, présente une plus grande capacité comparé à  $D_a$  et  $D_b$  directement à la masse. En plus, les diodes présentent une faible résistance due la région quasi-neutre sur le chemin du signal AC. Fig.5b montre le modèle considéré. Afin de valider ce modèle, des simulations DPI ont été faites avec 15dBm seulement pour empêcher  $D_a$  de la première cellule de

s'activer maintenant ainsi un effet capacitif. 18 cellules ont été considérées avec l'architecture centralisée d'une part, puis avec le modèle HF d'autre part sans l'inclusion de  $R_b$  afin de visualiser les résonances dans l'intervalle [150 kHz; 1 GHz]. Des simulations transitoires ont été effectuées avec 1000 points par décade.

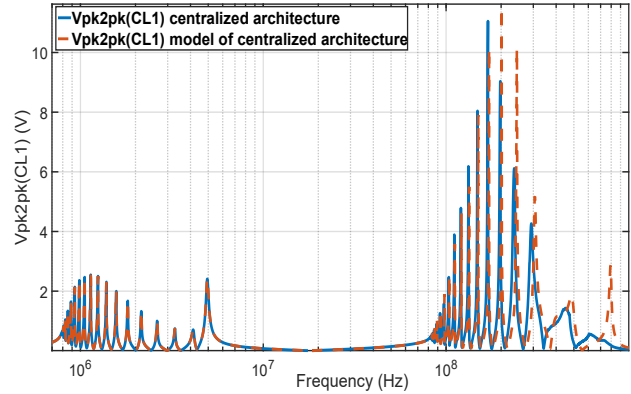


Fig. 6. Validation du modèle HF de l'architecture HP centralisée.

De la Fig.6, le modèle HF montre un accord convenable avec l'architecture centralisée et sera ainsi retenu pour le reste de l'analyse. Enfin, les résonances en basse fréquences sont causées par  $C_d$  alors que celles en hautes fréquences sont causées par le réseaux à échelle C-L constitué de  $\{3L1, CL\}$ . Ainsi, le reste des simulations sera effectué dans l'intervalle [70 MHz ; 1 GHz].

#### b - Architecture Différentielle

L'architecture différentielle dans [7][8] fait usage de diodes Zener différentielles afin de rediriger le courant vers la masse. Avec la même approche de l'architecture centralisée, le modèle HF suivant est proposé.

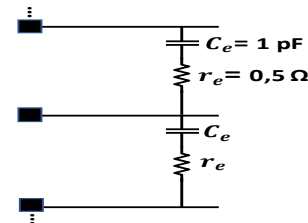


Fig. 7. Modèle HF de l'architecture de protection HP différentielle.

Le modèle HF de l'architecture différentielle a été validé dans l'intervalle [70 MHz; 1GHz].

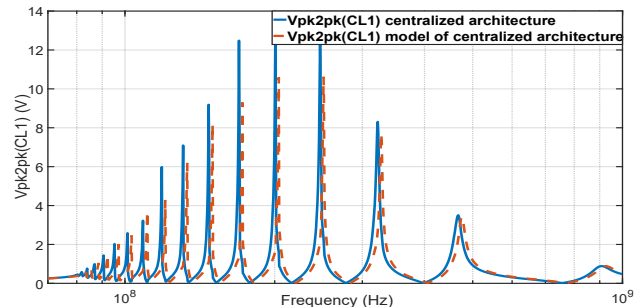


Fig. 8. Validation du modèle HF de l'architecture HP différentielle.

De la Fig.8, le modèle HF montre un accord convenable avec l'architecture centralisée et sera ainsi retenu pour le reste de l'analyse.

## V.2. Comparaison Entre l'Architecture Centralisée et Différentielle sans $R_b$

Afin de clairement visualiser l'effet de chaque architecture,  $R_b$  n'est pas incluse dans un premier temps. Pour faciliter cette approche les pistes PCB sont considérées comme dans la Fig.9 pour 18 cellules. Des simulations DPI ont été faites pour les deux types d'architectures et la valeur crête-à-crête de la tension générée coté CI BMS a été extraite avec 1000 points par décade.

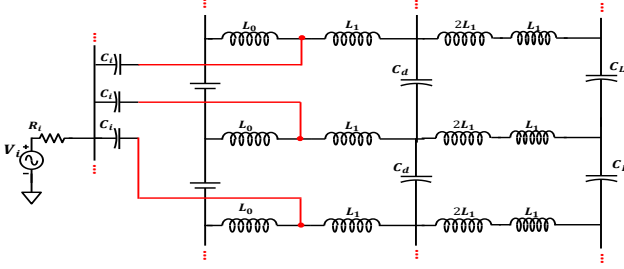


Fig. 9. Layout des pistes PCB considéré dans la comparaison entre les architectures de protection HP pour 18 cellules.

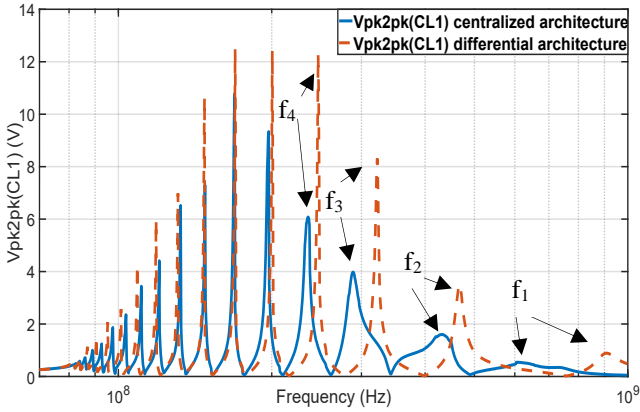


Fig. 10. Comparaison entre les architectures de protection HP en termes de niveaux d'injections sur  $C_{L_i}$  sans  $R_b$ .

De la Fig.10, l'architecture centralisée montre un niveau d'injection supérieur en hautes fréquences de  $f_4$  à  $f_1$ . Additionnellement, l'architecture centralisée entraîne un décalage fréquentiel plus important que l'architecture différentielle pour les fréquences ( $f_4$ ,  $f_3$ ,  $f_2$ ,  $f_1$ ). Afin de valider davantage l'approche analytique présentée dans la section précédente, celle-ci sera utilisée dorénavant avec l'inclusion de l'architecture de protection HP centralisée et différentielle. Et puisque les résonances en hautes fréquences sont d'intérêt,  $C_d$  (47nF) montre alors une faible impédance et peut être considérée comme un court-circuit conduisant ainsi aux modèles suivants.

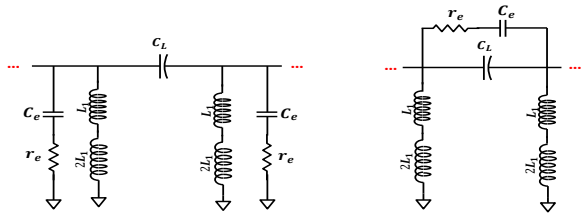


Fig. 11. Modèle des pistes PCB avec les architectures de protection HP. (a) Centralisée. (b) Différentielle.

Afin d'extraire les fréquences de résonances, l'équation (2) est exprimée dans le cas de la Fig.11a et la Fig.11b. Ainsi ces résonances constituent les racines des polynômes suivants.

- Dans le cas de l'architecture centralisée:

$$D(s) = 1 + C_e r_e s + 3L_1(C_e + a_{n,i}C_L)s^3 + a_{n,i}C_L 3L_1 C_e r_e s^3 \quad (4)$$

Où "i" est l'index de résonance,  $a_{n,i} = 4 \sin\left(\frac{i}{2(N_{cell}-\beta+2)}\pi\right)^2$ ,  $\beta = 1$ , et  $N_{cell} = 18$ .

- Dans le cas de l'architecture différentielle:

$$D(s) = 1 + C_e r_e s + 3L_1 a_{n,i}(C_e + C_L)s^3 + a_{n,i}C_L 3L_1 C_e r_e s^3 \quad (5)$$

Où "i" est l'index de résonance,  $a_{n,i} = 4 \sin\left(\frac{i}{2(N_{cell}-\beta+2)}\pi\right)^2$ ,  $\beta = 1$ , et  $N_{cell} = 18$ .

Chacun de ces polynômes a 3 racines dont une est réelle et les deux autres sont des complexes conjugués. La racine réelle est un pôle présents dans les THz et qui est introduit par l'architecture de protection HP. Cependant, les racines complexes impactent directement les réseaux à échelle (Fig.11). Plus précisément, la partie réelle de ces racines reflète l'atténuation du signal. Plus cette dernière sera plus importante, plus le signal sera atténué. Concernant la partie imaginaire, celle-ci représente la fréquence de résonance. Pour les fréquences d'intérêt, la valeur calculée par le modèle est présentée dans le Tableau 2.

Tableau 2. Valeurs simulées et calculées de  $f_1$ ,  $f_2$ ,  $f_3$ ,  $f_4$ .

	Centralisée		Différentielle	
	Simulées [MHz]	Equation (4) [MHz]	Simulées [MHz]	Equation (5) [MHz]
$f_4$	236.1	248.695	246.7	254.136
$f_3$	289.1	320.271	322.2	336.142
$f_2$	433.6	445.672	466.8	501.340
$f_1$	613.9	682.434	920.7	999.257

Depuis le Tableau 2, le modèle analytique montre un accord convenable avec la simulation. En outre, ceci confirme que l'architecture centralisée place ces résonances plus basse fréquence que l'architecture différentielle. Cette approche analytique peut être utile dans les premières phases de conception afin d'évaluer l'impact du layout des pistes PCB et architecture de protection HP. De plus, cette approche permet potentiellement de repérer les fréquences de susceptibilité du CI BMS dans les premières phases de conception du produit. Concernant la partie réelle des racines complexes, la Fig.12 compare l'atténuation calculée des deux architectures.

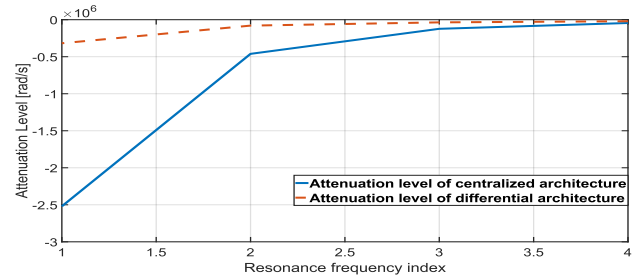


Fig. 12. Comparaison des niveaux d'atténuation entre les architectures de protection HP centralisée et différentielle.

La Fig.12 montre que l'architecture centralisée entraîne une meilleure atténuation pour les résonances en haute fréquences. Ensuite,  $R_b$  est rajoutée et la comparaison entre les architectures est présentée.

### V.3. Comparaison entre l'Architecture Centralisée et Différentielle avec $R_b$

Avec l'inclusion de  $R_b$ , un scénario plus réaliste d'injection est obtenu.  $R_b$  est rajoutée sur chaque branche sur la Fig.9 avec une valeur de  $7.5 \Omega$ . Sachant que  $R_b$  est dorénavant la source majeure d'atténuation, la comparaison entre les deux architectures est présentée sur la Fig.13.

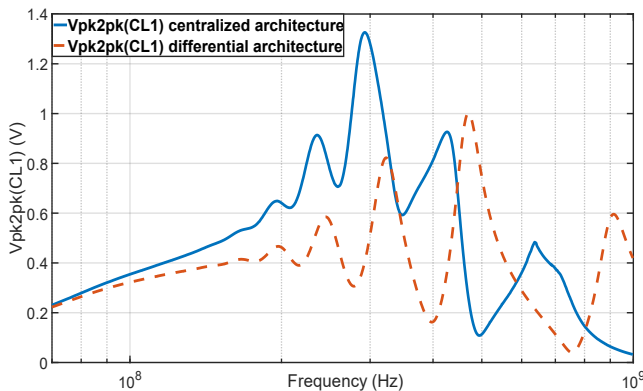


Fig. 13. Comparaison entre les architectures de protection HP en termes de niveaux d'injections sur  $C_{LI}$  avec  $R_b$ .

De la Fig.13, l'architecture centralisée montre un niveau d'injection et un décalage fréquentiel des résonances vers les basses fréquences plus important. Cependant, des niveaux légèrement plus élevés sont remarqués pour l'architecture centralisée autour de 260 MHz. En effet, après introduction de  $R_b$ , le facteur de qualité des résonances est drastiquement réduit. Ainsi, les allures des résonances et antirésonances sont plus larges et plus susceptible de se compenser. Puisque l'architecture centralisée introduit un décalage plus important des résonances vers les basses fréquences, l'amplitude augmente due à une compensation non précise entre les résonances et antirésonance (pôles et zéros de l'équation (2) formulés en présence de l'architecture HP et de  $R_b$ ). En outre, il serait plus intéressant de comparer les deux architectures si la différentielle est conçue pour présenter un effet capacitif  $C_e$  de 100 pF et la centralisée de 10 pF. De ce fait, le modèle HF des architectures HP est utilisé avec ces valeurs de  $C_e$  et le layout PCB de la Fig.9.

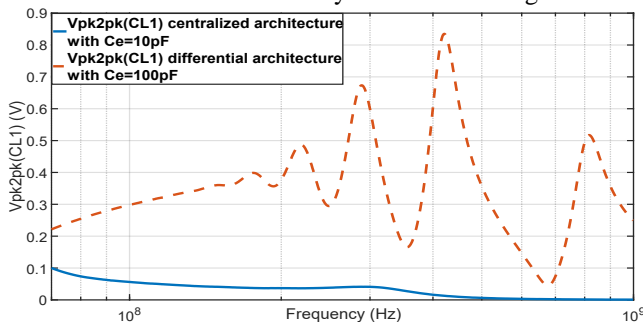


Fig. 14. Comparaison entre les architectures de protection HP avec des différentes conceptions.

De la Fig.14, l'architecture centralisée présente une atténuation plus importante que la différentielle avec une valeur de capacité plus faible. Ainsi, l'architecture centralisée permet de mieux filtrer comparé à l'architecture différentielle avec une surface réduite. En d'autres termes, l'architecture centralisée permet une meilleure intégration des condensateurs dans le CI. Enfin, ce travail présente une approche de conception de l'architecture de protection HP qui prend en compte l'aspect immunité du CI BMS.

## VI. CONCLUSION

Ce travail a présenté des résultats de prédiction concernant la conception du PCB, composants externes, et architecture de protection Hot-Plug pour une performance optimale du CI BMS face aux perturbations électromagnétiques. En effet, un compromis entre le prix de la capacité externe de protection HP et le bruit couplé sur le CI BMS est présenté. Ensuite, une approche basée sur les réseaux à échelle C-L est utilisée pour formuler les fréquences de couplage maximale de bruit sur le CI BMS. Une comparaison entre deux architectures de protection Hot-Plug en termes de niveaux d'injection DPI est présentée, où le modèle analytique fut utilisé pour déterminer les résonances et les niveaux d'atténuations. Les futurs travaux auront pour but de valider expérimentalement les résultats présentés.

## VII. REFERENCES

- [1] D. Andrea, *Battery management systems for large Lithium-Ion Battery Packs*, norwood: Artech house, 2010.
- [2] M. T. F. M. R. M. Y. Zaatar, "High Frequency Battery Impedance Measurements for EMI Prediction," *EMC*, pp. 763-767, August 2013.
- [3] S. T. W. K. M. Reuter, "Influence of a Traction Battery's Input Impedance on Conducted Emissions of an Automotive HV Inverter," in *International Symposium on Electromagnetic Compatibility (EMC Europe 2013)*, Brugge, 2013..
- [4] G. F. Giulio Antonini, "A New Approach for Closed-Form Transient Analysis of Multiconductor Transmission Lines," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, VOL. 46, NO. 4, pp. 523-543, 2004.
- [5] G. F. A. D. M. Faccio, "A new fast method for ladder networks characterization," *IEEE Transactions on circuits and systems*, VOL.38, NO. 11, pp. 1377-1382, 1991.
- [6] IEC 62132-4 – edition 1.0: *Integrated circuits - Measurement of electromagnetic immunity - Part 4: Direct RF power injection method*, 2006-02-21.
- [7] V. D'Angelo, S. Cannavacciuolo, S. Lecce, V. Bendotti and O. Pennisi, "Enhanced hotplug protection in BMS applications. Part I: Theoretical Aspects and Practical Issues," 2019 AEIT International Conference of Electrical and Electronic Technologies for Automotive (AEIT AUTOMOTIVE), 2019, pp. 1-5.
- [8] V. D'Angelo, S. Cannavacciuolo, S. Lecce, V. Bendotti and O. Pennisi, "Enhanced hotplug protection in BMS applications. Part II: Enhanced Solution Development," 2019 AEIT International Conference of Electrical and Electronic Technologies for Automotive (AEIT AUTOMOTIVE), 2019, pp. 1-6.