



HAL
open science

Contribution à l'intégration des circuits micro-ondes et millimétriques pour les télécommunications

Christophe Viallon

► **To cite this version:**

Christophe Viallon. Contribution à l'intégration des circuits micro-ondes et millimétriques pour les télécommunications. Micro et nanotechnologies/Microélectronique. Université Toulouse III Paul Sabatier, 2016. tel-01393201v1

HAL Id: tel-01393201

<https://laas.hal.science/tel-01393201v1>

Submitted on 7 Nov 2016 (v1), last revised 1 Dec 2016 (v2)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HABILITATION À DIRIGER DES RECHERCHES

Délivré par *l'Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)*
Discipline ou spécialité : *Électromagnétisme et Systèmes Haute Fréquence*
Préparée au *Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS*

Présentée et soutenue le *03/06/2016* par
Christophe VIALON

Contribution à l'intégration des circuits micro-ondes et millimétriques pour les télécommunications

Rapporteurs :

P. FERRARI Professeur, Université Grenoble Alpes
C. GAQUIÈRE Professeur, Université des Sciences et Technologies de Lille 1
J. GAUBERT Professeur, Université d'Aix-Marseille

Examineur :

N. NOLHIER Professeur, Université Toulouse 3 Paul Sabatier

Garant :

T. PARRA Professeur, Université Toulouse 3 Paul Sabatier

École doctorale : *GEET*

Unité de Recherche : *LAAS-CNRS (UPR8001) - Équipe MOST*

Nos esse quasi nanos gigantium humeris insidentes. – Bernard de Chartres, Philosophe
français du XII^e siècle.

Avant-propos

Seize années se sont déjà écoulées depuis mes premiers pas dans la recherche scientifique. Cette habilitation à diriger des recherches en retrace les temps fort. Tous les résultats présentés ont profité d'un grand nombre d'interactions, à divers niveaux... Je tenais donc à remercier l'ensemble des personnes qui en ont favorisé l'aboutissement.

En premier lieu, j'aimerais remercier les membres du jury, messieurs Philippe Ferrari, Professeur à l'Université Grenoble Alpes, Christophe Gaquière, Professeur à l'Université des Sciences et Technologies de Lille 1 et Jean Gaubert Professeur à l'Université d'Aix-Marseille, pour avoir accepté de juger ces travaux en leur qualité de rapporteurs, ainsi que Nicolas Nolhier, Professeur à l'Université Paul Sabatier, en sa qualité d'examineur et de président du jury.

Les travaux présentés dans cette habilitation ont été réalisés au LAAS, au sein de l'équipe CCM devenue CISHT puis MOST. Je remercie par conséquent l'ensemble des directeurs du laboratoire qui se sont succédé depuis mon arrivée ainsi que tous les collègues que je cotoie maintenant depuis un certain nombre d'années. Parmi ceux-ci, mes premiers remerciements iront bien évidemment à Thierry Parra, qui m'a initié à la conception de circuits micro-ondes durant ma thèse et avec qui la collaboration n'a jamais cessée durant toutes ces années. Personne d'autre que Thierry ne pouvait mieux que lui se porter garant de ce travail. Mais avant Thierry, c'est Jacques Graffeuil qui m'a fait prendre goût aux hyperfréquences lorsque j'étais sur les bancs de la fac, et qui m'a donné envie de poursuivre dans cette voie.

Ces travaux doivent également beaucoup à la bonne ambiance qui règne dans l'équipe. Je remercie donc Jean-Guy Tartarin avec qui je partage le bureau, Laurent Escotte et Olivier Llopis, dont les compétences en bruit m'ont souvent été utiles, ainsi qu'Eric Tournier, le nouveau chef d'équipe, et Arnaud Fernandez. L'équipe ne se limite pas aux membres permanents. Je pense à l'ensemble des étudiants et post-doctorants qui se sont succédés et en particulier aux doctorants que j'ai encadré, Ayad Ghannam, Grégory Ménéghin, Thomas Epert, Alessandro Magnani et Olga Bushueva. Une grande partie du mérite de ce qui est présenté dans ce document leur revient.

Table des matières

Introduction générale	1
Chapitre 1 Bruit RF dans les amplificateurs en régime non-linéaire	3
1 Introduction	3
2 Effets d'une non-linéarité sur une source de bruit	4
3 Simulation électrique de la conversion en fréquence du bruit BF	6
4 Réduction du niveau de bruit créé par l'amplificateur de puissance	8
5 Conclusion	10
Bibliographie	11
Chapitre 2 Mélangeur passif dans les filières silicium	13
1 Introduction	13
2 Transistor MOS froid pour la transposition de fréquence	14
2.1 Caractéristiques du composant	14
2.2 Mélangeurs passifs en tension et en courant	16
2.2.1 Principes de fonctionnement et gains de conversion	16
2.2.2 Linéarité	18
2.2.3 Comportement en bruit	19
2.3 Mélangeur passif à transfert de puissance	21
2.3.1 Gain de conversion	21
2.3.2 Facteur de bruit	23
3 Mélangeur passif aux fréquences millimétriques	25
3.1 Optimisation de la géométrie du transistor MOS	26
3.2 Convertisseur de fréquence zéro-IF 79 GHz pour radar automobile embarqué	29
3.2.1 Cahier des charges	29
3.2.2 Conception du circuit	30
3.2.3 Effets des fréquences élevées et de la conductivité du substrat	32
3.2.4 Performances électriques simulées	32
3.2.5 Résultats expérimentaux	33
4 Mélangeur à échantillonnage	37
4.1 Méthode analytique pour le calcul du gain de conversion	37
4.1.1 Version simplement équilibrée	37
4.1.2 Version doublement équilibrée	39
4.2 Application dans un récepteur Zigbee 2,4 GHz	41
4.2.1 Mélangeur à échantillonnage dans un récepteur I/Q	41
4.2.2 Validation expérimentale	42
4.3 Montée en fréquence vers la bande K	43

4.3.1	Génération un train d'impulsions en bande K	44
4.3.2	Démonstrateur et validation expérimentale	45
5	Mélangeur à sous-échantillonnage	48
5.1	Modélisation analytique	48
5.2	Résultats expérimentaux	48
5.3	État de l'art des mélangeurs en bande V	50
6	Conclusion	51
	Bibliographie	51
Chapitre 3	Intégration de composants passifs inductifs tridimensionnels	57
1	Introduction	57
2	Intégration <i>Above-IC</i> d'inductances de puissance sur un substrat LDMOS	58
2.1	Problèmes posés par la technologie LDMOS RF	58
2.2	Cahier des charges	59
2.3	Choix et caractérisation diélectrique de la résine SU8	59
2.4	Conception des inductances de puissance	61
2.5	Première génération du procédé	64
2.6	Démonstrateurs et résultats expérimentaux	66
2.7	Deuxième génération du procédé	68
2.8	Nouveau démonstrateur	69
3	Vers une filière d'intégration de composants passifs 3-D	70
3.1	Transformateur et inductance à méandre 3-D	71
3.2	Caractérisation des inductances à fort coefficient de qualité	73
3.3	Développements technologiques en cours et exemples d'applications	77
4	Conclusion	77
	Bibliographie	78
	Conclusion générale et perspectives	83
1	Conclusion générale	83
2	Éléments de prospective	84
2.1	Constat et évolution des applications sans fil pour la prochaine décennie	84
2.2	Contraintes induites sur les architectures radio	85
2.3	Vers des architectures de récepteur plus performantes et économes en énergie	87
2.4	Problématique de l'encapsulation des circuits intégrés	88
	Bibliographie	89
	Liste des figures	93
	Liste des tableaux	95
	Acronymes et définitions	97

Introduction générale

L'apparition, vers le milieu des années 90, de technologies silicium optimisées pour des applications sans fil a permis d'élargir considérablement le marché de l'électronique des hyperfréquences auparavant réservé aux matériaux composites de type III-V qui couvraient des applications principalement industrielles, militaires et spatiales. Actuellement, les technologies III-V demeurent incontournables lorsque la performance et la robustesse prime sur n'importe quel autre critère. Toutefois, l'émergence de marchés de masse visant des applications sans fil grand public a introduit de nouvelles contraintes de coûts, de volumes et de densités d'intégration auxquelles seules les filières technologiques silicium sont capables de répondre. La multiplication de ces applications a très vite conduit à la quasi-saturation du spectre [radiofréquence \(RF\)](#) dans la gamme 0,5–5 GHz, poussant l'industrie à accroître les densités d'intégration pour évoluer vers les ondes millimétriques, gagner en efficacité énergétique tout en maintenant un faible coût de revient. Les architectures radiofréquences ont également dû évoluer pour permettre une plus grande efficacité spectrale des transmissions hertziennes.

Les recherches auxquelles je prends part depuis 2000 s'inscrivent dans ce contexte et suivent deux axes principaux. Le premier consiste d'abord à élaborer de nouvelles méthodes de conception afin de maximiser les performances qu'il est possible de tirer de certaines fonctions [RF](#) en exploitant au mieux les spécificités d'une filière technologique donnée. En parallèle, nous avons entamé, à partir de 2005, le développement d'une nouvelle technologie d'intégration de composants passifs inductifs en rupture avec l'existant de façon à repousser toujours plus loin le compromis habituel entre coût de revient et performances.

Ce mémoire présente une synthèse de ces travaux de recherche et est organisé en trois chapitres. Le premier axe de recherche est traité dans les chapitres [1](#) et [2](#) tandis que le second fait l'objet du chapitre [3](#). Le document s'achève sur une conclusion incorporant quelques pages de prospective qui permettront au lecteur de se faire une idée de la suite qui devrait être donnée à ces travaux pour les années à venir. Ceux-ci ont été menés au sein de l'équipe [Micro-ondes et Opto-micro-ondes pour Systèmes de Télécommunications \(MOST\)](#) du [Laboratoire d'Analyse et d'Architecture des Systèmes \(LAAS\)](#) à l'exception des résultats présentés dans le premier chapitre qui rapportent un travail effectué en 2005 au sein de la société *Freescale Semiconductors*.

La recherche d'un niveau de bruit minimum n'est pas une problématique spécifique au récepteur. Le bruit généré par l'émetteur placé à proximité peut éventuellement venir perturber le fonctionnement du récepteur par couplage entre les deux parties du système. Le premier chapitre porte précisément sur ce problème en se focalisant sur le cas d'un module d'amplification de puissance destiné au marché de la téléphonie mobile. L'objectif de ce travail a été d'étudier les phénomènes de remontée du bruit observé en sortie de l'amplificateur lorsque ce dernier fonctionne à proximité du régime de compression pour ensuite proposer des solutions palliatives. Ce chapitre traite donc du problème de la

conversion du bruit basse fréquence vers les radiofréquences. Une étude théorique est d'abord effectuée à partir d'un modèle analytique polynomial. Les résultats obtenus sont ensuite vérifiés par la simulation électrique et la caractérisation d'un amplificateur. Quelques solutions sont finalement proposées dont l'efficacité est vérifiée en simulation et en pratique.

Le deuxième chapitre porte sur l'optimisation des performances des mélangeurs passifs à transistors **MOS** en technologie silicium. Les résultats présentés sont le fruit de plusieurs thèses qui se sont déroulées entre 2006 et 2014. La première partie rappelle comment utiliser le transistor **MOS** froid pour former un mélangeur passif performant. Les différentes topologies de convertisseurs de fréquence passifs sont ensuite décrites. Comme toutes partagent exactement le même schéma électrique pour l'interconnexion des différents transistors **MOS**, l'influence des étages linéaires placés de part et d'autre du mélangeur (coté **RF** et **FI**) sur les performances est expliquée. Les effets des imperfections du transistor **MOS** sur les caractéristiques du mélangeur sont également mises en évidence tout au long de cette partie. La possible montée en fréquence du mélangeur passif vers la gamme millimétrique est ensuite étudiée et vérifiée à travers la conception d'un démonstrateur destiné à prendre place au sein d'un radar automobile impulsionnel centré sur 79 GHz. Toujours dans une optique d'optimisation des performances, l'utilisation du mélangeur passif en échantillonneur est évaluée en tant que solution permettant de réduire les pertes de conversion. Un premier démonstrateur est conçu et intégré dans un récepteur **Zigbee** centré sur 2,4 GHz. La capacité de cette architecture à monter en fréquence est limitée par les circuits logiques de mise en forme du signal issu de l'**oscillateur local (OL)**. Cette contrainte nous a amené à effectuer cette opération par voie analogique pour le développement d'un second démonstrateur prévu pour fonctionner en bande **K** tout en exploitant le même concept que précédemment. En procédant par sous-échantillonnage du signal **RF** appliqué, le même circuit est testé avec succès dans la bande **V** jusqu'à 68 GHz.

Si les prévisions de la loi de Moore se révèlent assez justes concernant l'augmentation des densités d'intégration des circuits intégrés numériques et analogiques, elles le sont beaucoup moins concernant les circuits **RF**. La raison est à chercher du côté des composants passifs dont les dimensions sont difficiles à réduire puisque avant tout liées à la gamme de fréquence traitée. La technologie d'intégration de composants passifs inductifs présentée dans le chapitre 3 cherche à répondre à cette problématique. L'idée consiste à exploiter le troisième degré de liberté (l'axe des z) – qui n'est pas utilisé dans les technologies commerciales actuelles – pour améliorer à la fois les densités d'intégration et les performances des composants magnétiques de type inductances et transformateurs. La première version du procédé a été implémentée sur un transistor de puissance **LDMOS** pour remplacer les fils micro-soudés constituant les réseaux de pré-adaptation en impédance. Les itérations successives et les démonstrateurs réalisés sont ensuite décrits jusqu'aux développements en cours en précisant les performances attendues pour les composants qui en bénéficieront.

Bruit RF dans les amplificateurs en régime non-linéaire

1

1 Introduction

En dehors des caractéristiques du canal de propagation, le bilan de liaison d'une transmission sans fil est essentiellement limité par la puissance d'émission, donc la linéarité, de l'émetteur et la sensibilité du récepteur. Si l'on se place du côté du récepteur, la sensibilité est susceptible d'être dégradée sous l'effet de l'émetteur intégré à proximité dans le même terminal. L'isolation entre ces deux sous-systèmes n'étant jamais parfaite, deux chemins de conduction présentés en figure 1.1 sont identifiés. Il s'agit de la réflexion d'une partie du signal (produits d'intermodulation Tx) ou du bruit large bande Tx par désadaptation en impédance au niveau de l'antenne et l'isolation finie du filtre duplexeur [1]. Ces deux effets, lorsqu'ils se manifestent dans la bande de réception, se traduisent par un relèvement du plancher de bruit en entrée de l'amplificateur faible bruit (LNA).

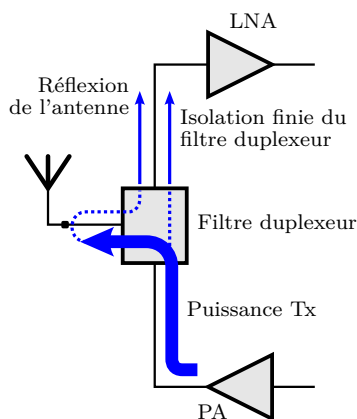


Figure 1.1 – Illustration de la désensibilisation du récepteur par l'émetteur.

L'effet dû au bruit large bande créé par l'amplificateur de puissance est susceptible d'apparaître lorsque celui-ci fonctionne en régime linéaire. Mais c'est surtout en régime de compression que le phénomène a le plus de chance de se produire puisque le bruit produit en sortie augmente sous l'effet du comportement non-linéaire de l'amplificateur de puissance. C'est sur cet aspect du problème que porte l'étude présentée dans ce chapitre. Les mécanismes à l'origine de la conversion du bruit depuis certaines bandes de fréquence prédéterminées vers la bande de réception sont recherchés puis identifiés à travers l'exemple d'un amplificateur de puissance GSM embarqué. Des solutions sont ensuite proposées pour limiter ces phénomènes.

Le module amplificateur utilisé comporte trois étages. Les deux premiers sont intégrés au sein de la même puce et exploitent une technologie BiCMOS SiGe 0,35 μm tandis que

le dernier étage fait appel à des **transistor bipolaire à hétérojonction (TBH)** en technologie **InGaP**. À l'époque de ce travail, la technologie **InGaP** était la seule à pouvoir assurer une tenue en tension suffisante imposée par la norme **GSM** [2], ce qui n'est plus nécessairement le cas aujourd'hui. Les réseaux de polarisation ainsi que le contrôleur de polarisation sont également intégrés au module dans une puce **CMOS** distincte. La puissance de sortie maximale est spécifiée par la norme **GSM** à **+33 dBm** pour le signal et **-77 dBm** et **-83 dBm** pour la puissance de bruit dans les bandes de réception **EGSM1** et **EGSM2** respectivement, calculée avec une **résolution (RBW)** de **100 kHz**. La caractérisation en puissance et en bruit de cet amplificateur (figure 1.2) met en évidence le phénomène à étudier : dès que les non-linéarités du circuit commencent à influencer sur le gain en puissance, la puissance de bruit mesurée en sortie augmente plus fortement (**+3,6 dB**) que le gain (**+1,9 dB**), ce qui équivaut à une dégradation du facteur de bruit de l'amplificateur. Cette augmentation du niveau de bruit en sortie amène l'amplificateur au delà de la limite spécifiée par la norme **GSM**.

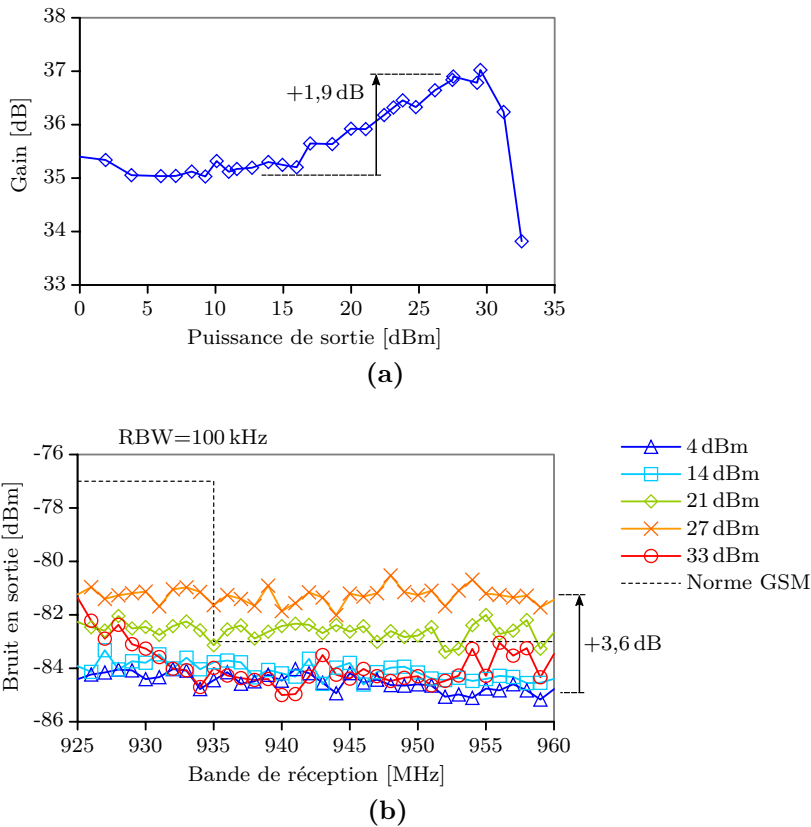


Figure 1.2 – (a) gain en puissance à 915 MHz, et (b) puissance de bruit en sortie de l'amplificateur de puissance.

2 Effets d'une non-linéarité sur une source de bruit

En modélisant l'amplificateur par un quadripôle non-linéaire, il est possible de définir théoriquement les interactions entre le signal d'entrée V_{in} et le bruit V_n , également appliqué

en entrée. Ce modèle est représenté sur la figure 1.3.

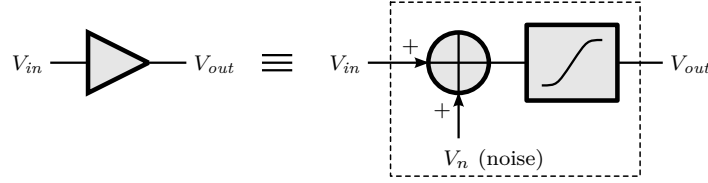


Figure 1.3 – Modèle non-linéaire simplifié d'un amplificateur.

La fonction de transfert du quadripôle peut être modélisée par le polynôme ci-dessous, limité ici à l'ordre 3. α , β et γ sont des constantes propres à l'amplificateur.

$$V_{out} = \alpha (V_{in} + V_n) + \beta (V_{in} + V_n)^2 + \gamma (V_{in} + V_n)^3 \quad (1.1)$$

Supposons un signal d'entrée V_{in} sinusoïdal d'amplitude A et de pulsation ω_{tx} . Le bruit blanc appliqué en entrée est modélisé par une somme infinie de sinusoïdes à toutes les fréquences. Seule, la composante du bruit d'amplitude N à la pulsation ω_n est considérée pour la tension V_n . Le signal $V_{in} + V_n$ est appliqué au polynôme (1.1). Sans exposer ici le développement analytique complet, le bruit associé au signal de sortie V_{out} du quadripôle comporte une série de nouvelles fréquences dont les termes les plus significatifs sont relevés dans le tableau 1.1 et classées selon l'ordre de la non-linéarité qui les a créées. La fréquence à laquelle chaque composante apparaît en sortie est identifiée. Ces expressions permettent de retrouver la fréquence f_n du bruit appliqué en entrée qui est converti vers la fréquence centrale f_{rx} de la bande de réception.

Tableau 1.1 – Translation du bruit vers une fréquence f_{rx} située dans la bande de réception.

ordre polynôme	gain associé	fréquence en sortie	fréquence de bruit convertie vers f_{rx}	commentaire
1	α	f_n	$f_n = f_{rx}$	terme linéaire
2	$\frac{1}{2}\beta N$	$2f_n$	$f_n = \frac{f_{rx}}{2}$	négligeable
2	βA	$f_{tx} + f_n$	$f_n = f_{rx} - f_{tx}$	mélange
3	$\frac{1}{4}\gamma N^2$	$3f_n$	$f_n = \frac{f_{rx}}{3}$	négligeable
3	$\frac{3}{4}\gamma A^2$	$2f_{tx} - f_n$	$f_n = 2f_{tx} - f_{rx}$	intermodulation d'ordre 3
3	$\frac{3}{4}\gamma AN$	$f_{tx} + 2f_n$	$f_n = \frac{1}{2}(f_{rx} - f_{tx})$	négligeable
3	$\frac{3}{4}\gamma (2A^2 + N^2)$	f_n	$f_n = f_{rx}$	distorsion

À partir du gain de conversion associé, il est aisé de reconnaître dans ce tableau les contributions les plus significatives, qui sont le bruit amplifié par la composante linéaire du gain de l'amplificateur, le mélange, l'intermodulation d'ordre 3, et enfin la distorsion également issue de la non-linéarité d'ordre 3 du quadripôle.

La transposition de ces résultats au cas de l’amplificateur de puissance GSM décrit dans la section suivante est résumée par le graphe de la figure 1.4. Le bruit respectivement contenu dans les bandes 10–80 MHz et 800–905 MHz est converti vers la bande de réception par mélange et par intermodulation d’ordre 3. Les autres contributions sont issues de l’amplification et de la distorsion du bruit RF déjà présent dans la bande de réception à l’entrée de l’amplificateur. La minimisation de ces deux dernières contributions n’a pas été étudiée. Leur niveau dépend des courants de polarisation et du degré de contre-réaction fixé pour chaque étages constituant l’amplificateur.

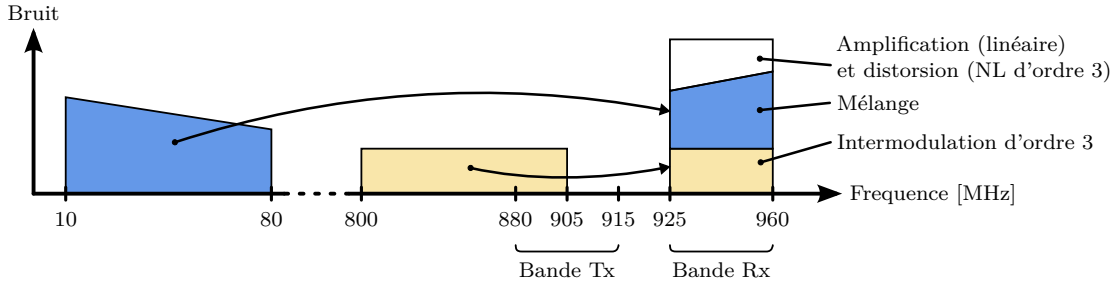


Figure 1.4 – Fréquences de bruit converties dans la bande de réception GSM.

Dans cette partie, nous avons montré, à l’aide d’un modèle polynomial simple, que le comportement non-linéaire d’un amplificateur pouvait entraîner des conversions du bruit contenu dans des bandes de fréquence très différentes vers la bande de réception du transmetteur RF. Dans la section suivante, nous allons chercher à quantifier l’importance des deux principaux phénomènes de conversion identifiés, qui fonctionnent par mélange et par intermodulation d’ordre 3 du signal utile avec le bruit présent dans deux bandes distinctes. Ce travail est effectué à partir du schéma électrique d’un véritable amplificateur de puissance GSM avec l’aide d’un simulateur électrique (Agilent ADS).

3 Simulation électrique de la conversion en fréquence du bruit BF

Pour évaluer le gain associé aux différents modes de conversion en fréquence du bruit, des simulations électriques sont effectuées sur le premier étage, représenté sur la figure 1.5, d’un module d’amplification de puissance GSM. Sur ce schéma, le transistor de puissance Q_1 est polarisé pour fonctionner en classe AB. La polarisation en tension est assurée par les transistors Q_{ref} et Q_{buffer} qui forment un miroir de courant avec Q_1 . Cette configuration permet de contrôler très précisément le courant de sortie de Q_1 avec une excellente compensation thermique [3]. La résistance $R_{ballast}$ fait office de protection contre l’emballement thermique pour Q_1 [2, 4] tandis que Q_{br} , R_{br} et R_{b1} servent à maximiser la tension d’avalanche BV_{CE0} [5]. Le courant circulant dans le transistor de puissance Q_1 est très supérieur à celui qui traverse Q_{ref} . Il faut donc équilibrer le miroir de courant pour compenser les différences de V_{be} entre ces deux transistors. Ce rôle est confié aux résistances R_{em} , R_{b2} et R_{base} . Le condensateur C_{mirror} associé à la résistance R_{base} isolent le réseau de polarisation du signal RF incident et C_{base} est un condensateur CMS extérieur à la puce ajouté pour réduire le bruit basse fréquence (BF) en provenance du réseau de polarisation et de Q_1 . Enfin, la résistance R_{base} est intégrée par défaut mais il est possible

de la remplacer par le circuit bouchon PLC_1 en coupant quelques connexions par laser. Ces deux solutions sont comparées dans la section 4.

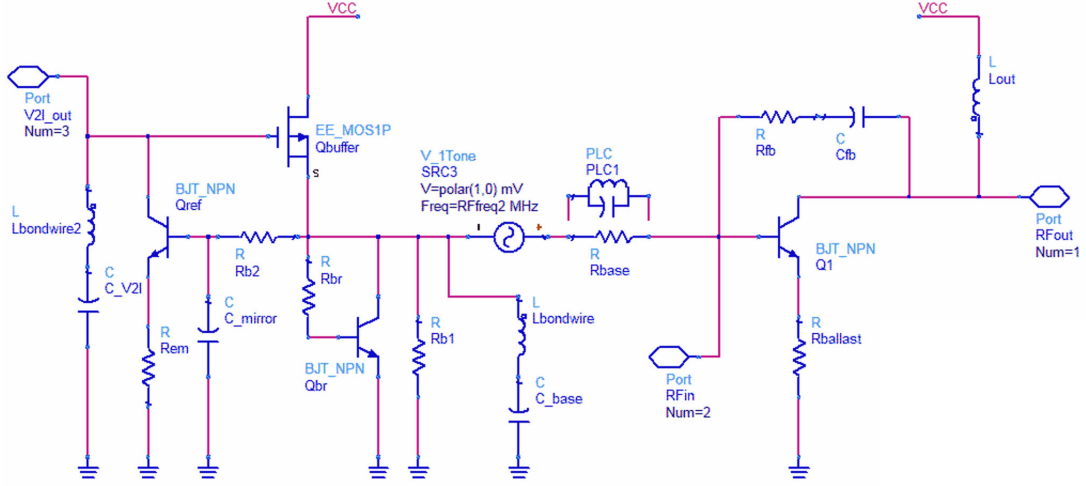


Figure 1.5 – Schéma électrique du premier étage de l'amplificateur de puissance.

Les phénomènes de conversion du bruit sont évalués en ajoutant la source de tension V_{1Tone} de 1 mV en série avec le réseau de polarisation. Les gains obtenus sur toute la largeur de la bande de réception dépendent de la fréquence f_{tx} du signal RF appliqué à l'amplificateur comme suggéré par le graphe de la figure 1.6 obtenu avec le circuit bouchon PLC_1 et un condensateur C_{base} de 10 nF.

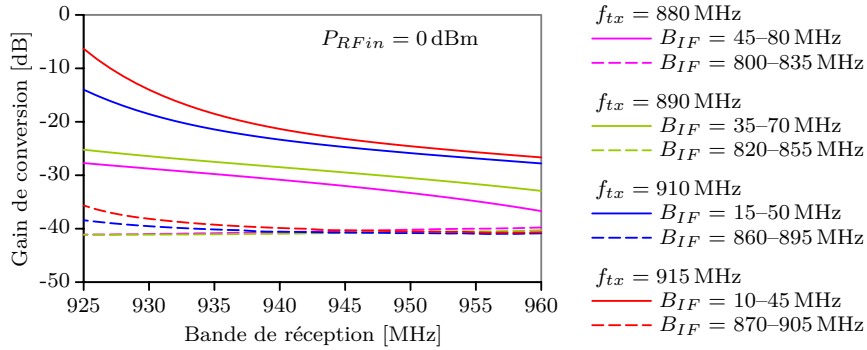


Figure 1.6 – Gain de conversion simulé du bruit par mélange (—) et intermodulation (---) couvrant la bande de réception pour plusieurs fréquences d'émission f_{tx} avec $P_{RFin} = 0$ dBm.

Le pire cas est obtenu lorsque la fréquence f_{tx} du signal RF appliqué à l'amplificateur se situe au plus près de la bande de réception, soit 915 MHz. À cette fréquence, les gains de conversion relevés en fonction de la puissance RF incidente sont reportés sur le graphe de la figure 1.7. Les pentes de 1 et 2 relevées pour la conversion en fréquence par mélange et par intermodulation d'ordre 3 sont en accord avec les expressions analytiques correspondantes de la table 1.1. Celles-ci font apparaître des gains qui dépendent respectivement de l'amplitude A du signal RF pour le mélange (pente 1) et A^2 pour l'intermodulation d'ordre

3 (pente 2). Le point de compression en entrée du module amplificateur est de -1 dBm. Jusqu'à cette valeur de puissance, le graphe de la figure 1.7 montre finalement que la conversion en fréquence du bruit par mélange reste très largement supérieure à celle produite par intermodulation. Nous allons maintenant rechercher des solutions pour réduire cette contribution au bruit créé en sortie de l'amplificateur.

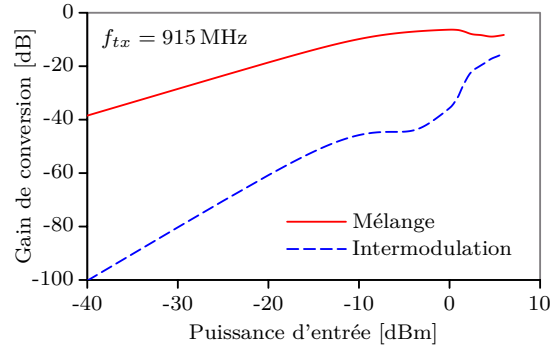


Figure 1.7 – Gains de conversion du bruit par mélange (—) et intermodulation (– –) en fonction de la puissance RF incidente pour $f_{tx} = 915$ MHz.

4 Réduction du niveau de bruit créé par l'amplificateur de puissance

Le phénomène de conversion en fréquence par mélange des sources de bruit BF est induit par le comportement non-linéaire du transistor d'amplification. Il apparaît difficile à éliminer ou à corriger sans changer le point de polarisation, le niveau de contre-réaction ou bien le transistor utilisé. Malheureusement, ces trois alternatives ne sont pas envisageables puisque l'ensemble du circuit a déjà été optimisé pour un rendement maximal, un critère déterminant dans les amplificateurs embarqués, que ce soit pour l'autonomie finale du système mais également par rapport au positionnement commercial du produit face à la concurrence.

La meilleure solution serait donc de limiter le niveau de bruit créé dans la bande de fréquence 10–80 MHz en entrée de l'amplificateur par le réseau de polarisation et par le transistor de puissance Q_1 sans chercher à corriger les valeurs du gain de conversion. Les contraintes que nous venons d'évoquer empêchent toute modification de la résistance de ballast, du réseau de contre-réaction, des dimensions du transistor Q_1 ou encore du niveau de polarisation. Les simulations électriques effectuées sur le circuit de la figure 1.5 ont montré que la contribution du réseau de polarisation au bruit global est minimisée en positionnant deux condensateurs externes C_{V2I} et C_{base} . En outre, l'effet positif amené par le condensateur C_{base} sur le bruit BF créé au niveau de l'entrée RF de l'amplificateur est en grande partie annihilé par la présence de la résistance R_{base} . Cette résistance introduit une contribution supplémentaire en bruit thermique et empêche le condensateur C_{base} de court-circuiter la source de bruit présentée par la base du transistor Q_1 dans la bande 10–80 MHz. En remplaçant R_{base} par une impédance beaucoup plus faible dans cette même bande de fréquence, à l'aide du circuit bouchon PLC_1 par exemple, les performances en bruit de l'amplificateur sont nettement améliorées pour une puissance d'entrée comprise

entre -10 dBm et 0 dBm (figure 1.8), c'est-à-dire en régime non-linéaire. En outre, le bénéfice observé sur ce graphe est sous-estimé puisque le courant statique traversant Q_1 est environ 30% plus élevé lorsque PLC_1 est utilisé. En effet, le remplacement de R_{base} par PLC_1 modifie l'action du réseau de polarisation sur le courant statique traversant Q_1 . L'augmentation de ce courant se traduit par un accroissement du gain de l'amplificateur, du niveau de la source de bruit de la jonction base-émetteur de Q_1 et par conséquent du bruit produit en sortie par rapport à la version du circuit qui exploite R_{base} . Ce phénomène explique les écarts de niveau de bruit observés dans la région quasi-linéaire. Le courant de polarisation initial de Q_1 peut être retrouvé en corrigeant les valeurs des résistances R_{em} et R_{b2} .

Enfin, le facteur de qualité de ce circuit bouchon doit être maximisé puisque sa résistance parallèle équivalente assure l'apport principal en bruit du réseau de polarisation dans la bande 10–80 MHz lorsque les capacités sus-nommées sont positionnées. Le graphe de la figure 1.8b montre qu'un gain de 0,8 dB est obtenu en augmentant le facteur de qualité de l'inductance du circuit bouchon de 5 (simulation EM de l'inductance disponible dans le DK) à 25 (topologie optimisée).

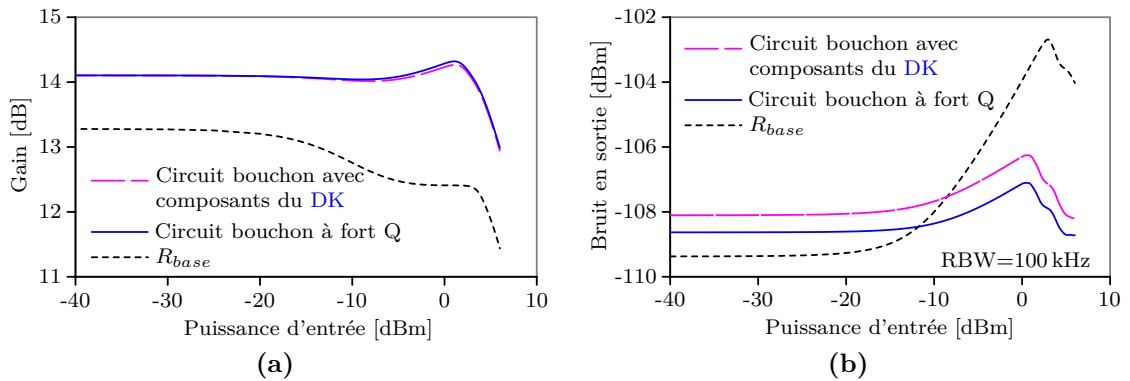


Figure 1.8 – Gain (a) et puissance de bruit (b) en sortie du premier étage de l'amplificateur de puissance relevés à 935 MHz avec $f_{tx} = 915$ MHz.

Enfin, des mesures ont été réalisées sur un prototype comportant uniquement le premier étage Q_1 doté du circuit bouchon PLC_1 . En changeant les valeurs du condensateur C_{base} , les différences de niveau relevées en simulation aux fréquences basses (figure 1.9) se retrouvent dans le même ordre une fois transposées en fréquence par l'amplificateur. Ces résultats sont confirmés expérimentalement comme le suggère la figure 1.10. On observe toutefois une différence dans les niveaux de puissance de bruit relevés entre simulation et mesure. Ces écarts étaient attendus pour deux raisons : d'une part l'environnement de test, avec des accès dont le niveau de perte estimé à 2,3 dB n'est pas pris en compte par la simulation ; une modélisation approximative de la connexion du condensateur depuis la carte de test jusqu'à l'intérieur de la puce peut également expliquer l'absence de résonance sur les niveaux de bruit mesurés par rapport à la simulation.

Malgré ces écarts, l'effet de la capacité sur les niveaux de bruit BF et RF est parfaitement démontré. Ces résultats valident l'ensemble des hypothèses qui ont été avancées ainsi que les solutions proposées. Ceux-ci se rapprochent de la technique qui avait été mise en œuvre par O. Llopis au LAAS dès 1996 pour réduire drastiquement le bruit de phase en proche

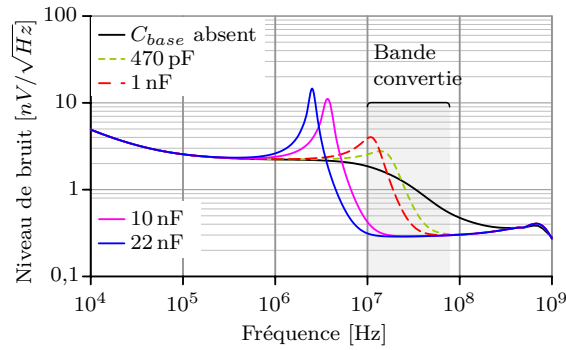


Figure 1.9 – Bruit BF simulé en sortie du réseau de polarisation pour différentes valeurs de C_{base} .

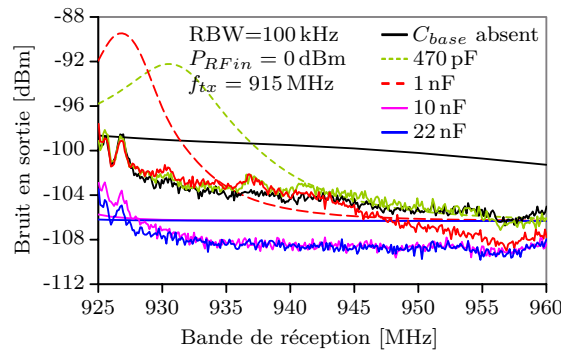


Figure 1.10 – Niveaux de bruit simulés et mesurés en sortie du premier étage de l’amplificateur de puissance à 915 MHz pour une puissance d’entrée de 0 dBm.

porteuse dans les oscillateurs micro-ondes [6]. En 2005, en parallèle avec le travail présenté dans ce chapitre, les phénomènes de conversion du bruit BF par les non-linéarités d’un transistor étaient également mis en évidence expérimentalement puis théoriquement par L. Escotte, toujours au LAAS [7].

5 Conclusion

Les phénomènes non-linéaires qui se manifestent dans les amplificateurs de puissance RF engendrent une augmentation du niveau de bruit relevé en sortie aux fréquences voisines de celle du signal RF. Les puissances de bruit atteintes sont alors susceptibles de perturber le fonctionnement du récepteur associé par couplage parasite. Deux mécanismes à l’origine de ce phénomène sont identifiés par voie analytique et correspondent à un effet d’intermodulation et à un mélange. Le premier fait intervenir des fréquences de bruit situées à proximité de celles de l’émetteur ($2f_{tx} - f_{rx}$) tandis que le second transpose du bruit BF vers la RF ($f_{tx} - f_{rx}$). Dans les deux cas, le signal RF appliqué en entrée de l’amplificateur agit comme un OL qui pompe le mélangeur constitué par les transistors de puissance utilisés pour l’amplification.

Des simulations électriques et des expérimentations entreprises sur un amplificateur GSM destiné à intégrer un terminal mobile confirment les résultats de l’étude analytique. La transposition en fréquence du bruit BF s’avère être la principale cause de l’augmentation

de bruit constatée sur ce circuit. Le bruit **BF** situé dans la bande 10–80 MHz est transposé en fréquence vers les bandes de réception **EGSM1** et **EGSM2** selon la fréquence du signal appliqué à l'amplificateur à l'intérieur de la bande d'émission 880–915 MHz.

Pour limiter ce phénomène parasite, quelques modifications sont proposées au niveau du circuit de polarisation. Celles-ci consistent à positionner un condensateur externe en parallèle avec la sortie du circuit de polarisation et à relier l'ensemble à la base du transistor de puissance par un circuit bouchon dont le facteur de qualité doit être maximisé. La faible impédance de ce circuit élimine alors les sources de bruit **BF** tout en offrant une isolation suffisante entre le réseau de polarisation et le transistor de puissance pour le signal **RF**.

D'autres solutions qui n'ont pas été abordées pourraient être employées telle qu'une modification de la contre-réaction présente sur chacun des étages qui constituent l'amplificateur de puissance. La linéarisation qui en découle limite le gain de conversion mais diminue aussi le gain de l'étage ainsi que son rendement. Un délicat compromis est donc à rechercher. Enfin, notons que les problèmes expliqués dans ce chapitre sont loin d'être exclusifs au **GSM** et les solutions proposées sont parfaitement transposables à d'autres applications dans d'autres gammes de fréquences.

Bibliographie

- [1] Jean-Guy TARTARIN : *Le bruit de fond électrique dans les composants actifs, circuits et systèmes des hautes fréquences : des causes vers les effets*. Habilitation à diriger des recherches, Université Toulouse 3 Paul Sabatier (UT3), décembre 2009.
- [2] Walid KAROUÏ : *Circuits de protection et de linéarisation à très basse consommation pour amplificateurs de puissance RF monolithiques à fort rendement et haute linéarité*. Thèse de doctorat, Université Toulouse 3 Paul Sabatier (UT3), 2007.
- [3] E. JARVINEN, S. KALAJO et M. MATILAINEN : Bias circuits for GaAs HBT power amplifiers. In *Microwave Symposium Digest, 2001 IEEE MTT-S International*, volume 1, pages 507–510, 2001.
- [4] W. LIU, S. NELSON, D.G. HILL et A. KHATIBZADEH : Current gain collapse in microwave multifinger heterojunction bipolar transistors operated at very high power densities. *IEEE Transactions on Electron Devices*, 40(11):1917–1927, novembre 1993.
- [5] H. VEENSTRA, G. A. M. HURKX, D. van GOOR, H. BREKELMANS et J.R. LONG : Analyses and design of bias circuits tolerating output voltages above BVCEO. *IEEE Journal of Solid-State Circuits*, 40(10):2008–2018, octobre 2005.
- [6] Olivier LLOPIS, Jean-Marc DIENOT, Jacques VERDIER, Robert PLANA, Michel GAYRAL et Jacques GRAFFEUIL : Analytic investigation of frequency sensitivity in microwave oscillators : Application to the computation of phase noise in a dielectric resonator oscillator. *Annales Des Télécommunications*, 51(3-4):121–129, mars 1996.
- [7] L. ESCOTTE, E. GONNEAU, C. CHAMBON et J. GRAFFEUIL : Noise behavior of microwave amplifiers operating under nonlinear conditions. *IEEE Transactions on Microwave Theory and Techniques*, 53(12):3704–3711, décembre 2005.

Mélangeur passif dans les filières silicium

2

1 Introduction

Contrairement à l'amplificateur pour lequel tout phénomène non-linéaire est une limitation, une non-linéarité est souvent requise pour optimiser le fonctionnement d'un mélangeur. Si cette définition est correcte du point de vue de l'oscillateur local, le mélangeur reste néanmoins un circuit quasi-linéaire vis-à-vis du signal **RF** qui doit être transposé en fréquence sans distorsion. La conception d'un mélangeur revient finalement à maintenir la linéarité du circuit pour la transposition en fréquence du signal alors qu'une non-linéarité est sollicitée pour faire apparaître la multiplication de ce même signal **RF** avec la fréquence f_{OL} . L'exercice est assez délicat et en dehors des amplificateurs de puissance, le convertisseur de fréquence représente probablement la principale source d'intermodulation qui limite les performances des systèmes de communication. Cette limitation intervient essentiellement du côté du récepteur dans lequel une faible linéarité du mélangeur oblige le concepteur à limiter le gain de l'amplificateur faible bruit qui le précède, une conséquence plutôt défavorable à la dynamique et aux performances en bruit du récepteur.

Face à ces limitations, le mélangeur passif, ou résistif, semble présenter un intérêt manifeste de par ses bonnes performances en terme de linéarité habituellement plus favorables que n'importe quel autre type de mélangeur. Le facteur de bruit qui égale voire dépasse légèrement les pertes de conversion est aussi à l'avantage du mélangeur passif. Celui-ci comporte toutefois quelques inconvénients tels que des pertes de conversion. La puissance de pompe élevée est également citée comme un autre défaut des mélangeurs passifs. Si c'était vrai à l'époque des mélangeurs à diodes, cet argument ne tient plus depuis que les transistors à effet de champs sont utilisés, toute technologie confondue (**MESFET**, **HEMT**, **MOSFET**), pour lesquels la puissance de pompe **OL** reste toujours du même ordre de grandeur que le point de compression en entrée du circuit pour le signal **RF**.

Ce chapitre traite de l'optimisation des performances des mélangeurs passifs exploitant des transistors **MOS** dans les filières silicium. Les principales propriétés de ce transistor polarisé à V_{DS} nul sont d'abord rappelées de façon à introduire toutes les grandeurs et notations utilisées par la suite (section 2). Les mélangeurs passifs à transfert de courant, de tension, et celui que nous qualifierons de *mélangeur en puissance* sont ensuite présentés. Les propriétés qui découlent des ces différentes utilisations sont expliquées, de même que l'effet de la forme temporelle du signal **OL**. Cette partie ne contient pas de résultat de recherche mais permet d'introduire les grandeurs et notations utilisées par la suite. Cet effort d'uniformisation permet une meilleure lecture des résultats issus des différentes thèses que nous avons encadré sur ce thème.

Le premier travail que nous présentons est développé dans la section 3. Il s'agit de comprendre ce qui limite la fréquence maximale de fonctionnement d'un mélangeur passif pour viser une application en bande **W**. Les résultats obtenus sont appliqués à la conception

d'un convertisseur de fréquence destiné à intégrer le récepteur d'un Radar **ULB** centré sur 79 GHz pour l'automobile.

La question de la réduction des pertes de conversion est ensuite traitée dans la section 4. Les pertes de conversion du mélangeur en tension peuvent être réduites significativement en diminuant le rapport cyclique du signal de pompe. Un tel circuit se nomme *mélangeur à échantillonnage*. Une première étude de ce type de mélangeur aboutit à la conception d'un récepteur **Zigbee**, un standard qui vise des applications à très faible consommation dans la bande des 2,4 GHz. Nous avons ensuite cherché à appliquer la même technique pour faire fonctionner un mélangeur à échantillonnage en bande **K**, ce qui a nécessité la conception d'un circuit spécifique destiné à générer le signal de pompe adéquat.

L'échantillonnage du signal **RF** entraîne une périodisation de son spectre que nous avons ensuite cherché à exploiter pour effectuer la transposition en fréquence d'un signal **RF** situé dans la bande **V** tout en maintenant la fréquence fondamentale de l'**OL** à proximité de 20 GHz. Les résultats obtenus sont présentés dans la section 5. Pour le mélangeur à échantillonnage et sous-échantillonnage, une analyse théorique basée sur un modèle comportemental réaliste a été développée.

2 Transistor MOS froid pour la transposition de fréquence

Le mélangeur est fondamentalement un multiplieur qui effectue la transposition d'un signal **RF** centré sur la fréquence f_{RF} vers un signal **FI** centré sur la fréquence f_{FI} par multiplication avec un troisième signal provenant de l'**OL**. Il s'agit donc d'un circuit linéaire paramétrique. Dans le cas du mélangeur passif à transistor **MOS**, le paramètre variant dans le temps est la conductance du canal, ce qui lui vaut également l'appellation de *mélangeur résistif*. Si sa variation est linéaire par rapport à la commande $V_{OL}(t)$, le circuit est alors qualifié de *multiplieur*. Si la variation de conductance est obtenue par pompage de la grille à l'aide d'un fort signal **OL**, le même circuit devient un *mélangeur à non-linéarité*.

2.1 Caractéristiques du composant

Pour faire fonctionner le transistor **MOS** comme une conductance contrôlée électriquement, celui-ci doit être utilisé dans sa zone ohmique en imposant une tension de polarisation nulle entre drain et source, soit $V_{DS0} = 0$ V. Dans ces conditions, le transistor est alors qualifié de *froid*. La conductance g_{ds} est contrôlée par la tension V_{gs} appliquée entre grille et source. En première approximation, celle-ci dépend des tensions V_{gs} et V_{ds} et s'écrit de la manière suivante :

$$g_{ds}(t) = \left. \frac{\partial I_d}{\partial V_{ds}} \right|_{V_{DS0}=0} = \mu_n C_{ox} \frac{W}{L} [V_{gs} - V_{th} - V_{ds}] . \quad (2.1)$$

μ_n et C_{ox} sont fixés par la technologie tandis que W et L sont respectivement la largeur et la longueur du transistor. Cette expression n'est valable que lorsque $V_{gs} > V_{th}$.

En pratique, la caractéristique $g_{ds}(V_{gs})$ est non-linéaire comme le suggère le graphe de la figure 2.1a. Une zone quasi-linéaire est toutefois identifiable lorsque V_{gs} devient supérieur à la tension de seuil V_{th} du transistor. Par rapport à la tension V_{ds} , la caractéristique $I_d(V_{gs}, V_{ds})$ représentée sur la figure 2.1b affiche une symétrie entre les cadrans ① et ③ tant que l'on ne s'écarte pas trop du point de référence $V_{DS0} = 0$ V. Les pentes à l'origine

($V_{DS0} = 0\text{ V}$) du faisceau de courbes correspondent aux valeurs de la conductance du canal et sont équivalentes à l'expression (2.1) lorsque $V_{ds} \rightarrow 0\text{ V}$. La conductance g_{ds} peut être considérée comme indépendante de V_{ds} dès lors que l'inégalité $V_{ds} \ll V_{gs} - V_{th}$ est vérifiée. Grâce à cette propriété, la quasi-linéarité de la conductance du canal est maintenue jusqu'à des amplitudes de $v_{ds}(t)$ de plusieurs dizaines de mV avec l'exemple de la figure 2.1b. Cette quasi-linéarité de la caractéristique $g_{ds}(V_{ds})$ est à l'origine des très bonnes performances en linéarité des mélangeurs passifs conçus à l'aide de transistors FET froids.

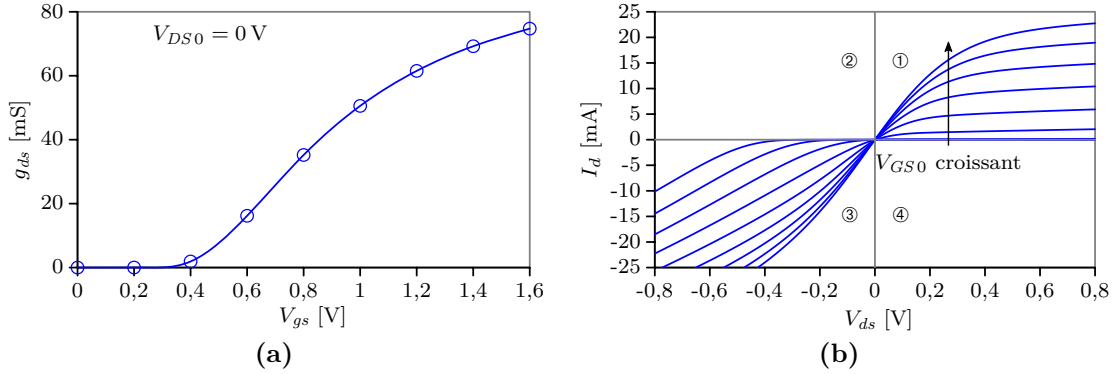


Figure 2.1 – (a) conductance g_{ds} en fonction de la tension V_{gs} à $V_{DS0} = 0\text{ V}$, (b) caractéristique $I_d(V_{gs}, V_{ds})$ d'un transistor NMOS $30\text{ }\mu\text{m} \times 0,12\text{ }\mu\text{m}$ en régime ohmique ($0 < V_{GS0} < 2\text{ V}$ par pas de 200 mV).

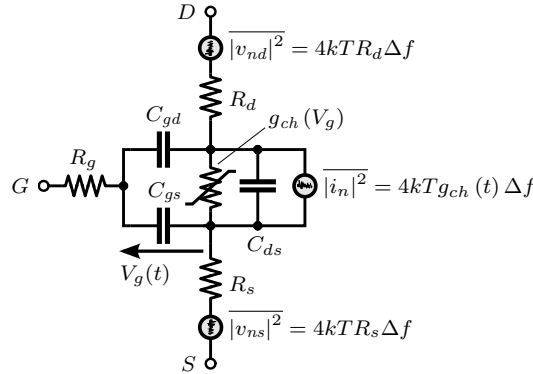


Figure 2.2 – Modèle simplifié d'un transistor NMOS froid.

Le transistor MOS froid peut être modélisé par le circuit de la figure 2.2. Un quatrième contact nommé *bulk* (contact B) pourrait être ajouté pour modéliser les courants de fuite vers le substrat semiconducteur et la modulation de la tension de seuil par la différence de potentiel V_{SB} (*Bulk effect*) [1]. La conductance intrinsèque du canal est représentée par l'élément g_{ch} accompagné de la capacité C_{ds} . Cette conductance est contrôlée par la tension grille-source intrinsèque V_g . Les capacités C_{gs} et C_{gd} modélisent la fine couche d'oxyde qui sépare le canal de la grille. Ces deux éléments sont des non-linéarités secondaires fonctions de V_{gs} et V_{gd} respectivement. R_g , R_s et R_d représentent finalement les trois résistances d'accès à la zone intrinsèque du composant.

Le bruit généré par le transistor MOS froid est essentiellement d'origine thermique [2] et est représenté par les sources de bruit v_{ns} , v_{nd} et i_n sur le schéma de la figure 2.2. Malgré l'absence de courant statique à travers le canal, du bruit en $1/f$ est observé dans le MOS froid. Une fluctuation aléatoire de la résistance du canal autour de sa valeur moyenne semble être à l'origine de ce phénomène [3]. Mais d'autres effets font également apparaître du bruit en $1/f$ lorsque le transistor est employé dans les mélangeurs passifs [4].

2.2 Mélangeurs passifs en tension et en courant

2.2.1 Principes de fonctionnement et gains de conversion

Le transistor MOS froid est exploité de différentes manières dans un mélangeur passif en fonction de la bande de fréquence à traiter. Aux fréquences les plus basses, la conductance variable g_{ds} est insérée dans un pont diviseur de tension ou de courant pour limiter au maximum les pertes de conversion. Grâce aux fortes densités d'intégration permises par les technologies silicium actuelles, les configurations simplement et doublement équilibrées sont privilégiées pour profiter de leur capacité à rejeter la majeure partie des produits de mélange indésirables [5]. Ces deux implémentations du mélangeur passif sont illustrées par les schémas de la figure 2.3.

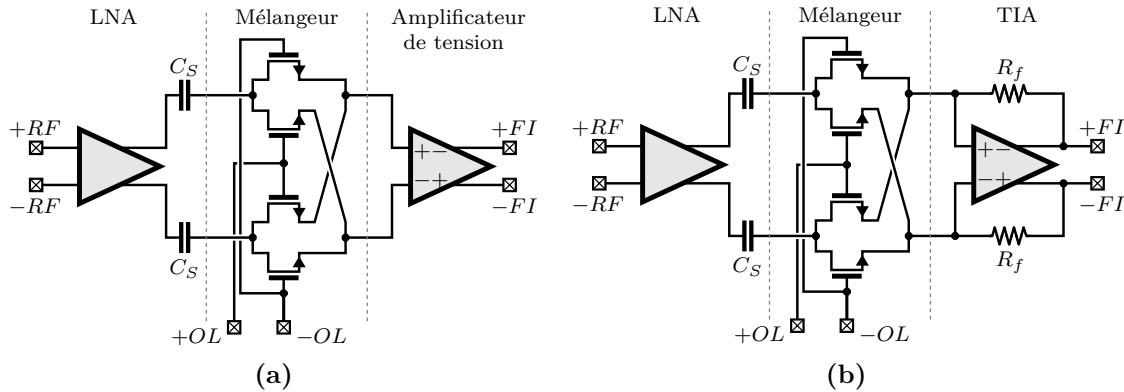


Figure 2.3 – Mélangeurs passifs doublement équilibrés en tension (a) et en courant (b).

Entre ces deux mélangeurs, les différences se situent au niveau du LNA et de l'amplificateur FI. Elles sont illustrées par les schémas électriques équivalents de la figure 2.4. Dans le cas du mélangeur en tension, le signal est porté par la tension et l'adaptation en tension est requise entre les accès RF et FI du mélangeur pour minimiser les pertes de conversion. La source RF doit se rapprocher d'un générateur de Thévenin parfait $v_S(t)$ donc avec une impédance interne R_S la plus faible possible et une impédance de charge R_L la plus élevée possible coté FI (figure 2.4a). Le mélangeur en courant poursuit la même démarche mais avec un signal porté par le courant, une source RF se rapprochant d'un générateur de Norton parfait $i_S(t)$ et une adaptation en courant entre les étages maximisant R_S et minimisant l'impédance d'entrée R_{tia} de l'amplificateur transimpédance (TIA) (figure 2.4b).

Pour optimiser le mélange et réduire les pertes de conversion, l'excursion de la résistance du canal sur une période d'OL doit être maximisée avec par conséquent des valeurs extrêmes

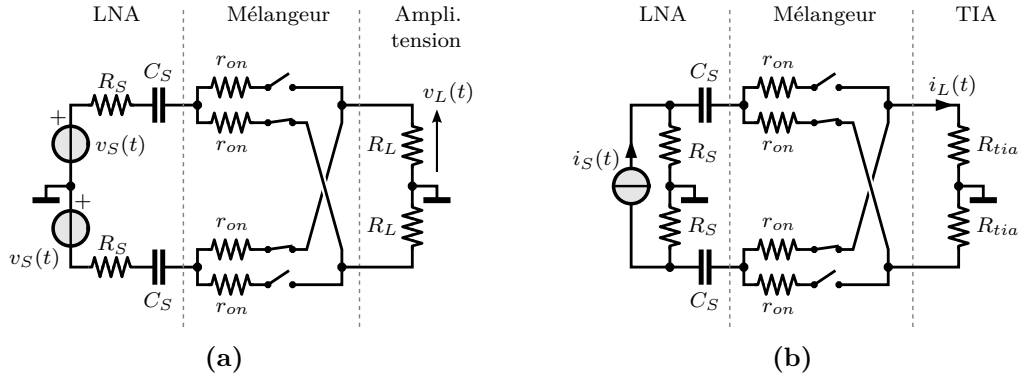


Figure 2.4 – Modèles électriques équivalents des mélangeurs passifs doublement équilibrés en tension (a) et en courant (b).

r_{on} (faible impédance) et r_{off} (haute impédance) les plus éloignées possibles. En s'appuyant sur l'hypothèse d'une résistance r_{off} infinie, le modèle du transistor MOS froid se résume à un interrupteur en série avec la résistance à l'état passant (figure 2.4). Cette modélisation revient, au niveau des deux mélangeurs, à appliquer la source RF successivement en phase et en opposition de phase à la charge FI. Les grandeurs de sortie s'expriment alors à partir des grandeurs d'entrée multipliées par la fonction carrée d'amplitude ± 1 notée $\mathcal{C}(t)$ et de période $1/f_{OL}$. Le gain de conversion est calculé à partir de la décomposition en série de Fourier de $\mathcal{C}(t)$,

$$\mathcal{C}(t) = \sum_{n=1,3,5,\dots}^{+\infty} \frac{4}{n\pi} \sin(n\omega_{OL}t) . \quad (2.2)$$

En isolant le terme à la fréquence intermédiaire souhaitée, soit $f_{FI} = |f_{RF} - f_{OL}|$ ici, on trouve les gains de conversion G_V pour le mélangeur en tension et G_I pour le mélangeur en courant :

$$G_V = \frac{2}{\pi} \frac{R_L}{R_S + r_{on} + R_L} , \quad (2.3)$$

$$G_I = \frac{2}{\pi} \frac{R_S}{R_S + r_{on} + R_{tia}} . \quad (2.4)$$

Dans les deux cas, G_V et G_I tendent vers $-2/\pi$ ($-3,9$ dB) si la résistance r_{on} respecte l'inégalité $r_{on} \ll R_L$ pour le cas du mélangeur en tension ou si $r_{on} \ll R_S$ pour le cas du mélangeur en courant. Avec ce dernier, un gain de conversion en tension noté G_{I2} peut être défini en intégrant la transconductance g_m du LNA et le gain transimpédance R_f du TIA.

$$G_{I2} \approx \frac{2}{\pi} g_m R_f . \quad (2.5)$$

Cette expression est identique à ce que l'on pourrait obtenir en effectuant les calculs précédents sur un mélangeur actif de Gilbert [6]. Le mélangeur passif en courant est très proche du mélangeur de Gilbert pour ce qui est du gain de conversion.

2.2.2 Linéarité

Si la linéarité n'est pas un critère important, un signal sinusoïdal peut être appliqué sur l'accès **OL** superposé à une tension statique V_{GS0} voisine de V_{th} . On cherchera toutefois à maximiser l'amplitude de la tension de pompe V_{OL} pour bénéficier du meilleur gain de conversion possible. Ceci revient à maximiser l'impédance d'entrée de l'accès **OL**, qui est capacitive (C_{OL}). En plaçant en parallèle une inductance choisie pour accorder le circuit bouchon ainsi formé sur la fréquence f_{OL} , la puissance active P_{sin} consommée par l'accès **OL** est minimisée. Elle ne dépend plus que de la résistance parasite équivalente notée R_p du circuit bouchon ainsi formé :

$$P_{sin} = \frac{\pi f_{OL} C_{OL} V_{OL}^2}{Q} \quad \text{avec} \quad Q = R_p C_{OL} \omega_{OL} . \quad (2.6)$$

Dans le cas des mélangeurs passifs en tension et en courant modélisés par les schémas électriques des figures 2.4a et 2.4b, c'est un signal de pompe carré qui est employé. La puissance consommée par cet accès peut être calculée en recherchant la quantité de charge qu'il faut transférer à C_{OL} pour une période du signal **OL**. On trouve

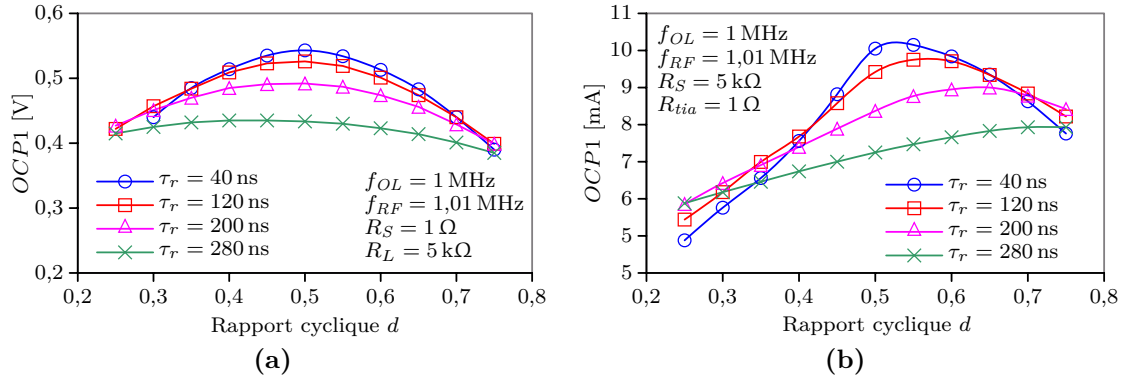
$$P_{carr} = 4f_{OL} C_{OL} V_{OL}^2 = \frac{4Q}{\pi} P_{sin} . \quad (2.7)$$

Ce résultat montre que $P_{carr} \gg P_{sin}$ à amplitude V_{OL} identique. Toutefois, et au contraire d'une excitation sinusoïdale, un signal de pompe carré optimise la linéarité du mélangeur. En effet, la tension instantanée $v_{ds}(t)$ de chacun des transistors du mélangeur reste faible tout au long d'une période du signal **OL**. Avec un signal **OL** carré, les mélangeurs doublement équilibrés en tension et en courant se retrouvent toujours dans l'état 1 identifié dans le tableau 2.1. La tension aux bornes des deux transistors passants reste toujours faible puisque les conditions $r_{on} \ll R_L$ pour le mélangeur en tension et $r_{on} \ll R_S$ pour le mélangeur en courant sont respectées. Ces deux conditions, déjà explicités dans le paragraphe précédent, optimisent donc simultanément le gain de conversion et la linéarité de ces deux mélangeurs.

Dans la pratique, le signal de pompe comporte des temps de montée et de descente non nuls qui doivent être pris en compte. Pour simplifier le problème, nous les choisissons identiques en les notant τ_r . En fonction de la valeur statique V_{GS0} par rapport à V_{th} , deux nouveaux états des mélangeurs sont identifiées durant les phases de transition à chaque demi-période du signal **OL**. Ceux sont les états 2 et 3 du tableau 2.1, respectivement. Lorsque $V_{GS0} < V_{th}$ tout se passe comme si un signal **OL** de rapport cyclique $d < 50\%$ était appliqué. Les quatre transistors du mélangeur sont alors dans un état de haute impédance (r_{off}) à chaque transition de la tension **OL**. À l'inverse, ceux-ci sont tous passants simultanément (r_{on}) lorsque $V_{GS0} > V_{th}$, ce qui équivaut à un signal **OL** tel que $d > 50\%$. Les schémas simplifiés des deux mélangeurs durant les états 2 et 3 du tableau 2.1 suggèrent que les amplitudes des tensions $v_{ds}(t)$ sont potentiellement beaucoup plus importantes durant ces phases de transition du signal **OL**. Pour vérifier l'impact de ces transitions sur la linéarité des mélangeurs en tension et en courant des figures 2.4a et 2.4b, le point de compression en sortie ($OCP1$) est simulé et reporté sur les figures 2.5a et 2.5b pour différentes valeurs de d et de τ_r . Des fréquences basses ont été choisies pour s'affranchir des effets des non-linéarités secondaires C_{gs} et C_{gd} qui s'activent aux hautes fréquences. Les résultats montrent que la linéarité se dégrade lorsque τ_r augmente [7, 8] et que la polarisation V_{GS0} s'écarte d'une valeur optimale qui devrait être voisine de V_{th} ou bien lorsque le rapport cyclique d s'éloigne de la valeur 50%.

Tableau 2.1 – Phases de fonctionnement des mélangeurs passifs en courant et en tension en fonction du signal OL.

État	1	2	3
Signal appliqué à chacun des deux accès OL			
Mélangeur en tension			
Mélangeur en courant			


Figure 2.5 – Points de compression en sortie des mélangeurs (a) en tension et (b) en courant en fonction du rapport cyclique d et du temps de transition τ_r du signal OL.

2.2.3 Comportement en bruit

Le bruit produit en sortie du mélangeur passif est également susceptible de changer de façon importante en fonction du comportement du mélangeur durant les phases de transition du signal OL et selon le mode de fonctionnement choisi (tension / courant).

Dans le cas d'un signal OL parfaitement carré, la contribution en bruit du mélangeur est déterminée par la résistance produite par la paire de transistors passants (cas 1 du tableau 2.1). Cette résistance est constante sur toute la période T_{OL} , elle vaut $2r_{on}$ et produit un bruit $\overline{v_{n,mix}^2} = 8kTr_{on}\Delta f$ [9].

Le cas où les quatre transistors MOS sont simultanément bloqués durant les phases de transition du signal OL impacte différemment les mélangeurs en tension et en courant (cas 2 du tableau 2.1). Pour le mélangeur en tension, il existe systématiquement une capacité parasite entre chaque sortie FI et la masse. Ces capacités retiennent les tensions de sortie

durant la phase transition et le mélangeur agit alors en échantillonneur-bloqueur durant ce laps de temps. Il en résulte une élévation du spectre **BF** du bruit en sortie sous l'effet du repliement spectral des sources de bruit initialement présentes autour des harmoniques de la fréquence d'échantillonnage f_{OL} [9, 10]. Dans le cas du mélangeur en courant, ce sont les capacités parasites C_{par} présentes coté **RF** qui posent problème. Le graphe de la figure 2.6 montre que chaque condensateur C_{par} se comporte comme une résistance à capacité commutée avec l'aide des deux transistors qui l'entoure. Puisque dans le cas du mélangeur en courant, le générateur de signal **RF** est une source de courant, l'ensemble crée sur la sortie **FI** une résistance R_{out} très inférieure à la valeur attendue et qui vaut

$$R_{out} \approx \frac{1}{4f_{OL}C_{par}} . \quad (2.8)$$

Or, le **TIA** se comporte en un amplificateur de tension pour sa source de bruit interne ramenée en entrée v_{ni} et le niveau de bruit en sortie v_{no} du **TIA** est défini par l'expression suivante :

$$\overline{v_{no}^2} = \left(1 + \frac{R_f}{R_{out}}\right)^2 \overline{v_{ni}^2} . \quad (2.9)$$

Le gain de cet amplificateur dépend donc directement de R_{out} . En considérant cet effet parasite, le gain en bruit (2.9) peut devenir très supérieur à un et l'effet du **TIA** sur le niveau de bruit en sortie du mélangeur devient largement majoritaire [11].

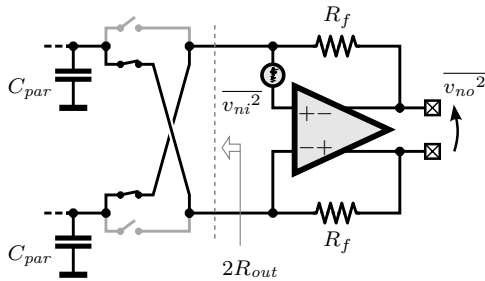


Figure 2.6 – Diminution de R_{out} due à la présence de C_{par} .

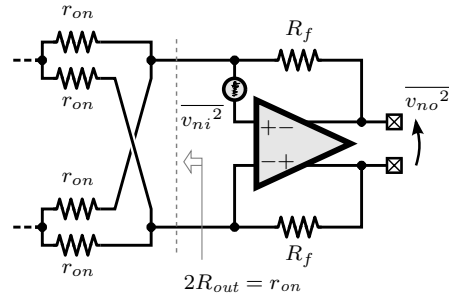


Figure 2.7 – Forte réduction de R_{out} due à la conduction simultanée des transistors MOS.

Si les quatre transistors **MOS** sont passants simultanément durant les phases de transition du signal **OL** (cas 3 du tableau 2.1), la résistance de sortie R_{out} n'est plus constante. Celle-ci diminue durant les phases de transition du signal **OL**. Le bruit produit devient cyclo-stationnaire et son niveau est défini par la moyenne pondérée des densités spectrales de puissance de bruit relevées durant les états 1 et 3 du tableau 2.1 [4, 9, 10]. Dans le cas du mélangeur en courant, cette configuration accroît encore plus significativement la contribution du **TIA** au niveau de bruit v_{no} puisque cette fois-ci R_{out} devient égal à r_{on} comme illustré sur le schéma de la figure 2.7 [4, 11].

Enfin, le bruit en $1/f$ ne disparaît pas complètement malgré l'absence de courant de polarisation des transistors **MOS** même s'il est globalement très inférieur aux niveaux rencontrés dans les mélangeurs actifs [3, 4].

2.3 Mélangeur passif à transfert de puissance

Lorsque les fréquences de fonctionnement augmentent, il devient difficile de maintenir un niveau de performance satisfaisant pour le mélangeur passif adapté en courant ou en tension du mélangeur passif. Les éléments parasites environnant les composants actifs limitent la plage d'impédance qu'il est possible de présenter aux accès du mélangeur. Les effets distribués des interconnexions ne peuvent plus être négligés et la réduction de la longueur d'onde ne permet plus de conserver une impédance constante le long des interconnexions. Pour toutes ces raisons, il devient plus avantageux de chercher à maximiser le transfert de puissance entre le mélangeur et son environnement.

2.3.1 Gain de conversion

Le gain de conversion en puissance est maximisé si l'adaptation en impédance est réalisée au niveau des accès **RF** et **FI** du mélangeur aux fréquences f_{RF} et f_{FI} respectivement. Les degrés de liberté sont nombreux et les impédances optimales à présenter sur ces deux accès dépendent de la forme de la variation temporelle de la conductance des transistors **MOS** du mélangeur, sans oublier le rapport cyclique d de ces variations, des limites du transistor **MOS** identifiées par sa résistance r_{on} et du ratio r_{on}/r_{off} . Cette question de l'optimisation du gain de conversion a été largement traitée dans la littérature depuis la fin des années 40 avec l'apparition du formalisme des matrices de conversion [12–15]. Cette méthode consiste à déterminer le niveau des tensions et courants présents à toutes les fréquences créées le circuit linéaire paramétrique auquel le mélangeur équivaut. La méthode repose donc sur l'hypothèse petit-signal de la tension v_{RF} appliquée à un circuit non-linéaire. Dans le cas du mélangeur passif à transistor **FET** de la figure 2.8, la non-linéarité exploitée est la conductance $g_{ds}(t)$. Le niveau des tensions et courants créés par le circuit à toutes les fréquences peut être calculé puisque

$$i_{FI}(t) = g_{ds}(t) v_{RF}(t) . \quad (2.10)$$

Le développement en série de Fourier de $g_{ds}(t)$ fait apparaître les termes g_k relatifs à chacun des harmoniques $k f_{OL}$.

$$g_{ds}(t) = \sum_{k=-\infty}^{+\infty} g_k e^{jk\omega_{OL}t} \quad (2.11)$$

En notant $f_{\pm n} = n f_{OL} \pm f_{FI}$ avec $n = |k| \in \mathbb{N}$ les fréquences créées par le mélangeur autour des harmoniques $n f_{OL}$, le problème peut être traité par calcul matriciel. En ne conservant que les N premiers termes du développement en série de Fourier de $g_{ds}(t)$, cette décomposition en fréquence équivaut à représenter le mélangeur par le schéma électrique de la figure 2.9.

Écrite sous forme matricielle, l'expression (2.10) devient

$$\mathbf{I} = \mathbf{G} \cdot \mathbf{V} \quad (2.12)$$

$$\text{avec } \mathbf{I} = \begin{pmatrix} i_N \\ \vdots \\ i_0 \\ \vdots \\ i_{-N} \end{pmatrix}, \quad \mathbf{G} = \begin{pmatrix} g_0 & g_1 & \cdots & g_{2N} \\ g_1^* & g_0 & \cdots & g_{2N-1} \\ \vdots & \vdots & \ddots & \vdots \\ g_{2N}^* & g_{2N-1}^* & \cdots & g_0 \end{pmatrix} \quad \text{et } \mathbf{V} = \begin{pmatrix} v_N \\ \vdots \\ v_0 \\ \vdots \\ v_{-N} \end{pmatrix} .$$

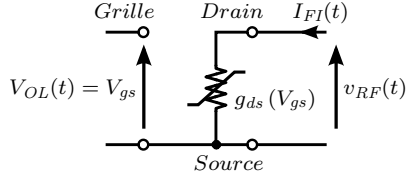


Figure 2.8 – Mélangeur passif à transistor FET.

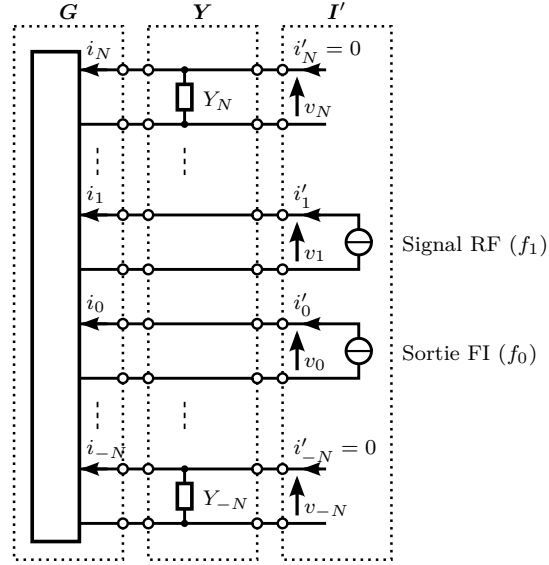


Figure 2.9 – Schéma électrique équivalent avec chaque fréquence $f_{\pm n}$ sur un accès distinct.

\mathbf{G} est la matrice de conversion et contient les termes g_k issus de (2.11). Nous n'allons pas détailler la formation de cette matrice que l'on peut retrouver dans les ouvrages [12, 14]. Notons simplement qu'avec cette représentation, les indices $n = 0, 1, -1$ se rapportent respectivement à la composante de fréquence $f_0 = f_{FI}$, $f_1 = f_{RF}$ et f_{-1} pour la fréquence image. Cette notation sera reprise dans la suite de ce chapitre. Pour résoudre le problème, il reste à prendre en compte les admittances de fermeture $Y_{\pm n}$ présentées au mélangeur pour chaque fréquence $f_{\pm n}$ (matrice \mathbf{Y}) ainsi que les deux générateurs de courant parfaits i'_0 et i'_1 du schéma de la figure 2.9. Le système est résolu en inversant la matrice $\mathbf{G} + \mathbf{Y}$:

$$\mathbf{V} = [\mathbf{G} + \mathbf{Y}]^{-1} \cdot \mathbf{I}' \quad (2.13)$$

$$\text{avec } \mathbf{I}' = \begin{pmatrix} 0 \\ \vdots \\ 0 \\ i'_1 \\ i'_0 \\ 0 \\ \vdots \\ 0 \end{pmatrix} \text{ et } \mathbf{Y} = \begin{pmatrix} Y_N & & & & & & & 0 \\ & \ddots & & & & & & \\ & & Y_2 & & & & & \\ & & & 0 & & & & \\ & & & & 0 & & & \\ & & & & & Y_{-1} & & \\ & & & & & & \ddots & \\ 0 & & & & & & & Y_{-N} \end{pmatrix}$$

En isolant le résultat obtenu pour les couples de tension-courant $\{v_1, i_1\}$ et $\{v_0, i_0\}$, la matrice impédance 2×2 décrivant le comportement du mélangeur entre les signaux RF et FI est obtenue. Bien que relativement simple dans son principe, cette méthode ne se prête guère au calcul analytique. Le calcul du gain de conversion du mélangeur passif adapté en impédance est par conséquent beaucoup plus délicat à effectuer que pour les versions fonctionnant en tension et en courant décrites précédemment. Différents cas classés selon la nature des admittances de fermeture connectées autour des fréquences harmoniques de

l'OL ont été traité dans la littérature. On en retrouve des synthèses dans les ouvrages [12] et [15], nous ne nous y attarderons pas ici. Notons simplement que les impédances de fermetures définies pour toutes les fréquences $f_{\pm n}$ coté FI mais aussi coté RF influencent considérablement les performances du mélangeur en terme de gain de conversion, de bruit et de linéarité [12, 13, 16].

2.3.2 Facteur de bruit

D'un point de vue du bruit et contrairement aux mélangeurs actifs et aux mélangeurs passifs à diode, celui-ci est d'origine exclusivement thermique dans un mélangeur passif à transistor FET. Comme pour le calcul du gain de conversion, le facteur de bruit du mélangeur peut être calculé en décomposant le circuit pour chacune des fréquences traitées. Le mélangeur passif est alors assimilé à un atténuateur multipôle [14, 17] chaque patte de l'atténuateur comptant pour une fréquence distincte. Il est communément admis que le facteur de bruit égale les pertes de conversion, soit

$$NF_{SSB} = (G_I)^{-1} \quad (2.14)$$

avec G_I le gain de conversion du mélangeur et NF_{SSB} son facteur de bruit en bande latérale unique (SSB). Dans la pratique, ce n'est pas toujours le cas. Le tableau 2.2 reporte les caractéristiques électriques de quelques mélangeurs passifs issus de la littérature. Dans certains cas, le facteur de bruit est très proche des pertes de conversion [18, 19]. Pour d'autres [20–22], des écarts pouvant aller jusqu'à 1,5 dB sont relevés. Par conséquent, il apparaît intéressant de se rappeler quels paramètres interviennent dans la détermination du facteur de bruit. Considérons pour cela le mélangeur de la figure 2.10. Ce circuit est

Tableau 2.2 – Caractéristiques de quelques mélangeurs passifs à transistors FET.

Références	[18]	[19]	[20]	[21]	[22]	Unité
Technologie	MESFET GaAs hybride	CMOS 90 nm	CMOS 130 nm	CMOS- SOI 90 nm	CMOS 65 nm	
Topologie	1 transistor	1 transistor	Doublement équilibrée	1 transistor	Doublement équilibrée	
f_{RF}	10,3	20	5,4	27	60	GHz
f_{OL}	8,8	19	2,9	24,5	60	GHz
f_{FI}	1,5	1	2,5	2,5	0	GHz
P_{OL}	10	7,8	0	0	-5	dBm
G_c	-6,5	-7,6	-6,4	-10,3	-6,9	dB
NF_{SSB}	6,6	7,4	7,7	11,4	8,4	dB
$IIP3$	28	19	10	12,7	n/d	dBm

capable de convertir le signal utile centré sur la fréquence RF f_1 ainsi que tout signal présent à la fréquence image f_{-1} vers la fréquence FI notée f_0 . Des gains de conversions G_1 et G_{-1} sont respectivement associés à chacune des deux fréquences de départ. Comme

les sources de bruit d'un mélangeur passif à transistors MOS sont d'origine exclusivement thermique, la température effective de l'atténuateur est confondue avec la température physique T_p du système. En faisant apparaître la température équivalente de bruit T_{SSB} de

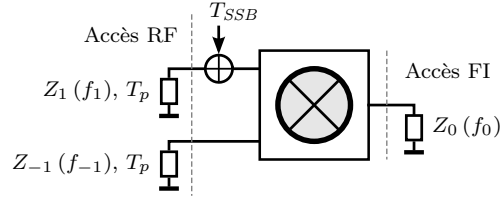


Figure 2.10 – Modélisation du bruit SSB d'un mélangeur présentant un gain de conversion non nul à la fréquence image.

l'atténuateur ramenée intégralement sur l'accès RF à la fréquence f_1 et en assimilant le mélangeur à un atténuateur à trois accès, la température de bruit en sortie T_{out} s'exprime de la manière suivante

$$T_{out} = T_p = (T_{SSB} + T_p) G_1 + T_p G_{-1} . \quad (2.15)$$

On exprime ensuite la température T_{SSB} en fonction des caractéristiques du circuit

$$T_{SSB} = T_p \left(\frac{1}{G_1} - 1 - \frac{G_{-1}}{G_1} \right) . \quad (2.16)$$

Le facteur de bruit NF_{SSB} du mélangeur correspond au rapport entre le bruit relevé sur la sortie FI et la part du bruit issu de la source placée coté RF à la fréquence f_1 exclusivement. L'expression de NF_{SSB} ci-dessous ajoute les deux hypothèses suivantes : la température physique T_p est égale à la température de référence $T_0 = 290$ K et $G_1 = G_{-1}$, ce qui est généralement vrai lorsque la fréquence FI est très inférieure à la fréquence RF.

$$NF_{SSB} = \frac{G_1 k T_{SSB} \Delta f + 2 G_1 k T_0 \Delta f}{G_1 k T_0 \Delta f} = \frac{T_{SSB}}{T_0} + 2 . \quad (2.17)$$

Enfin, on retrouve l'expression bien connue du facteur de bruit du mélangeur passif en remplaçant T_{SSB} dans la relation (2.17) par l'expression (2.16) corrigée pour tenir compte des hypothèses $G_1 = G_{-1}$ et $T_p = T_0$.

$$NF_{SSB} = \frac{T_0}{T_0} \left(\frac{1}{G_1} - 2 \right) + 2 = \frac{1}{G_1} . \quad (2.18)$$

Pour que ce résultat soit valide, les conditions suivantes doivent être respectées [17] :

- le composant ne doit comporter qu'une seule source de bruit intégralement modulée par l'OL. Hors, les sources de bruit du transistors MOS froid, toutes d'origine thermique, proviennent principalement de la conductance du canal du transistor mais aussi, dans une moindre mesure, de ses résistances d'accès de drain et de source (figure 2.2),
- si la variation temporelle de la conductance $g_{ch}(t)$ n'est pas sinusoïdale, le bruit présent à certaines fréquences $f_{\pm n} = n f_{OL} \pm f_{FI}$ est converti vers la FI. Il faut alors placer des impédances $Z_{\pm n}$ purement réactives aux fréquences $f_{\pm n}$ coté RF pour ne pas ajouter de

bruit au système. Dans le cas contraire, des sources de bruit indépendantes issues de ces impédances, de température $T_{\pm n}$, sont converties vers la sortie FI et augmentent le niveau de bruit mesuré en sortie. L'expression 2.15 devient

$$T_{out} = (T_{SSB} + T_0) G_1 + T_0 G_{-1} + \sum_{n=2}^{+\infty} T_{\pm n} G_{\pm n} \quad (2.19)$$

avec $G_{\pm n}$ les gains de conversion en provenance des fréquences $f_{\pm n}$ vers la FI,

- la conductance linéairement variable g_{ch} doit être purement résistive ce qui équivaut à négliger la capacité parasite du canal C_{ds} . Pour que cette hypothèse soit valide, la fréquence la plus élevée pour laquelle un gain de conversion significatif existe doit rester inférieure à la pulsation de coupure $(r_{off} C_{ds})^{-1}$.

En pratique, ces conditions ne sont jamais complètement remplies aux fréquences élevées, ce qui peut expliquer les écarts observés entre les pertes de conversion et le facteur de bruit des mélangeurs de la table 2.2 qui fonctionnent aux fréquences les plus élevées. La relation (2.18) ne devient qu'une approximation optimiste de la réalité, avec un facteur de bruit réel susceptible de dépasser les pertes de conversions de plusieurs décibels. Pour réduire la température de bruit et le facteur de bruit du mélangeur, il convient malgré tout de minimiser les pertes de conversion.

Pour terminer sur ce mélangeur, les performances en terme de linéarité sont optimisées de la même manière que pour les mélangeurs en tension et en courant décrit précédemment : le signal de pompe doit tendre vers une forme d'onde carrée dotée de fronts de montée et de descente les plus raides possibles.

La section suivante va plus précisément analyser les conditions à observer sur la géométrie du transistor MOS pour optimiser les performances du mélangeur passif aux fréquences élevées.

3 Mélangeur passif aux fréquences millimétriques

Durant plusieurs décennies les performances fréquentielles du transistor MOS n'ont cessé de progresser grâce à la réduction de la longueur de grille (figure 2.11). Les limites fréquentielles atteintes par les filières CMOS RF 65 nm et 45 nm permettent d'ores déjà d'envisager les prochaines générations de systèmes radio dans les bandes de fréquence millimétriques V et W et des systèmes radio tout CMOS dans ces bandes commencent à apparaître dans la littérature.

Le travail décrit dans cette partie a été effectué entre 2007 et 2010 [24] dans le cadre d'un projet ANR impliquant plusieurs laboratoires de recherche français en collaboration avec la société *STmicroelectronics*. Le projet visait la démonstration d'un radar automobile ULB centré sur 79 GHz à partir d'une filière technologique BiCMOS SiGe 0,13 μm en cours de développement. Une des originalités du projet était de doter le radar d'une capacité de communication inter-véhicules à faible débit (5 Mbps visés) en introduisant une modulation de phase des impulsions radar. Au niveau circuit, le récepteur à conversion directe devait employer un mélangeur passif dont la faisabilité restait à démontrer dans cette gamme de fréquence, un point sur lequel nous avons travaillé au LAAS et dont les principaux résultats sont reproduit ici.

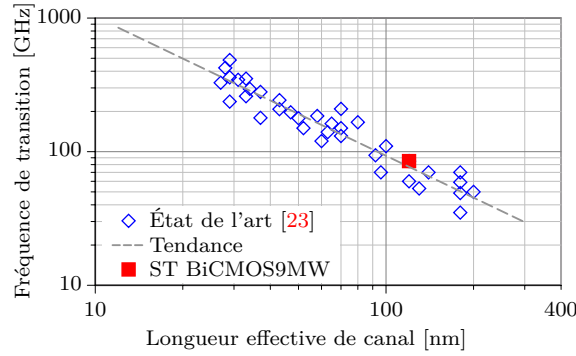


Figure 2.11 – Fréquences de transition en fonction de la longueur effective de canal des transistors NMOS RF.

La partie 3.1 est dédiée à l’optimisation de la géométrie du transistor MOS. Il s’agit de comprendre comment s’établissent les limites fréquentielles du mélangeur passif à transistor MOS alors que la fréquence de transition de ce dernier ($f_t = 85$ GHz, figure 2.11) est à peine supérieure à la fréquence centrale RF du circuit. La conception du convertisseur de fréquence est ensuite développée dans la partie 3.2 et s’achève avec la présentation des résultats obtenus à partir du démonstrateur.

3.1 Optimisation de la géométrie du transistor MOS

Les deux critères de performance utilisés lorsqu’il s’agit de connaître la limite en fréquence ou de comparer plusieurs transistors entre eux sont la fréquence de transition f_t et la fréquence maximale d’oscillation f_{max} . Tous deux associés à la transconductance g_m du composant, ils définissent respectivement les limites en fréquence du gain en courant et en puissance du transistor. Or, le transistor MOS se réduit à une conductance lorsqu’il est polarisé à V_{DS0} nul. Le f_t et le f_{max} ne sont donc pas pertinents pour définir la limite d’utilisation en fréquence d’un transistor MOS froid placé dans un mélangeur passif. D’autres indicateurs de performance doivent être identifiés.

Pour cette analyse, nous utilisons la version doublement équilibrée du mélangeur (figure 2.12). Les propriétés électriques de cette configuration (masses virtuelles idéalement créées à différentes fréquences sur chaque accès du circuit) sont exploitées au mieux pour créer un schéma électrique simplifié du mélangeur basé sur le modèle de transistor froid de la figure 2.2. Deux phénomènes sont susceptibles d’altérer le bon fonctionnement du transistor utilisé en conductance variable aux fréquences les plus élevées [24, 25].

La première limitation se situe au niveau de la commande du transistor par le signal OL. Lorsque la fréquence augmente, la capacité C_{gs} court-circuite progressivement la tension de commande intrinsèque V_g [24, 26]. En remarquant que l’entrée du transistor entre la grille et la source est assimilable à un circuit RC, une première pulsation de cassure notée ω_{c1} est définie :

$$\omega_{c1} = \frac{1}{(R_g + R_d \parallel R_s)(C_{gs} + C_{gd})} . \quad (2.20)$$

La seconde limite se situe au niveau du canal du transistor MOS dont l’impédance doit varier en fonction de la valeur du signal de commande de grille. Aux fréquences élevées, les deux valeurs extrêmes représentées par les paramètres r_{on} et r_{off} du transistor sont modifiées

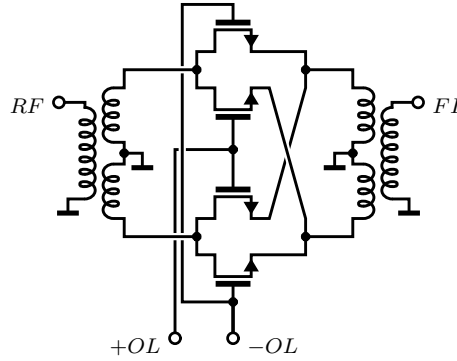


Figure 2.12 – Schéma du mélangeur passif doublement équilibré utilisé en simulation. Les transformateurs ont un ratio 1:1.

sous l'effet de ses éléments parasites. Les capacités C_{ds} et C_{gd} abaissent l'impédance du canal lorsque le transistor se trouve à l'état bloqué qui est traduit par l'impédance Z_{off} (2.22). À l'état passant, le paramètre r_{on} défini par la relation 2.21 est remplacé par l'impédance Z_{on} , qui inclue les inductances (négligées dans la suite) et les résistances d'accès au canal. Ces deux impédances sont explicitées ci-dessous :

$$r_{on} = \frac{L}{\mu_n C_{ox} W (V_{gs} - V_{th})} \quad (2.21)$$

$$Z_{on} \approx R_s + R_d + r_{on} \text{ et } Z_{off} \approx \frac{1}{j\omega (C_{gd} + C_{ds})} . \quad (2.22)$$

Le ratio Z_{on}/Z_{off} qui incorpore ces phénomènes parasites se retrouve dégradé par rapport au ratio r_{on}/r_{off} qui fixe les pertes d'un mélangeur passif à basses fréquences. Un niveau de pertes supplémentaire par rapport aux $-3,92$ dB théoriques prévus pour un mélangeur passif adapté (partie 2.3) est donc à considérer à hautes fréquences. Ces pertes supplémentaires L_s s'expriment

$$L_s = 1 + 2 \left| \frac{Z_{on}}{Z_{off}} \right|^2 \left(1 + \sqrt{1 + \left| \frac{Z_{on}}{Z_{off}} \right|^2} \right) . \quad (2.23)$$

On déduit alors une seconde pulsation de cassure ω_{c2} au delà de laquelle le fonctionnement du mélangeur se dégrade

$$\omega_{c2} \approx \frac{1}{(R_s + R_d + r_{on}) (C_{gd} + C_{ds})} . \quad (2.24)$$

Avec ces deux nouveaux indicateurs ω_{c1} et ω_{c2} , nous pouvons maintenant évaluer la manière dont la géométrie du transistor MOS affecte les performances du mélangeur à très hautes fréquences. En effet, les pertes de conversion sont réduites en maximisant les pulsations ω_{c1} et ω_{c2} . Cette méthode conduit alors à établir trois conditions à respecter pour un dimensionnement correct des transistors MOS :

- choisir la plus faible largeur W possible. Ce choix impacte négativement la résistance à l'état passant mais permet de contenir les valeurs des capacités C_{gs} , C_{gd} et C_{ds} ,

- maintenir des résistances d'accès faibles. R_g , R_s et R_d sont minimisées en multipliant le nombre de doigts de la grille du composant pour une largeur W donnée,
- utiliser la longueur L minimale proposée par la filière technologique utilisée, toujours pour minimiser les capacités C_{gs} , C_{gd} et C_{ds} .

Pour vérifier ce résultat, des simulations électriques ont été menées à partir du schéma de la figure 2.12 en utilisant des transistors MOS issus d'une filière BiCMOS SiGe 130 nm de la société *STmicroelectronics*. Un gain de conversion maximal $G_{c,max}$ est calculé pour s'affranchir des pertes par désadaptation après avoir extrait les coefficients de réflexions des accès RF et FI

$$G_{c,max} = \frac{1}{1 - |S_{11,RF}|^2} |S_{21}|^2 \frac{1}{1 - |S_{22,FI}|^2} . \quad (2.25)$$

Le gain $G_{c,max}$ obtenu est représenté en fonction de la puissance appliquée pour différentes largeurs de doigts (figure 2.13a) et en fonction du nombre de doigts du composant (figure 2.13b). Le graphe de la figure 2.13a montre que les courbes de gain se décalent vers les puissances OL les plus faibles lorsque la largeur du transistor diminue, tandis que le graphe de la figure 2.13b confirme l'intérêt d'un grand nombre de doigts pour minimiser les pertes de conversion. Ces résultats sont en parfaite cohérence avec les développements analytiques évoqués ci-dessus.

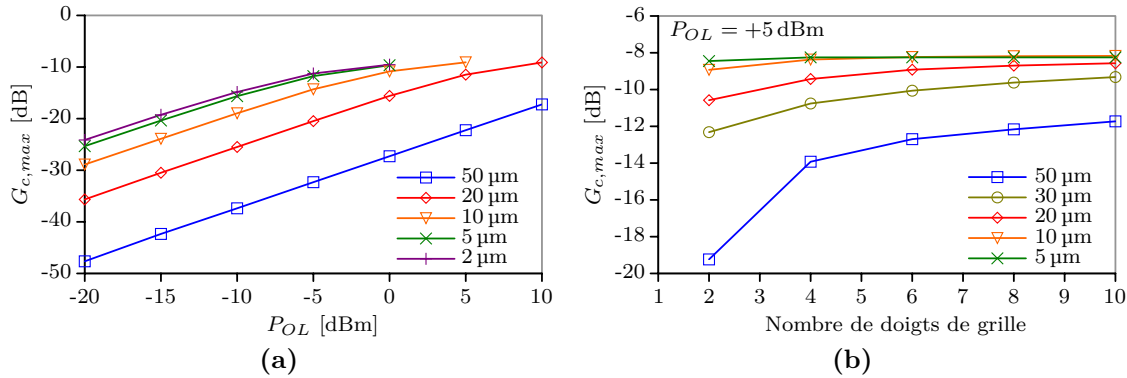


Figure 2.13 – (a) $G_{c,max}$ en fonction de P_{OL} pour différentes largeurs des transistors NMOS à deux doigts de grille. (b) Influence du nombre de doigt de grille sur $G_{c,max}$.

Du point de vue de la linéarité du circuit, nous avons vu précédemment qu'un temps de transition court entre les états basse et haute impédance des transistors MOS garantit la meilleure linéarité possible (section 2.2.2). Pour obtenir ce résultat, il convient de maximiser la vitesse de variation de la conductance du canal g_{ds} en fonction d'une variation de V_{gs} . En se basant sur l'expression (2.1), on trouve

$$\frac{\partial g_{ds}}{\partial V_{gs}} \propto \mu_n C_{ox} \frac{W}{L} . \quad (2.26)$$

Le coefficient obtenu est maximisée en maximisant la largeur W pour une longueur L donnée. Cependant, l'accroissement de capacité de grille qui découle de l'augmentation

de W n'est pas modélisé par (2.26). Cette capacité s'oppose à la diminution des temps de montée et de descente de la tension fournie par l'OL. Un compromis sur la largeur W des transistors NMOS employés est donc à trouver, ce que montre le graphe de la figure 2.14 pour la longueur L de la technologie et en fonction du nombre de doigts de grille. Ce résultat est superposé au gain de conversion précédemment étudié. Ce graphe montre que la linéarité est maximale pour une largeur W d'environ 20 μm pour laquelle les pertes de conversion commencent à se dégrader. C'est la valeur que nous avons retenue pour la suite de ce travail.

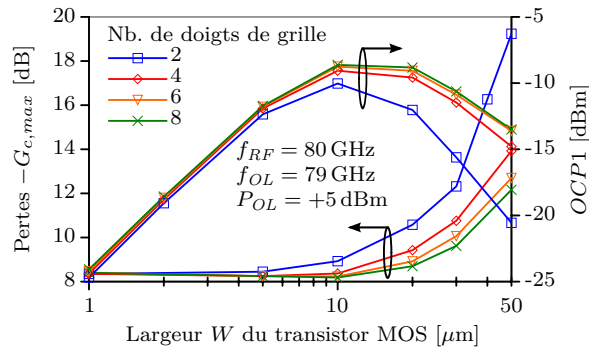


Figure 2.14 – Pertes de conversion et point de compression en sortie du mélangeur pour différentes largeurs de transistor MOS.

3.2 Convertisseur de fréquence zéro-IF 79 GHz pour radar automobile embarqué

3.2.1 Cahier des charges

Le principe de fonctionnement du radar impulsionnel repose sur la mesure du temps de parcours Δt d'une impulsion émise par le radar, réfléchi par une cible et reçue par le récepteur du radar. La distance d qui sépare la cible du radar est ensuite déduite du temps de parcours Δt par la relation suivante :

$$d = \frac{c\Delta t}{2} . \quad (2.27)$$

c étant la vitesse de propagation de l'onde émise, identique à celle de la lumière. L'ETSI, qui est l'organisme européen de normalisation pour les télécommunications, a défini à 30 m la distance maximale d_{max} à laquelle les radars automobiles à courte distance doivent opérer. À partir de cette donnée et en choisissant une distance minimale de détection d_{min} de 5 cm, la forme d'onde du train d'impulsions est déduite de l'expression (2.27), ce qui donne des impulsions de 0,33 ns de large espacées de 200 ns. Le spectre d'un tel signal est un sinus cardinal centré sur la fréquence nulle avec un premier zéro à 3 GHz. L'émetteur radar transpose ce signal pour le centrer sur 79 GHz. Seul le lobe principal de ce signal est conservé et limité entre 77 GHz et 81 GHz. L'onde créée est ensuite déphasée, amplifiée et émise par plusieurs antennes placées en réseau pour former un faisceau focalisé et orientable électroniquement. Enfin, la limitation à 2 GHz du spectre associé au train d'impulsions est choisie pour éviter les phénomènes de repliement dans le convertisseur

analogique-numérique du récepteur. Elle répond également à des contraintes européenne normative concernant les allocations de fréquences pour ce type d'application.

Le schéma de principe du récepteur radar est représenté sur la figure 2.15. La mise en œuvre d'une architecture zéro-IF suggère l'utilisation d'un mélangeurs passifs pour assurer la transposition du signal vers la bande de base avec un faible bruit en $1/f$ et une bonne linéarité. Les spécifications électriques des différents étages constituant le récepteur découlent des bilans de liaison calculés pour les deux scénarios extrêmes d'utilisation du radar, avec une cible placée à la distance maximale et à la distance minimale de fonctionnement du radar. Le premier scénario sert à définir la sensibilité du récepteur tandis que le second détermine le besoin en linéarité. La répartition des contraintes entre les différents étages du récepteur (voir la figure 2.15) tient compte de l'état de l'art réalisé pour chacun de ces circuits (LNA, Baluns, mélangeur, etc.). Pour le convertisseur de fréquence, les spécifications électriques sont reportées sur le tableau 2.3 (paragraphe 3.2.4). Elles sont issues d'un état de l'art constitué de mélangeurs actifs dans la mesure où aucun mélangeur passif réalisé en technologie silicium n'avait encore été reporté dans la littérature pour cette gamme de fréquence à l'époque de ce travail.

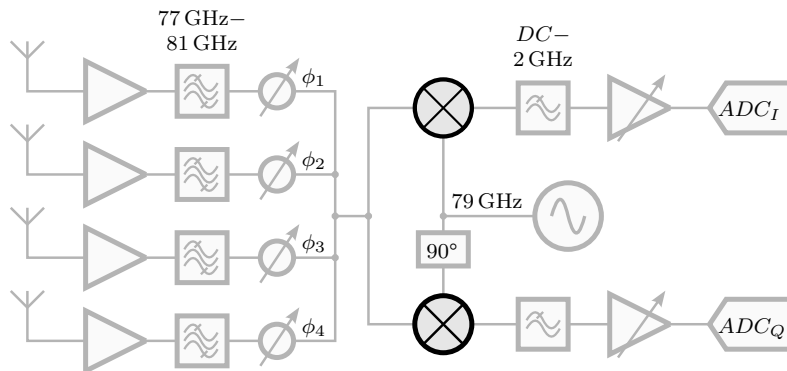


Figure 2.15 – Architecture du récepteur radar en bande W.

3.2.2 Conception du circuit

Les variantes en courant et en tension du mélangeur passif ne sont pas exploitables ici à cause de la très haute fréquence à traiter coté RF et de la large bande passante requise pour la voie FI. En effet, il serait impossible, coté FI, de maintenir une charge constante à très faible ou très forte valeur, selon la topologie considérée, pour les 2 GHz de bande. La meilleure solution consiste à utiliser un mélangeur passif adapté en impédance. Les impédances optimales à présenter aux accès RF et FI du mélangeur dépendent d'un trop grand nombre de paramètres¹ pour être calculées analytiquement et l'utilisation d'un simulateur électrique s'impose.

Les deux amplificateurs rajoutés de part et d'autre des accès RF et FI fournissent ces impédances optimales et relèvent le gain du convertisseur de fréquence. Un amplificateur est également disposé sur la voie OL pour pomper le mélangeur avec une amplitude suffisante. Le schéma du convertisseur de fréquence est reporté sur la figure 2.16. Les transistors MOS

1. Il s'agit de la forme d'onde de la tension OL, la tension statique appliquée aux grilles des transistors NMOS, le ratio Z_{on}/Z_{off} , le Z_{on} et les impédances présentées aux fréquences harmoniques de l'OL.

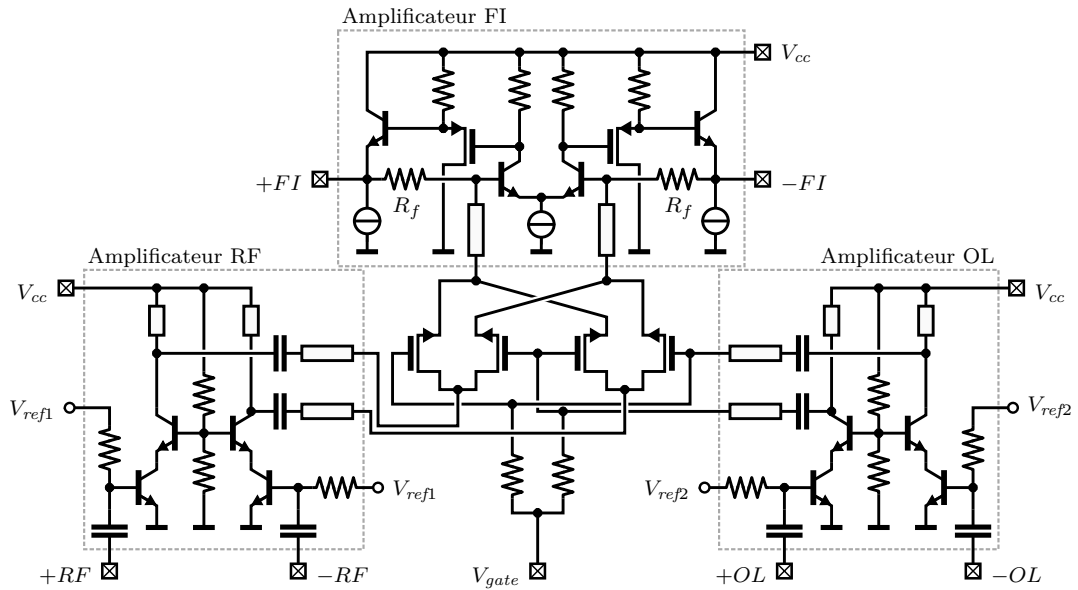


Figure 2.16 – Schéma du convertisseur de fréquence zéro-IF à 79 GHz.

du mélangeur ($8 \times 20 \mu\text{m} \times 0,13 \mu\text{m}$) sont dimensionnés en tenant compte des résultats de l'analyse présentée dans la partie précédente (paragraphe 3.1).

L'amplificateur de la voie **FI** est conçu pour fonctionner sur une bande de fréquence allant du continu jusqu'à 2 GHz. D'après les simulations électriques, l'impédance optimale à présenter de ce côté-ci du mélangeur se situe autour de 180Ω . Pour garantir une impédance d'entrée constante sur toute la bande de fréquence, nous avons cherché à optimiser le produit gain \times bande en boucle ouverte du circuit pour que la résistance de contre-réaction R_f fixe l'impédance et la bande passante souhaitée. Son architecture interne reprend des principes connus aux fréquences basses pour la conception d'amplificateurs opérationnels. Une première paire différentielle fixe le gain en tension. Celle-ci est suivie d'un circuit de décalage de niveau **DC** réalisé à partir d'un transistor **PMOS** configuré en drain commun. Un **TBH** utilisé en collecteur commun finit d'abaisser l'impédance de sortie de l'amplificateur sans dégrader le gain en boucle ouverte.

Les amplificateurs **RF** et **OL** utilisent tous deux un montage cascode différentiel. L'amplificateur **RF** est optimisé pour fournir un faible facteur de bruit. Le réseau passif placé sur la sortie permet d'adapter l'amplificateur en impédance avec la paire d'accès **RF** du mélangeur, dont l'impédance d'entrée est de l'ordre de quelques centaines d'ohms.

L'accès **OL** du mélangeur possède une impédance quasi-exclusivement réactive. L'amplificateur **OL** est utilisé pour abaisser le coefficient de réflexion en entrée et agir en isolateur afin de protéger l'oscillateur **OL** de tout phénomène de *pulling* qui pourrait survenir. Le réseau de sortie de cet amplificateur est conçu pour fournir une amplitude maximale de la tension aux bornes des grilles des transistors **MOS** au détriment de l'adaptation en impédance qui n'est pas souhaitée ici.

3.2.3 Effets des fréquences élevées et de la conductivité du substrat

La conception de circuits intégrés millimétriques sur silicium fait apparaître un certain nombre de difficultés que l'on ne retrouve pas à plus basse fréquence. La faible résistivité du substrat affecte tous les composants actifs et passifs avec des couplages parasites vers le substrat. En principe, ces couplages en sont évalués et pris en compte dans les modèles électriques des éléments de la bibliothèque de composants fournie par le fondeur. Ils augmentent avec la fréquence et dégradent les facteurs de qualité des varactors, capacités, inductances et interconnexions. Pourtant l'utilisation de ces seuls modèles ne suffit pas à décrire convenablement les interactions susceptibles de se produire aux très hautes fréquences. Les différents composants placés à proximités les uns des autres vont se coupler par des impédances qui dépendent de la distance entre ces composants et de la conductivité locale du substrat. Ces interactions sont par conséquent très difficiles à estimer.

Pour limiter cet effet, des anneaux de gardes sont habituellement positionnés autour des composants et sont à connecter à la masse commune du circuit. Celle-ci doit être élaborée à partir d'un plan métallique le plus homogène possible pour lui permettre de conserver son équipotentialité en tout point du circuit. Ces techniques ne sont malheureusement pas infaillibles car il n'est pas toujours possible de placer un plan de masse aux endroits souhaités², de calculer simplement l'impédance ramenée par une connexion à la masse et de relever l'effet positif apporté par un anneau de garde. En outre, les courtes longueurs de pistes métalliques et vias utilisés pour interconnecter les composants de la bibliothèque ne sont pas correctement modélisées par les outils classiques d'extraction de parasites aux fréquences millimétriques. Pour répondre à ces difficultés et éviter de multiplier les prototypes, la simulation électromagnétique s'avère indispensable. En raison du nombre important de couches utilisées dans le procédé technologique et de la complexité de ce qu'il faut parfois simuler, la définition du substrat doit être fortement simplifiée pour contenir le temps de calcul du simulateur sans pour autant perdre en précision. La simplification opérée sur la définition du substrat doit pouvoir être validée expérimentalement.

3.2.4 Performances électriques simulées

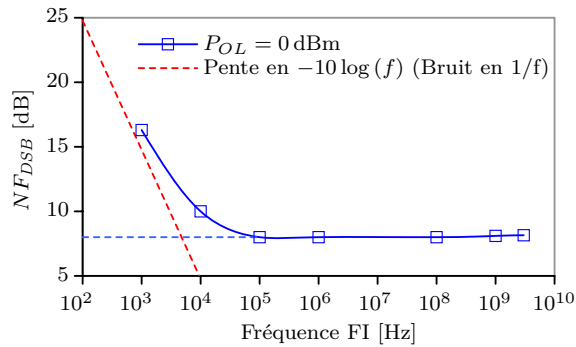
Les performances simulées du convertisseur de fréquence sont reportées sur le tableau 2.3. La tension d'alimentation nominale est de 2,5 V. La puissance consommée figurant sur ce tableau est répartie entre chaque étage avec respectivement 28,8 mW, 41,8 mW et 27 mW pour les amplificateurs RF, OL et FI. Les courants de référence des miroirs de courant équipant les différents sous-ensembles totalisent 10,4 mA sous 1,5 V. Il est possible de réduire cette consommation en adoptant des topologies plus performances mais aussi plus complexes, mais cela n'a pas été une priorité pour ce travail.

Le mélangeur passif ne crée pratiquement pas de bruit en $1/f$ comme nous l'avons explicité précédemment. Cet avantage est mis en évidence par le facteur de bruit simulé du convertisseur de fréquence représenté sur la figure 2.17 qui fait état d'une fréquence de cassure très faible de l'ordre de 10 kHz. L'essentiel de ce bruit en $1/f$ est apporté par l'amplificateur FI.

2. Cette démarche se heurte aux règles de densité (règles DRC) qui imposent localement des densités de métal minimales et maximales pour chacune des couches métalliques de la technologie afin d'optimiser le rendement de fabrication des circuits.

Tableau 2.3 – Spécifications électriques du convertisseur de fréquence zéro-IF.

Paramètres électriques	Spec.	Performances simulées	Unité
Fréquence centrale RF	79	79	GHz
Bande passante FI	2	2,1	GHz
Gain de conversion (G_c)	10	17	dB
Facteur de bruit (NF_{DSB})	15	8	dB
Point de compression ($ICP1$)	-27,6	-22,5	dBm
Point d'interception d'ordre 3 ($IIP3$)	-18	n/d	dBm
Puissance OL (P_{OL})	n/d	0	dBm
Puissance consommée	n/d	97,5	mW

**Figure 2.17** – Facteur de bruit simulé du convertisseur de fréquence aux conditions nominales de fonctionnement.

3.2.5 Résultats expérimentaux

Outre les trois amplificateurs implémentés autour des trois voies **RF**, **OL** et **FI** du convertisseur de fréquence, le démonstrateur intègre des baluns sur les accès millimétriques **RF** et **OL** équilibrés pour en simplifier la caractérisation. Ces deux baluns sont strictement identiques. Il s'agit de coupleurs en anneau réalisés à partir de tronçons de ligne micro-ruban. Malgré un encombrement important, cette solution a été choisie pour sa simplicité de mise en œuvre : le coupleur se devait de fonctionner avec un centrage en fréquence correct à la première fabrication, ce qui a pu être vérifié expérimentalement [24]. La microphotographie de la puce réalisée par *STmicroelectronics* est présentée sur la figure 2.18. La partie active du circuit est relativement compacte et occupe une surface de seulement $700 \mu\text{m} \times 400 \mu\text{m}$.

Les caractéristiques en gain de conversion, bruit et linéarité du convertisseur de fréquence ont été obtenues en utilisant un banc dimensionné et assemblé par nos soins [24]. La photographie de ce banc est représentée sur la figure 2.19. Les résultats de mesure sont présentés pour un signal **OL** à 76 GHz. Nous avons en effet constaté un décalage de quelques GHz vers les fréquences plus basses des amplificateurs **OL** et **RF** qui empêchaient une attaque optimale du circuit à sa fréquence nominale. Les gains de conversion pour chaque bande latérale et le facteur de bruit en bande double sont présentés sur les graphes de la

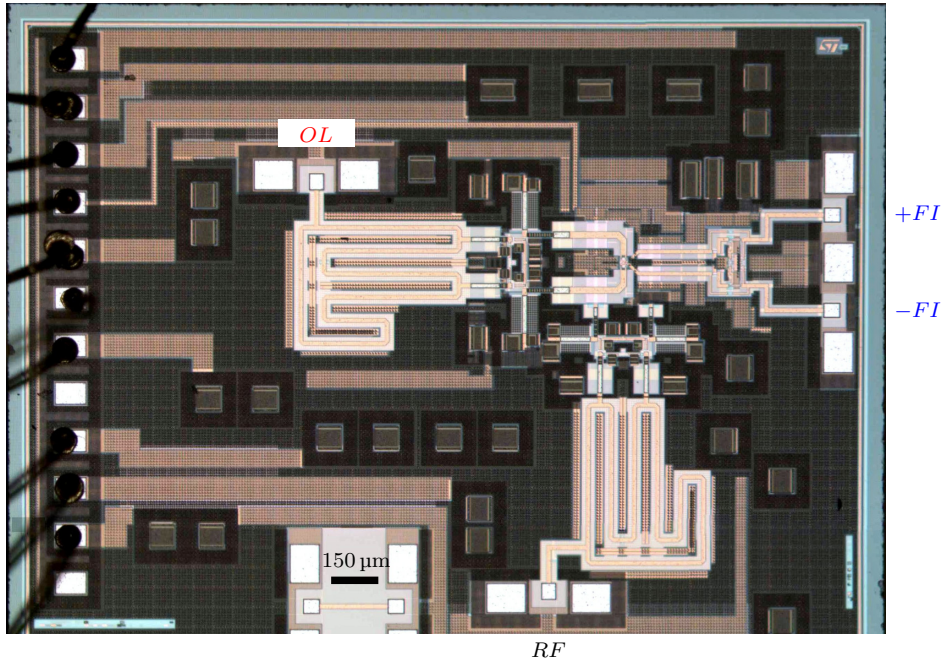


Figure 2.18 – Photographie de la puce incluant les baluns sur les voies RF et OL.

figure 2.20 pour une FI de 800 MHz. Le léger déséquilibre constaté entre ces deux gains G_{LSB} et G_{USB} trouve deux origines possibles, une différence dans les pertes du balun RF et/ou dans le gain de l'amplificateur RF aux deux fréquences de 75,2 GHz et de 76,8 GHz utilisées pour ces mesures. Concernant la mesure du facteur de bruit, les incertitudes associées au banc et aux désadaptations d'impédance sur les accès RF et FI du mélangeur testé ont été évaluées à $\pm 0,9$ dB en utilisant la méthode décrite par Agilent [27]. Le point de compression mesuré en sortie est de -10 dBm et provient de la saturation de l'étage de sortie de l'amplificateur FI avec une alternance négative de la tension de sortie écrêtée par la limite de fonctionnement de la charge active du collecteur commun. Ces résultats incorporent les plots d'accès à la puce et les pertes du balun placé coté RF, supérieures à 1 dB en simulation. Le facteur de bruit a été déterminé en utilisant la méthode de la source froide, qui consiste à placer une charge adaptée à la température T_0 en entrée du mélangeur et à relever en sortie la puissance de bruit N_{out} dans la bande B .

Le facteur de bruit NF_{DSB} explicité ci-dessous requiert alors une mesure très précise du gain de conversion dans les deux bandes latérales (G_{LSB} et G_{USB}) pour être extrait correctement.

$$NF_{DSB} = \frac{N_{out}}{(G_{LSB} + G_{USB}) kT_0 B} \quad (2.28)$$

Les gains de conversion ont été déduits des puissances relevées avec l'aide d'un bolomètre. Sachant la difficulté d'utilisation de ce type d'appareil³ et des erreurs susceptibles de se produire, nous avons cherché à comparer ces résultats à ceux obtenus à l'aide d'une autre

3. Un bolomètre mesure la puissance reçue sur une charge de précision en comparant l'échauffement produit par rapport à une charge de référence placée dans la sonde. Le principe de mesure engendre une certaine inertie thermique de l'appareil plus ou moins marquée selon le calibre, des erreurs de mesures sous l'effet des dérives thermiques de la sonde de mesure, de la pièce, etc.

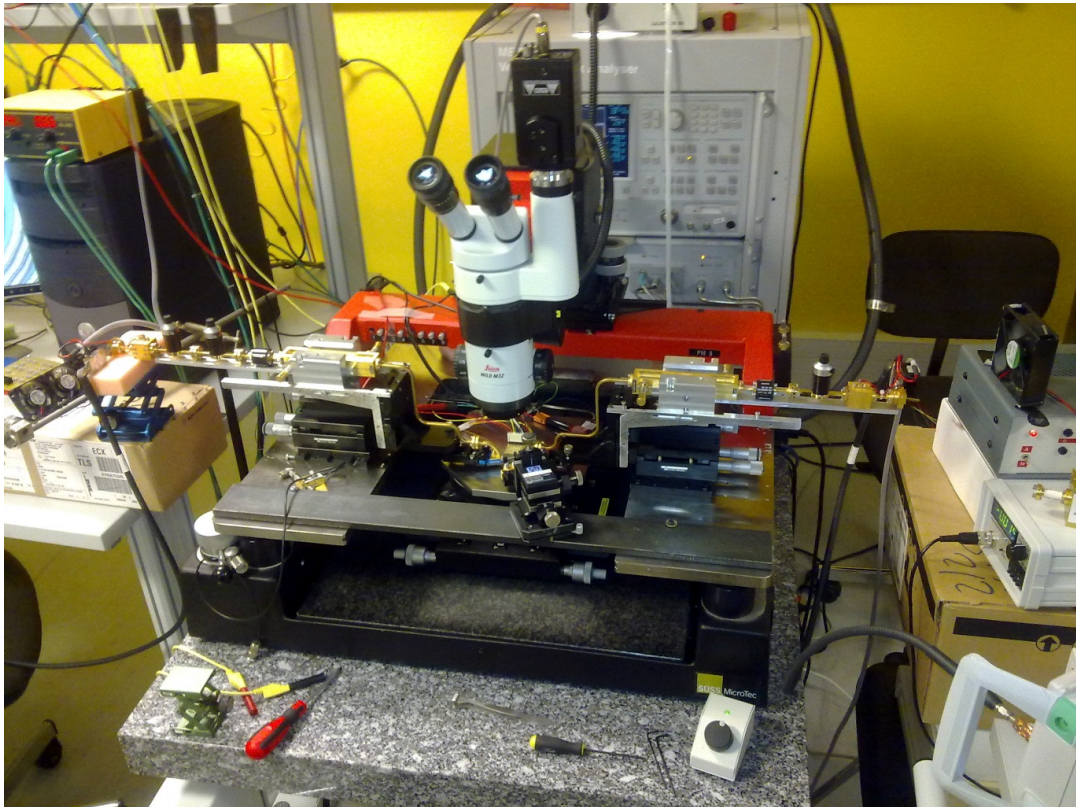


Figure 2.19 – Banc de mesure pour la caractérisation du convertisseur de fréquence.

méthode ne nécessitant pas de bolomètre, comme par exemple la méthode du facteur y qui requiert une source de bruit millimétrique. Dans notre cas, cette méthode présente quelques inconvénients qui en dégradent la précision tel que la différence d'ENR d'environ 1,4 dB de la source de bruit entre chacune des deux bandes latérales, différence qui se cumule à celle des gains de conversion. En outre, le gain de conversion G_y et le facteur de bruit F_y extraits sont tous deux sensibles aux fluctuations périodiques de température de la salle de caractérisation durant la campagne de mesure (environ $\pm 1,5^\circ\text{C}$), ce qui n'est pas le cas du gain extrait par la méthode précédente. G_y et F_y sont respectivement équivalents à $G_{LSB} + G_{USB}$ et NF_{DSB} . Les différences obtenues à l'aide de ces deux méthodes (figure 2.21) restent dans l'incertitude de mesure évoquée plus haut, ce qui permet de valider l'ensemble des résultats obtenus.

Le gain de conversion et le facteur de bruit ont été mesurés sur l'une des deux sorties FI du circuit. Pour obtenir le gain différentiel, il suffit de rajouter +3 dB aux 14,5 dB relevés, ce qui rapproche alors le résultat des simulations électriques affichées dans le tableau 2.3. La situation n'est pas aussi simple pour le facteur de bruit en mode différentiel. On peut démontrer que le pire cas correspond à un facteur de bruit différentiel inchangé. En effet, le rapport signal à bruit différentiel en sortie est identique à celui pris sur une des deux sorties physique si les sources équivalentes de bruit ramenées sur chaque sortie sont complètement corrélées ce qui en principe n'est pas le cas. Il faut alors s'attendre à une amélioration du facteur de bruit différentiel sans que cette diminution ne puisse excéder -3 dB qui correspondrait au cas où ces sources de bruit équivalentes sont complètement décorréliées.

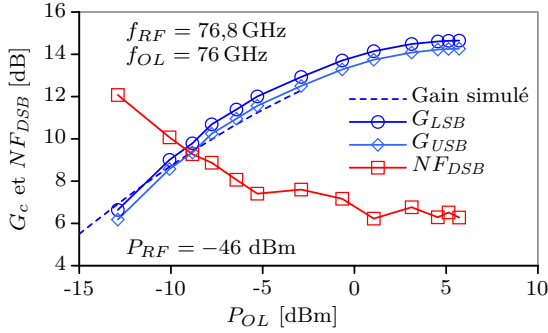


Figure 2.20 – Gain de conversion et facteur de bruit mesurés en fonction de P_{OL} à 76 GHz.

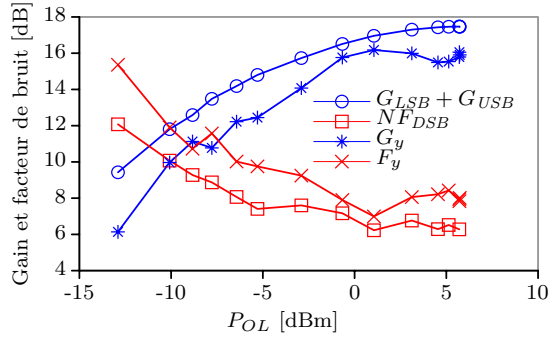


Figure 2.21 – Gain de conversion et facteur de bruit issus du facteur y .

Tableau 2.4 – État de l’art des convertisseurs de fréquence dans la bande des 77 GHz.

Réf.	Ce travail	[28]	[29]	[30]	[31]	[32]	Unité
Année	2010	2006	2008	2010	2009	2011	
Technologie		BiCMOS	SiGe 130 nm		CMOS 65 nm	CMOS 90 nm	
Topologie	passif en anneau	1/2 Gilbert		Cellule de Gilbert		2× SHM ¹	
f_{RF}	76,8	77	73,8	77	76	94	GHz
f_{OL}	76	68,2	73	80	71	43	GHz
P_{OL}	4,5	-4	-2	1	-2	n/d	dBm
G_c	14,5 (17,5) ²	20	8,5	18	-1,5	11,8	dB
NF_{DSB}	6,3	9,8	10,2	10,8	8,3	9,2	dB
$OCP1$	-10 (+5) ³	4,3	n/d	4,5	-15,5	-3,7	dBm
Consommation	94	n/d	40	80	6	18,6	mW

¹ 2×SHM : mélangeur sous-harmonique pour lequel f_{RF} est situé à proximité de $2f_{OL}$

² Gain de conversion différentiel

³ Avec amplificateur FI optimisé

Le tableau 2.4 compare également les résultats obtenus à l’état de l’art des mélangeurs publiés dans la même gamme de fréquences, toute topologie confondue. Ces résultats valident l’intérêt du mélangeur passif en terme de bruit notamment. C’est aussi le premier mélangeur passif doublement équilibré à avoir été réalisé en bande W en technologie silicium. En outre, la linéarité, qui n’était pas un paramètre critique pour l’application visée, peut être sensiblement améliorée. Le point de compression en sortie ($OCP1$) pourrait atteindre +5 dBm en augmentant simplement de quelques mA le courant délivré par la charge active de l’étage final de l’amplificateur FI du circuit.

Pour conclure sur cette partie, nous avons mis en évidence l’effet des différents éléments

parasites du transistor MOS sur les caractéristiques du mélangeur passif aux fréquences très élevées. Cette analyse nous a ensuite permis d’optimiser la géométrie des transistors de façon à concevoir un mélangeur passif apte à fonctionner en bande W. Les résultats obtenus dans cette partie ont été mis à profit dans ce qui suit, où nous abordons le cas du mélangeur passif commandé sur son accès OL par un signal à faible rapport cyclique. Ce mode de fonctionnement amène quelques changements importants au niveau des caractéristiques électrique de ce mélangeur nous avons cherché à exploiter au mieux dans des gammes fréquences les plus élevées possibles.

4 Mélangeur à échantillonnage

Le mélangeur à échantillonnage est un mélangeur à transfert de tension dont les transistors sont passants durant une très brève portion de la période OL de façon à échantillonner le signal RF. Le circuit est volontairement chargé par un condensateur du coté de sa sortie FI pour réduire les pertes de conversion grâce à l’effet de blocage produit.

Le formalisme mathématique utilisé pour calculer le gain de conversion est d’abord introduit à travers l’exemple d’un mélangeur simplement équilibré avant d’être appliqué à la version doublement équilibrée (section 4.1). Les résultats simulés et expérimentaux obtenus à partir d’un premier démonstrateur fonctionnant à 2,4 GHz et présentés dans la section 4.2 font apparaître l’intérêt de cette approche face au mélangeur en tension classique. La prise en considération des temps de transition de la forme d’onde du signal OL dans les calculs permet ensuite de traiter la question de la montée en fréquence de cette architecture de mélangeur passif. Un circuit de mise en forme du signal OL impulsionnel est alors conçu et expérimenté dans un convertisseur de fréquence fonctionnant en bande K. Les résultats obtenus sont présentés dans la section 4.3.

4.1 Méthode analytique pour le calcul du gain de conversion

4.1.1 Version simplement équilibrée

Considérons le mélangeur simplement équilibré par le signal OL de la figure 2.22a. Les deux transistors MOS M_1 et M_2 sont commandés avec un décalage de phase de 180° de façon à produire deux conductances variables $g(t)$ et $g(t - T_{OL}/2)$ dont la variation temporelle est présentée sur la figure 2.22b. La tension RF appliquée en entrée du mélangeur est reproduite sur sa sortie lorsque M_1 ou M_2 est passant. Durant le reste de la période de l’OL, le condensateur C_L bloque la tension de sortie jusqu’au cycle suivant.

Pour calculer le gain de conversion, une méthode consiste à assimiler le mélangeur tel qu’il est vu depuis la sortie FI en un générateur de Thévenin $v_t(t)$ de conductance interne $g_t(t)$. Ce générateur est ensuite chargé par le condensateur C_L aux bornes duquel on retrouve la tension de sortie $v_{FI}(t)$. L’ensemble constitue alors un filtre passe-bas du premier ordre. En désignant par \bar{g}_t la valeur moyenne de $g_t(t)$, on peut démontrer que si l’inégalité ci-dessous est satisfaite

$$\omega_{OL} \gg \frac{\bar{g}_t}{2C_L} \quad (2.29)$$

tout se passe comme si le filtre passe-bas présentait une pulsation de coupure de \bar{g}_t/C_L [33].

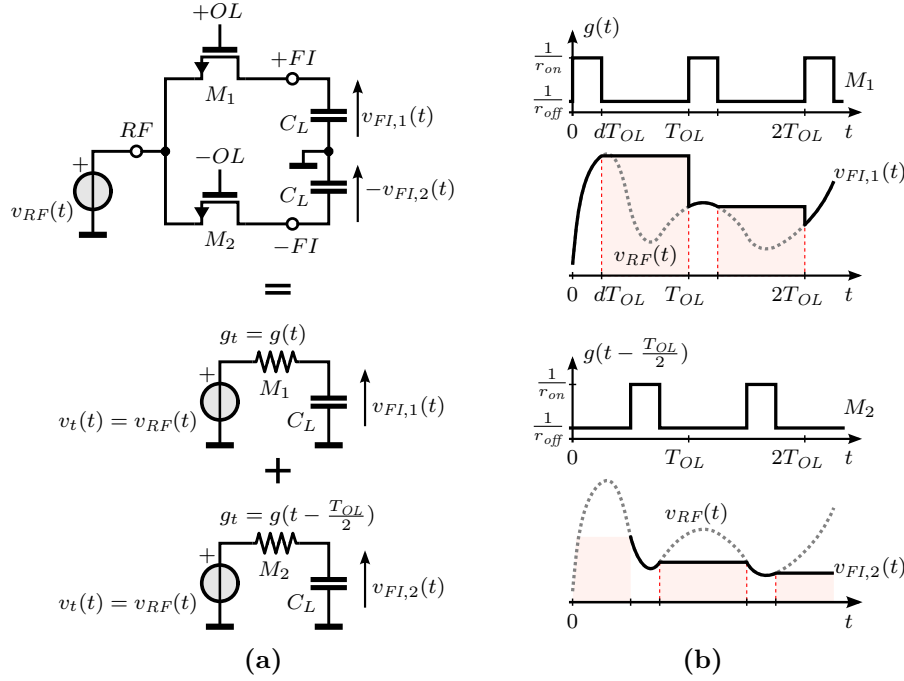


Figure 2.22 – (a) Mélangeur passif à échantillonnage simplement équilibré décomposé en circuits élémentaires, (b) formes d’ondes associées.

La réponse impulsionnelle $h(t - \tau)$ décalée de τ de ce circuit est

$$h(t - \tau) = \frac{g_t(\tau)}{C_L} e^{-\frac{\bar{g}_t}{C_L}(t-\tau)} \quad (2.30)$$

La tension de sortie $v_{FI}(t)$ est déterminée grâce au produit de convolution $v_t(t) * h(t)$

$$v_{FI}(t) = \int_{-\infty}^t h(t - \tau) v_t(\tau) d\tau = \int_{-\infty}^t \frac{g_t(\tau)}{C_L} e^{-\frac{\bar{g}_t}{C_L}(t-\tau)} v_t(\tau) d\tau. \quad (2.31)$$

La source $v_t(t)$ du générateur de Thévenin est reliée à la tension d’entrée du mélangeur $v_{RF}(t)$ par une fonction nommée $m(t)$ telle que $v_t(t) = m(t) v_{RF}(t)$. Cette fonction est à définir, elle dépend de la topologie du mélangeur étudié. Dans le cas du mélangeur simplement équilibré, $m(t) = 1$ puisque $v_t = v_{RF}$. Pour calculer le gain de conversion, le circuit est divisé en deux mélangeurs simples comme illustré sur la figure 2.22a et la conductance g_t est alors une fonction périodique de période T_{OL} telle que $g_t(t) = g(t)$ (resp. $g(t - T_{OL}/2)$), c’est-à-dire la conductance du canal du transistor M_1 (resp. M_2). De cette manière, le gain de conversion vers la sortie $v_{FI,1}(t)$ est calculé (resp. $v_{FI,2}(t)$). En ré-écrivant l’expression (2.31) pour le premier sous-circuit, il vient

$$v_{FI,1}(t) = \int_{-\infty}^t \frac{\bar{g}_t}{C_L} e^{-\frac{\bar{g}_t}{C_L}(t-\tau)} g_c(\tau) v_{RF}(\tau) d\tau \quad \text{avec} \quad g_c(\tau) = \frac{g_t(\tau)}{\bar{g}_t} \quad (2.32)$$

Cette expression fait apparaître la réponse impulsionnelle $h_{lpf}(t)$ d’un filtre passe-bas doté d’une conductance \bar{g}_t et d’une capacité C_L ainsi que la fonction $g_c(t)$ à partir de laquelle le

gain de conversion G_c est calculé. Ce dernier correspond au produit de la transformée de Fourier $\mathcal{F}[g_c(t)]$ avec la fonction de transfert $H_{lpf}(j\omega_{FI})$ du filtre passe-bas. En choisissant de se placer à une pulsation ω_{FI} très en deçà de la coupure \bar{g}_t/C_L , l'hypothèse $H_{lpf}(j\omega_{FI}) \rightarrow 1$ est suffisante et le gain de conversion se résume au calcul de $\mathcal{F}[g_c(t)]$.

En se basant sur la forme d'onde de la figure 2.22b pour $g(t)$, les expressions mathématiques de la conductance $g_t(t)$ et de sa valeur moyenne \bar{g}_t sont

$$\begin{aligned} g_t(t) &= \left(\frac{1}{r_{on}} + \frac{1}{r_{off}} \right) \cdot \Pi \left(\frac{t}{dT_{OL}} - \frac{1}{2} \right) * \sum_{n=-\infty}^{+\infty} \delta(t - nT_{OL}) + \frac{1}{r_{off}} \\ \bar{g}_t &= \frac{d}{r_{on}} + \frac{1-d}{r_{off}}. \end{aligned} \quad (2.33)$$

$\Pi(t)$ désigne la fonction porte qui vaut 1 dans l'intervalle $[-\frac{1}{2}, +\frac{1}{2}]$ et zéro partout ailleurs. Les deux sorties **FI** du mélangeur simplement équilibré sont en opposition de phase. La composante **DC** de mode commun disparaît donc en calculant la tension de sortie de mode différentiel. En posant $\gamma = \frac{r_{off}}{r_{on}}$, le gain de conversion différentiel vaut

$$G_c = \frac{2d(\gamma - 1)}{d(\gamma - 1) + 1} \operatorname{sinc} \left(\pi d \frac{f_{RF}}{f_{OL}} \right) \frac{1 - e^{-j\pi \frac{f_{RF}}{f_{OL}}}}{2}. \quad (2.34)$$

La figure 2.23 reproduit le module du gain de conversion G_c tracé en dB en fonction du rapport cyclique d pour différents ratios γ et dans le cas d'une fréquence intermédiaire nulle ($f_{OL} = f_{RF}$). Le gain maximum possible, obtenu pour $\gamma \rightarrow +\infty$, est également tracé [34].

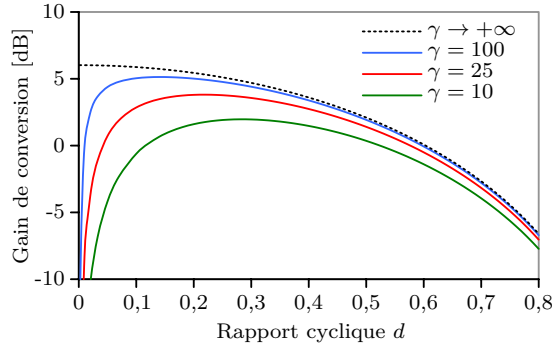


Figure 2.23 – Gain de conversion différentiel du mélangeur simplement équilibré.

Ce mélangeur, pourtant passif, tend vers un gain en tension de 2 (+6 dB) lorsque d tend vers zéro et γ vers l'infini. Ce résultat est surprenant au premier abord mais s'avère assez logique. Lorsque les périodes du signal **RF** et **OL** sont très proches, le mélangeur simplement équilibré échantillonne la même tension v_{RF} deux fois dans la même période **OL** et bloque successivement deux valeurs instantanées pratiquement identiques en module mais opposées en phase. En mode différentiel, l'amplitude de la tension de sortie $v_{FI,1}(t) - v_{FI,2}(t)$ est par conséquent doublée par rapport à celle de la tension v_{RF} .

4.1.2 Version doublement équilibrée

Ce mélangeur, représenté sur la figure 2.24, exploite deux exemplaires de la version simplement équilibrée décrite précédemment. La même méthode s'applique pour déterminer

le gain de conversion de ce circuit. Il faut au préalable transformer le schéma électrique général pour faire apparaître le générateur de Thévenin équivalent $v_t(t)$ de conductance interne $g_t(t)$ chargé par un condensateur égal à $C_L/2$ pour le mode différentiel (schémas 2 et 3 de la figure 2.24).

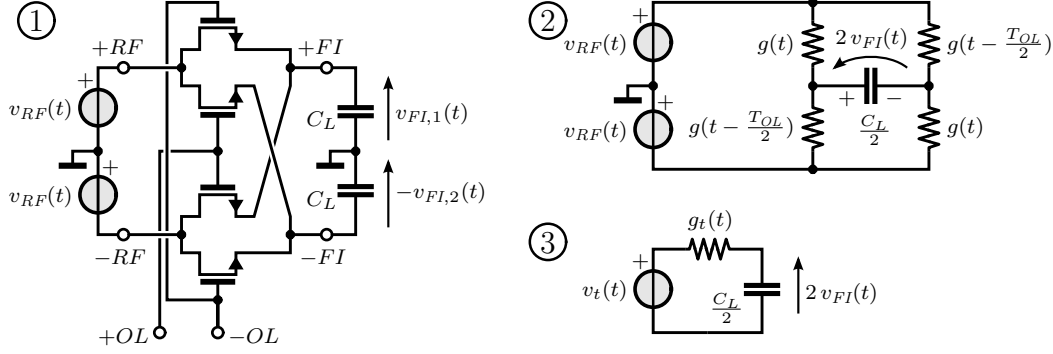


Figure 2.24 – Schéma électrique du mélangeur à échantillonnage doublement équilibré suivi des modèles utilisés pour les calculs analytiques.

Sans entrer dans le détail de ces calculs, que l'on pourra retrouver dans le manuscrit de thèse d'Alessandro Magnani [35], les expressions suivantes sont trouvées pour $v_t(t)$ et $g_t(t)$

$$v_t(t) = m(t) v_{RF}(t) \quad \text{avec} \quad m(t) = \frac{g(t) - g(t - \frac{T_{OL}}{2})}{g(t) + g(t - \frac{T_{OL}}{2})} \quad (2.35)$$

$$g_t(t) = \frac{g(t) + g(t - \frac{T_{OL}}{2})}{2} . \quad (2.36)$$

La valeur moyenne \bar{g}_t reste définie par la même équation (2.33). Une nouvelle fonction $g_c(t)$ est déduite du produit de convolution (2.32) dans lequel sont introduites les expressions de $v_t(t)$ et $g_t(t)$ nouvellement calculées. il vient

$$g_c(t) = \frac{g_t(t)}{g_t} m(t) . \quad (2.37)$$

La transformée de Fourier de cette expression amène le gain de conversion suivant

$$G_c(\gamma, d) = \frac{d(\gamma - 1)}{d(\gamma - 1) + 1} \operatorname{sinc} \left(\pi d \frac{f_{RF}}{f_{OL}} \right) \frac{1 - e^{-j\pi \frac{f_{RF}}{f_{OL}}}}{2} . \quad (2.38)$$

Ce résultat affiche un gain divisé par deux par rapport à l'expression (2.34) issue du mélangeur simplement équilibré. Il correspond au graphe de la figure 2.23 diminué de 6 dB dans les mêmes conditions pour l'évaluation numérique. Le gain de conversion d'un mélangeur à échantillonnage doublement équilibré tend vers 0 dB pour les rapports cycliques d les plus faibles. Avec $d = 0,5$, c'est-à-dire un signal de pompe carré, l'expression (2.38) permet de retrouver le gain de conversion usuel de $-2/\pi$ des mélangeurs doublement équilibrés.

L'ensemble de ces résultats montrent que la technique de l'échantillonnage est une voie pertinente pour réduire les pertes de conversion du mélangeur passif.

4.2 Application dans un récepteur Zigbee 2,4 GHz

La première implémentation pratique du mélangeur à échantillonnage doublement équilibré date de la thèse de Manuel Camus [36] qui s’est déroulée entre 2005 et 2008. Il s’agissait d’une collaboration entre le LAAS et STMicroelectronics. Le sujet de thèse était de concevoir un récepteur Zigbee à l’aide d’une technologie CMOS 0,90 μm faible coût, la principale contrainte étant de réduire à l’extrême la consommation du système. N’ayant pas pris part à ces travaux, je m’en tiendrais à la présentation des résultats obtenus au niveau du mélangeur passif intégré dans le récepteur. Ceux-ci illustrent parfaitement l’intérêt du mélangeur à échantillonnage aux fréquences RF et sont à l’origine de l’activité que nous poursuivons depuis 2008 et qui vise à explorer les potentialités de ce type de mélangeur à plus hautes fréquences.

4.2.1 Mélangeur à échantillonnage dans un récepteur I/Q

Le mélangeur passif qui a été développé dans le cadre de cette thèse est présenté sur le graphe de la figure 2.25. Il est destiné à être intégré dans un récepteur I/Q à faible FI dont l’architecture est présentée en figure 2.26 [37]. Le récepteur requiert deux exemplaires de ce mélangeur dont les accès RF sont connectés en parallèle sur la sortie du LNA. Avec un mélangeur en tension classique, fonctionnant à partir d’un signal OL de rapport cyclique 50 %, une interaction se produit entre les deux mélangeurs des voies I et Q qui introduit une charge variable dans le temps au niveau de la sortie du LNA [37, 38]. Cette fluctuation de charge engendre une distorsion de la tension présente en sortie du LNA qui limite le gain et la linéarité du récepteur. Ce problème a également été rapporté dans la littérature pour le cas du mélangeur en courant [39]. Deux solutions ont été étudiées pour limiter ce phénomène.

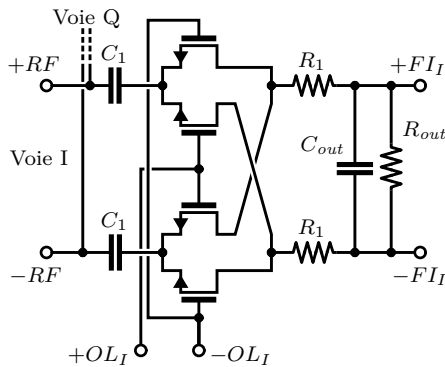


Figure 2.25 – Schéma électrique du mélangeur passif utilisé pour les voies I et Q.

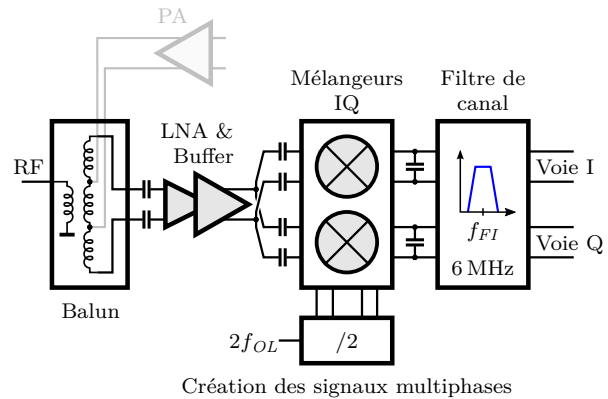


Figure 2.26 – Schéma de principe du récepteur Zigbee 2,4 GHz.

La première solution consiste à augmenter l’impédance présentée par l’entrée RF du mélangeur en ajoutant une résistance R_1 pour réduire l’effet de charge induit sur la sortie du LNA. La valeur optimale de R_1 pour le gain et le facteur de bruit, qu’elle dégrade, est trouvée à 1 k Ω [36](p.99). La seconde solution consiste à réduire le rapport cyclique d du signal de pompe pour transformer le mélangeur passif en tension en un mélangeur à échantillonnage. Le gain de conversion simulé pour chacune de ces deux méthodes est

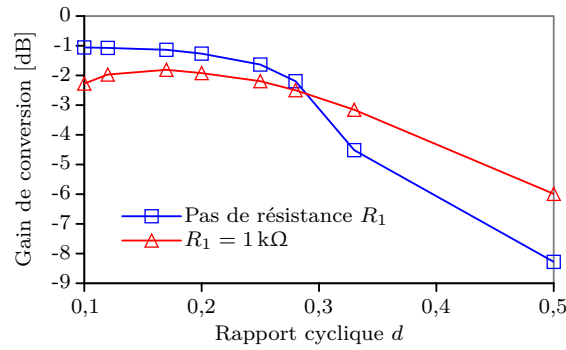


Figure 2.27 – Gain de conversion avec et sans R_1 en fonction du rapport cyclique d .

présenté en figure 2.27 en fonction du rapport cyclique d du signal issu de l'OL. Pour un rapport cyclique standard de 50 %, la première solution utilisant la résistance R_1 permet de gagner 2 dB sur le gain de conversion par rapport au mélangeur classique qui ne contient pas R_1 . Un résultat plus intéressant est obtenu lorsque le rapport cyclique d diminue. En effet, les deux solutions font progressivement diminuer les pertes de conversion grâce à l'échantillonnage qui permet de réduire les pertes de conversion. Lorsque d se rapproche de 25 % et en deçà, le mélangeur n'intégrant pas la résistance R_1 devient le plus intéressant. L'interaction entre les voies I et Q disparaît puisque les deux mélangeurs fonctionnent en quadrature et qu'ils ne sont plus passants simultanément. Comme R_1 pénalise le gain de conversion, la deuxième solution est alors privilégiée.

4.2.2 Validation expérimentale

Pour vérifier l'intérêt du mélangeur à échantillonnage face à l'architecture classique de mélangeur en tension, les deux variantes ont été intégrées dans deux récepteurs distincts. Le récepteur Rx_1 utilise des mélangeurs à échantillonnage et incorpore des circuits logiques

Tableau 2.5 – Spécifications et mesures extraites des deux versions du récepteur Zigbee.

	Spécifications	Récepteur	Récepteur	Unité
		Rx_2	Rx_1	
Sensibilité	< -100	-98,1	-101	dBm
Gain	n/d	28	33,1	dB
Facteur de bruit	$< 8,2$	11,1	8,1	dB
<i>IIP3</i>	> -12	-12,5	-10,8	dBm
<i>ICP1</i>	> -25	-20	-19	dBm
Consommation	< 5	3,84	4,0	mA
Surface (sans balun)	< 1	0,07	0,07	mm ²

destinés à générer des tensions OL à faible rapport cyclique. Le récepteur Rx_2 comporte des mélangeurs passifs dotés de la résistance $R_1 = 1 \text{ k}\Omega$ et commandés par une tension OL de rapport cyclique 50 %. En dehors des mélangeurs et des circuits logiques de commande coté

OL, le reste de ces deux récepteurs est identique. Les résultats de mesures sont reportés dans le tableau 2.5. Celui-ci montre que le récepteur Rx_1 exploitant une paire de mélangeurs à échantillonnage surpasse le récepteur Rx_2 sur pratiquement toutes les caractéristiques mesurées. Seule la consommation s'avère légèrement plus importante (+160 μ A) pour le récepteur Rx_1 en raison des quelques circuits logiques qui ont été rajouté pour former les signaux OL à faible rapport cyclique.

4.3 Montée en fréquence vers la bande K

Jusqu'aux fréquences RF, les signaux à faible rapport cyclique issus de l'OL sont créés par des circuits logiques rapides. Au delà de quelques GHz, ces circuits logiques CMOS ne sont plus capables de générer les tensions à faible rapport cyclique indispensables au bon fonctionnement du mélangeur à échantillonnage. Les temps de transition entre chaque état logique ne sont plus suffisamment faibles. Nous avons donc cherché à mettre en œuvre des circuits analogiques dans l'idée de faire fonctionner un mélangeur à échantillonnage doublement équilibré beaucoup plus haut en fréquence, en visant la bande K. Une technologie BiCMOS SiGe 0,13 μ m (BiCMOS8HP de chez IBM) a été utilisée pour ce travail.

Contrairement aux fréquences les plus basses, les temps de montée et de descente de la tension de pompe ne peuvent plus être négligés. Pour comprendre comment ces temps de transition influencent le gain de conversion du mélangeur à échantillonnage, nous avons repris le travail analytique précédent en modifiant les formes d'ondes des conductances $g(t)$ et $g(t - T_{OL}/2)$ des transistors MOS comme illustré sur la figure 2.28. L'hypothèse d'un temps de montée identique au temps de descente est maintenue pour conserver des calculs simples. Celui-ci est noté τ_r .

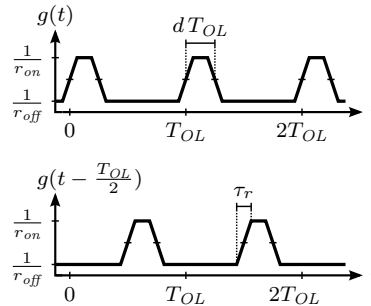


Figure 2.28 – Forme d'onde des conductances g_{ds} des transistors MOS du mélangeur.

De nouvelles fonctions $m(t)$, $g_t(t)$, \bar{g}_t et $g_c(t)$ sont calculées, d'où l'on tire l'expression suivante pour le gain de conversion. Celle-ci est valable tant que $dT_{OL} \geq \tau_r$.

$$G_{c1}(\gamma, d, \tau_r) = \frac{d(\gamma - 1)}{d(\gamma - 1) + 1} \operatorname{sinc}(\pi\tau_r f_{RF}) \operatorname{sinc}\left(\pi d \frac{f_{RF}}{f_{OL}}\right) \frac{1 - e^{-j\pi \frac{f_{RF}}{f_{OL}}}}{2}. \quad (2.39)$$

La limite de fonctionnement du générateur d'impulsions OL intervient pour $\tau_r = dT_{OL}$. Lorsque $0 < dT_{OL} < \tau_r$, le gain de conversion chute rapidement et une autre expression peut être calculée pour estimer la rapidité de la décroissance [35].

$$G_{c2}(\gamma, d, \tau_r) = \frac{d(\gamma - 1)}{d(\gamma - 1) + 1} \cdot \frac{d^2}{\tau_r f_{OL}} \operatorname{sinc}\left(\pi d \frac{f_{RF}}{f_{OL}}\right) \frac{1 - e^{-j\pi \frac{f_{RF}}{f_{OL}}}}{2}. \quad (2.40)$$

Lorsque la fréquence augmente, nous avons vu précédemment que γ diminue sous l'effet de la capacité parasite C_{ds} qui abaisse l'impédance maximale du transistor MOS à l'état bloqué (paragraphe 3.1). D'après les simulations électriques, un ratio γ de l'ordre de 60 semble réaliste dans la gamme de fréquence visée et pour une tension OL d'environ 500 mV crête-à-crête. Cette valeur dépend bien évidemment de la technologie employée et de la géométrie du transistor MOS. G_{c1} et G_{c2} sont tracés en fonction de γ , d et τ_r sur la figure 2.29. Ces graphes permettent d'évaluer le temps de montée à spécifier pour un générateur d'impulsion fonctionnant à une fréquence OL de 19 GHz. En fixant $\tau_r = 5$ ps, le gain de conversion se situe autour de $-1,9$ dB pour des rapports cycliques inférieurs à 25 %.

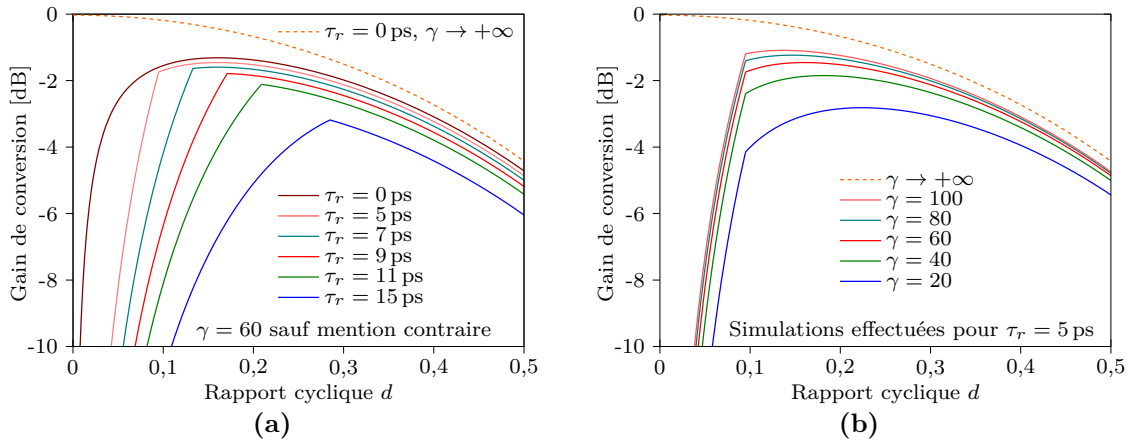


Figure 2.29 – Gain de conversion calculé à partir de (2.39) et (2.40) pour $f_{RF} = 20$ GHz et $f_{OL} = 19$ GHz en fonction de d pour (a) différentes valeurs de τ_r avec $\gamma = 60$ et (b) $\tau_r = 5$ ps et γ variable.

4.3.1 Génération un train d'impulsions en bande K

Pour le signal OL, plutôt que de concevoir un oscillateur capable de créer des impulsions, nous avons opté pour une approche plus simple consistant à transformer le signal sinusoïdal issu d'un oscillateur harmonique en un train d'impulsions, ce que réalise le circuit de la figure 2.30. La patte V_{ctrl} , qui permet de contrôler le rapport cyclique de l'impulsion générée. L'utilisation d'une paire de TBH SiGe montés en cascade (Q_1 et Q_2) minimise l'effet Miller dans le transistor Q_1 et assure par conséquent un faible temps de montée. Les impulsions sont générées à partir du transistor Q_1 polarisé en classe C. Cette solution présente toutefois l'inconvénient de créer des impulsions inversées, c'est-à-dire à fort rapport cyclique, qu'il faut ensuite retourner à l'aide d'un amplificateur inverseur très large bande, centré sur Q_3 dans cet exemple, au détriment de la consommation. Alimenté sous 2,4 V, le circuit consomme 19 mA dont 14 mA pour le seul amplificateur inverseur. Finalement, les inductances L_1 et L_2 minimisent les temps de transition des impulsions (figure 2.31) [40].

Les simulations électriques *post-layout* confirment un temps de montée d'environ 5 ps pour une tension de sortie de 560 mV crête-à-crête. Une analyse Monte Carlo dont le résultat est représenté sur la figure 2.32 nous a permis de vérifier la faible dispersion des caractéristiques du circuit vis-à-vis des variations du procédé technologique, avec 70 % des

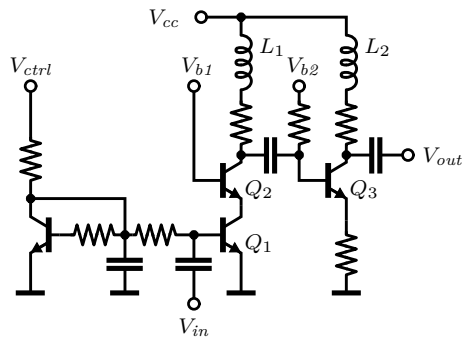


Figure 2.30 – Schéma électrique du circuit formant le train d'impulsion.

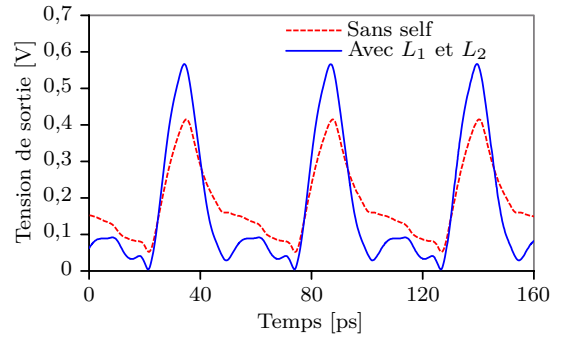


Figure 2.31 – Train d'impulsion obtenu avec et sans les inductances L_1 et L_2 .

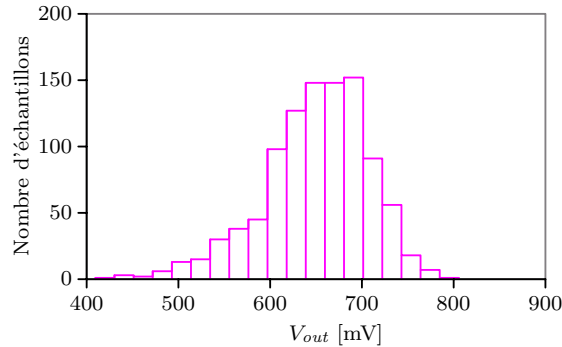


Figure 2.32 – Dispersions sur l'amplitude crête-à-crête de la tension de sortie V_{out} .

échantillons compris dans une plage de tensions de sortie allant de 480 mV à 620 mV, ce qui est très satisfaisant.

Enfin, il est important de souligner que cette topologie est capable de délivrer des trains d'impulsions sur une très large bande de fréquence, la limite basse étant déterminée par les trois condensateurs de liaison positionnés sur le trajet du signal.

4.3.2 Démonstrateur et validation expérimentale

Pour pouvoir tester le mélangeur à échantillonnage sur une plage de fréquence la plus large possible, aucun amplificateur n'a été placé en amont de l'accès RF du mélangeur. D'après la figure 2.33, le démonstrateur ne comporte qu'une paire de générateurs d'impulsions et un mélangeur/échantillonneur doublement équilibré, chargé sur sa sortie FI par un amplificateur. Cet amplificateur intègre la capacité nécessaire du blocage du signal. Il est de plus constitué d'une paire différentielle à émetteurs communs suivie d'un étage tampon à collecteurs communs. Il est optimisé pour fonctionner à une fréquence FI de 1 GHz. En ré-utilisant la méthode d'optimisation de la géométrie du transistor MOS détaillée précédemment (section 3.1), nous avons trouvé que les meilleures performances en gain et en linéarité étaient obtenues ici avec douze doigts de grille. La figure 2.34 montre la dépendance du gain de conversion et du point de compression en sortie du mélangeur seul pour un transistor MOS doté de douze doigts de grille. Ce graphique montre qu'il n'est pas

possible de maximiser simultanément le gain de conversion et le point de compression en sortie ($OCP1$). $20\ \mu\text{m}$ constitue la largeur optimale pour le gain tandis qu'une largeur de $100\ \mu\text{m}$ maximise le point de compression. Nous avons choisi une dimension intermédiaire de $12 \times 3\ \mu\text{m} \times 0,12\ \mu\text{m}$.

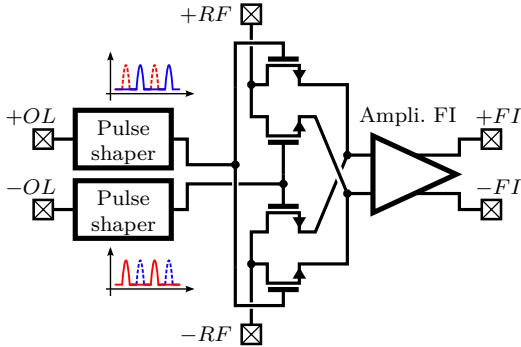


Figure 2.33 – Schéma de principe du démonstrateur.

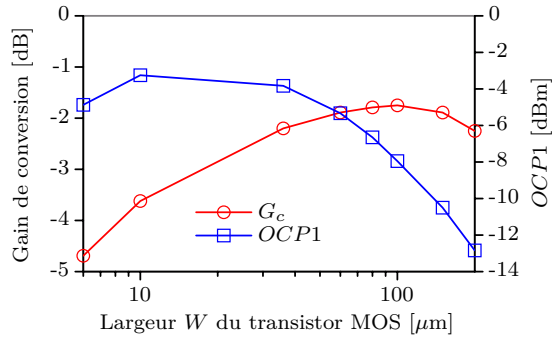


Figure 2.34 – Optimisation de la géométrie du transistor MOS.

La puce n'intègre aucun balun pour que le choix ne soit pas limité quant aux fréquences à appliquer sur les voies OL et RF. Il faut malgré tout fournir un signal différentiel sur ces deux accès du circuit. Côté RF, le signal appliqué est issu d'un analyseur de réseau vectoriel 4 voies. Le PNA-X N5247A de chez Agilent permet de régler finement la relation d'amplitude et de phase entre les deux sources RF qui équipent l'appareil, une propriété que nous avons utilisée pour générer deux signaux en parfaite opposition de phase dans le plan des pointes. Côté OL, deux solutions ont été exploitées. La gamme de fréquence la plus basse (4–20 GHz) a été couverte par un balun externe raccordé à une paire de pointes à l'aide de deux câbles de longueurs identiques. Pour des fréquences supérieures, une autre méthode a été préférée pour éviter tout problème potentiel de déséquilibre des signaux par des câbles de longueur légèrement différente. Un coupleur en anneau a été spécifiquement conçu sur alumine et connecté à la puce par fils micro-soudés courts. Ce coupleur a été conçu pour fonctionner dans la gamme 15–27 GHz. La puce photographiée sur la figure 2.35 mesure $1,2\ \text{mm} \times 2,4\ \text{mm}$. La zone active est relativement compacte mais nous avons souhaité multiplier les alimentations pour pouvoir contrôler le fonctionnement des différentes parties de la puce. Les plots et interconnexions correspondantes occupent la plus grande partie de la surface.

Le gain de conversion reporté sur la figure 2.36 en fonction de la fréquence RF démontre le fonctionnement très large bande du circuit, limité à 27 GHz par le coupleur en anneau de la voie OL. L'accord avec la simulation électrique est extrêmement satisfaisant. En retirant le gain en tension de l'amplificateur FI, les pertes de conversion du mélangeur seul sont de 2 dB, un résultat toujours très proche des simulations et du modèle analytique. Le reste des caractéristiques est résumé dans la table 2.6 qui appelle quelques remarques. Le point de compression est limité par l'amplificateur FI. Des simulations réalisées avec un amplificateur FI suffisamment linéaire pour laisser le mélangeur limiter le résultat en premier indiquent qu'une valeur de $-5\ \text{dBm}$ en entrée ($+8,7\ \text{dBm}$ en sortie) peut être atteinte. La consommation de 109 mW du circuit est répartie en 22 mW pour l'amplificateur FI et 43,5 mW pour chaque générateur d'impulsion.

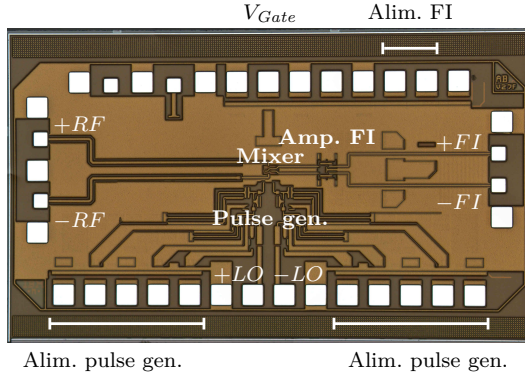


Figure 2.35 – Microphotographie du mélangeur à échantillonnage.

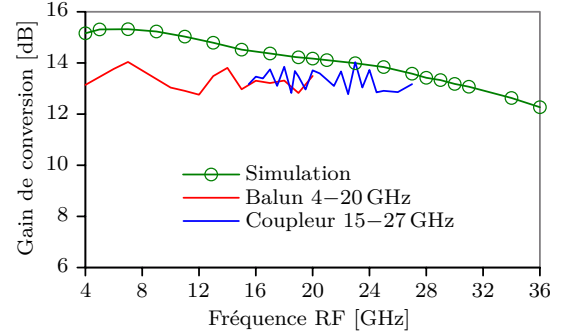


Figure 2.36 – Gain de conversion en fonction de la fréquence RF.

La détermination du facteur de bruit mérite également quelques commentaires. Le mélangeur à échantillonnage est capable de convertir une multitude de fréquences vers la sortie FI. Pour chacune des fréquences $f_{\pm n} = n f_{OL} \pm f_{FI}$ ($n \in \mathbb{N}^*$) pour lesquelles un chemin de conversion existe, une puissance de bruit est translatée en fréquence vers la FI. En caractérisant les gains de conversion associés, notés $G_c(f_{\pm n})$, on déduit un facteur de bruit noté NF_{ASB} ⁴ du circuit en utilisant l'expression (2.41). N_{out} correspond à la puissance de bruit relevée en sortie dans la bande Δf centrée sur la fréquence f_{FI} .

$$NF_{ASB} = \frac{N_{out}}{\sum_{n=1}^{+\infty} G_c(f_{\pm n}) k T_0 \Delta f} . \quad (2.41)$$

Tableau 2.6 – Caractéristiques simulées et mesurées du mélangeur à échantillonnage en bande K.

	Simulations	mesures	Unité
f_{RF}	18,8	18,8	GHz
f_{OL}	17,8	17,8	GHz
Puissance OL	-1,2	-1,2	dBm
G_c	14,2	13,7	dB
G_c du mélangeur seul	-1,9	-2,1	dB
NF_{ASB}	n/d	6,3	dB
ICP1	-24,5	-25,7	dBm
OCP1	-10,8	-12,3	dBm
Consommation	113	109	mW

4. ASB est l'acronyme de *All Side-Bands*

5 Mélangeur à sous-échantillonnage

Le mélangeur à sous-échantillonnage permet de transposer en fréquence un signal **RF** situé autour d'un multiple supérieur ou égal à deux de la fréquence **OL** vers une **FI** beaucoup plus basse. Dans cette partie, nous avons cherché à exploiter les résultats obtenus avec le mélangeur à échantillonnage pour effectuer la conversion en fréquence de signaux **RF** situés à des fréquences beaucoup plus élevées.

5.1 Modélisation analytique

Précédemment, nous avons vu que le mélangeur à échantillonnage était capable de convertir une multitude de fréquences $f_{\pm n} = nf_{OL} \pm f_{FI}$ ($n \in \mathbb{N}^*$) vers la même fréquence f_{FI} . En ré-examinant les expressions analytiques (2.39) et (2.40) du gain de conversion, on constate que le terme (2.42) tend vers 1 à chaque fois que la fréquence f_{RF} est un multiple impair de f_{OL} et 0 si le multiple est pair. En d'autre terme, le mélangeur à sous-échantillonnage doublement équilibré n'est capable de convertir en fréquence que des signaux **RF** situés au voisinage des multiples impairs de f_{OL} .

$$\frac{1 - e^{-j\pi \frac{f_{RF}}{f_{OL}}}}{2} \quad (2.42)$$

Fort de ce résultat et à partir d'une fréquence f_{OL} comprise entre 18 et 21 GHz environ, le mélangeur décrit dans la partie précédente est donc potentiellement capable de transposer toutes les fréquences de la bande 57 – 66 GHz vers une fréquence f_{FI} de 1 GHz. Cette gamme de fréquence est particulièrement intéressante puisqu'elle devrait servir, dans les années à venir, un grand nombre d'applications de type **réseaux locaux sans fil (WLANs)** et **réseaux sans fil personnels (WPANs)** à très hauts débits et très courtes portées. La figure 2.37 reproduit le gain de conversion calculé pour $f_{OL} = 19$ GHz et $f_{RF} = 58$ GHz en fonction du rapport cyclique d , du ratio d'impédance γ des transistors **MOS** constituant le mélangeur et du temps de transition τ_r des impulsions **OL**.

Contrairement au mélangeur à échantillonnage, l'impact du rapport cyclique d sur le gain est ici beaucoup plus significatif. Ce dernier chute rapidement dès que d augmente au delà de 20 %. En bande **V**, les mélangeurs passifs classiques possèdent des pertes de conversion de l'ordre de 10 – 12 dB. Par conséquent, le mélangeur à sous-échantillonnage n'est intéressant que si ses pertes sont inférieures, ce que nous allons vérifier dans le paragraphe suivant.

5.2 Résultats expérimentaux

Le rapport cyclique du train d'impulsion peut être ajusté par l'intermédiaire de la tension V_{ctrl} du générateur d'impulsion (paragraphe 4.3.1). Cette possibilité est exploitée pour optimiser le gain de conversion du mélangeur à échantillonnage (figure 2.38). Pour une fréquence **RF** de 58 GHz, le gain maximum est d'environ 4 dB. Il est obtenu pour une tension V_{ctrl} inférieure au réglage effectué lors de la caractérisation du circuit en échantillonnage simple. Par identification avec les simulations électriques, cet optimum correspond à un rapport cyclique d'environ 22 % contre 28 % pour un fonctionnement au fondamental, et ce pour une puissance **OL** de 0 dBm [41]. Ce résultat est conforme au modèle analytique.

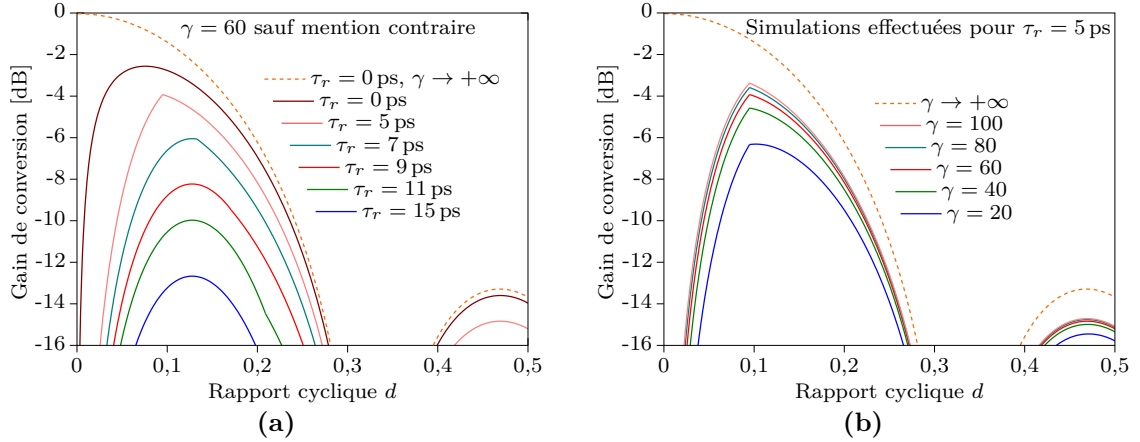


Figure 2.37 – Gain de conversion issu de (2.39) et (2.40) pour $f_{RF} = 58$ GHz et $f_{OL} = 19$ GHz en fonction de d pour (a) τ_r variable et $\gamma = 60$, (b) $\tau_r = 5$ ps et γ variable.

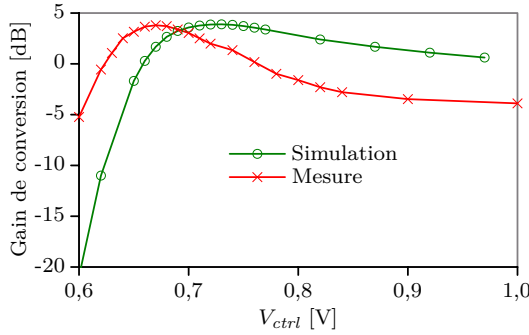


Figure 2.38 – Gain de conversion en fonction de V_{ctrl} pour $f_{OL} = 19$ GHz, $f_{RF} = 58$ GHz et $P_{OL} = 0$ dBm.

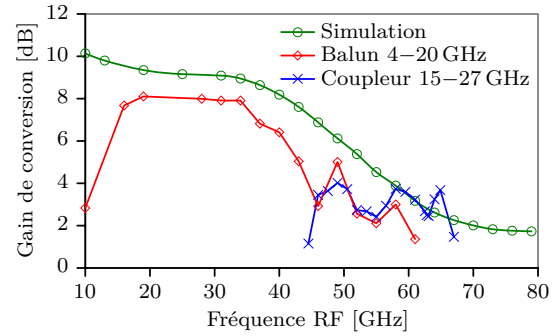


Figure 2.39 – Gain de conversion en fonction de la fréquence RF pour $P_{OL} = 0$ dBm.

Le gain mesuré sur toute la bande fréquentielle couverte par les coupleurs OL à notre disposition est reporté sur le graphe 2.39. Un gain constant est relevé jusqu'à 40 GHz environ. Dans toute cette plage de fréquence, le temps de montée et la forme d'onde des impulsions sont suffisamment corrects pour ne pas influencer le fonctionnement du circuit, ce qui n'est pas le cas au delà. En retirant la contribution de l'amplificateur FI, le gain en tension de la partie mélangeur s'établit à -4 dB. Il atteint la valeur de $-7,5 \text{ dB} \pm 0,5 \text{ dB}$ dans la gamme 45 – 67 GHz.

Le facteur de bruit NF_{ASB} est mesuré à 9,7 dB. Par rapport au mélangeur à échantillonnage fondamental présenté dans la partie 4.3 qui présentait un NF_{ASB} égal à 6,3 dB, cette valeur est deux fois plus élevée. L'augmentation des gains de conversion issus des fréquences $3f_{OL} \pm f_{FI}$ obtenue grâce à la réduction du rapport cyclique du signal de pompe ne nous semble pas être suffisante pour expliquer un tel accroissement du facteur de bruit. Nous ne sommes pas aidé par les simulateurs électriques Cadence Spectre RF et Agilent ADS qui affichent des résultats assez éloignés de la mesure concernant le bruit. Il est possible que la mesure du facteur de bruit du mélangeur à échantillonnage fondamental eut été rendue

trop optimiste par la fréquence de coupure haute de la connectique K (2,9 mm), qui vaut 40 GHz. Dans ce cas, le bruit créé par la source froide à proximité de 60 GHz pourrait ne pas avoir pu atteindre l'entrée RF du mélangeur. Cette hypothèse n'a pas encore été testée.

Pour finir, nous avons relevé un point de compression en sortie du circuit de $-13,4$ dBm, toujours pour une puissance P_{OL} de 0 dBm. La simulation indiquait $-10,5$ dBm. Contrairement au mélangeur à échantillonnage en bande K, ce n'est plus l'amplificateur FI qui limite la linéarité du circuit mais les transistors MOS intégrés dans le mélangeur. Le problème pourrait être issu du modèle des transistors MOS. Nous savons que le modèle BSIM4 ne fonctionne pas correctement pour les calculs de linéarité à $V_{DS0} = 0$ car non dérivable pour ce point de fonctionnement [16, 42]. Or IBM utilise un modèle de type PSP qui est connu pour régler ce problème [43]. Il pourrait alors s'agir d'un problème de précision du modèle.

5.3 État de l'art des mélangeurs en bande V

Comme il n'existe pas d'autre Sub-Sampling Mixer (SSM) en bande V, la question de la pertinence de ce circuit se pose par rapport aux solutions existantes. Dans cette bande de fréquence, on rencontre des mélangeurs passifs classiques [44–47] et sous-harmoniques (SHM). Pour cette seconde catégorie de circuits, nous avons trouvé des topologies basées sur des transistors FET (SHM FET) [48, 49] et sur des paires de diodes montées tête-bêche (APDP) [50, 51]. Tous ces circuits sont comparés au mélangeur à sous-échantillonnage dans le tableau 2.7.

Tableau 2.7 – État de l'art des mélangeurs passifs en bande V.

Ref.	Topologie	Technologie	Bande RF [GHz]	P_{OL} [dBm]	G_c [dB]	N_{FASB} [dB]	$OCP1$ [dBm]
[44]	fondamental	CMOS 65 nm	51 / 62	8,7	$-12,5 / -15$	n/d	$-8,5$
[45]	fondamental	CMOS 0,18 μm	18 / 50	10	$-14 / -17$	n/d	-9
[46]	fondamental	CMOS 90 nm	33 / 58	10	$-6 / -9$	11 / 13	-11
[47]	fondamental	CMOS 45 nm SOI	40 / 50	15	$-8,4$	n/d	$-4,9$
[48]	4×SHM FET	0,15 μm mHEMT	58 / 62	8	$-15,3$	n/d	$-12,8$
[49]	2×SHM FET	CMOS 0,13 μm	56 / 66	-1	-13	n/d	-16
[50]	2×SHM APDP	SiGe	56 / 64	5,5	$-8,3 / -10$	12	$-16,3$
[51]	2×SHM APDP	CMOS 0,18 μm	57 / 66	1	-15	n/d	n/d
Ce travail	3×SSM FET	BiCMOS 0,13 μm	16 / 67	0	$-6,9 / -8,8$	9,7 @58 GHz	-15

En terme de pertes de conversion et de facteur de bruit, le mélangeur à sous-échantillonnage présente les meilleures performances. Les mélangeurs passifs classiques ne s'en rapprochent que lorsque des filières CMOS beaucoup plus performantes sont employées. La linéarité est en retrait par rapport aux mélangeurs classiques, mais dans la moyenne des mélangeurs sous-harmoniques. Outre ses faibles pertes et ses bonnes performances en bruit, un gros avantage supplémentaire du mélangeur à échantillonnage, tout comme le mélangeur sous-harmonique, réside dans l'utilisation d'un OL fonctionnant à une fréquence très inférieure à la bande RF à traiter, ce qui peut améliorer notablement la performance du récepteur en terme de bruit de phase par rapport aux récepteurs classiques exploitant un OL en bande V.

6 Conclusion

Ce chapitre synthétise les travaux effectués autour de la conversion de fréquence en utilisant le transistor MOS dans une configuration passive. L'objectif est la recherche de solutions originales améliorant les performances du mélange passif. Les résultats présentés sont le fruit d'une grande quantité de travail auquel de nombreux stagiaires et doctorants ont contribué. Les contributions les plus importantes ont été les thèses de Grégory Ménéghin, Thomas Epert et Alessandro Magnani que j'ai co-encadrée avec Thierry Parra [24, 36, 52].

Les faits marquants de ces travaux sont multiples. Nous avons montré l'importance de la géométrie du transistor MOS sur les performances du mélangeur lorsque l'on se rapproche des limites en fréquence du composant. Ces travaux ont abouti à la démonstration du premier mélangeur passif sur silicium en bande W parfaitement fonctionnel avec un niveau de performance à l'état de l'art encore aujourd'hui [25, 26].

À propos du mélangeur à échantillonnage, nous avons montré les bénéfices que peuvent apporter l'utilisation d'un signal de pompe à faible rapport cyclique, tant sur les performances du mélangeur lui-même que sur celles du démodulateur I/Q au sein duquel il est implémenté. Ce travail a conduit à la démonstration du premier mélangeur passif à très faibles pertes de conversions, soit environ 1 dB, en visant une application centrée sur 2,4 GHz [37, 38]. En appliquant le même principe sur un nouveau démonstrateur optimisé pour la bande K et au delà, des pertes de conversion d'environ 2,1 dB ont été mesurées à 27 GHz [52]. La fréquence élevée du signal de pompe a nécessité la conception d'un générateur d'impulsion analogique spécifique, une tâche qui ne peut plus être confiée à des circuits logiques dès que la fréquence de l'OL dépasse quelques GHz.

Finalement, le même démonstrateur a été utilisé pour effectuer un mélange par sous-échantillonnage du signal RF incident, en bande V. Les performances obtenues surpassent les mélangeurs sous-harmoniques passifs réalisés en technologies silicium dans la même gamme de fréquence, qu'ils soient basées sur des transistors FET ou des diodes Schottky. Ces résultats sont très récents et devraient être publiés très prochainement.

Bibliographie

- [1] S.H.-M. JEN, C.C. ENZ, D.R. PEHLKE, M. SCHROTER et B.J. SHEU : Accurate modeling and parameter extraction for MOS transistors valid up to 10 GHz. *IEEE Transactions on Electron Devices*, 46(11):2217–2227, novembre 1999.
- [2] Won KO et Youngwoo KWON : Analytical analysis of noise figures in FET resistive mixers. *Electronics Letters*, 35(14):1169–1170, juillet 1999.
- [3] M. MARGRAF et G. BOECK : A new scaleable low frequency noise model for field-effect transistors used in resistive mixers. *In Microwave Symposium Digest, 2003 IEEE MTT-S International*, volume 1, pages 559–562 vol.1, juin 2003.
- [4] S. CHEHRAZI, A. MIRZAEI et A.A. ABIDI : Noise in Current-Commutating Passive FET Mixers. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 57(2):332–344, février 2010.
- [5] Christophe VIALON : *Optimisation de structures différentielles en technologie SiGe pour applications en bande millimétrique. Application à la conception d'un mélangeur*

- doublément équilibré en bande K*. Thèse de doctorat, Université Toulouse 3 Paul Sabatier (UT3), 2003.
- [6] Behzad RAZAVI : *RF Microelectronics*. Communications Engineering and Emerging Technologies Series. Prentice Hall Press, Upper Saddle River, NJ, USA, 2nd édition, 2011.
- [7] H.P. WALKER : Sources of intermodulation in diode-ring mixers. *Radio and Electronic Engineer*, 46(5):247–255, mai 1976.
- [8] E.W. LIN et W.H. KU : Device considerations and modeling for the design of an InP-based MODFET millimeter-wave resistive mixer with superior conversion efficiency. *IEEE Transactions on Microwave Theory and Techniques*, 43(8):1951–1959, août 1995.
- [9] S. CHEHRAZI, R. BAGHERI et A.A. ABIDI : Noise in passive FET mixers : a simple physical model. In *Custom Integrated Circuits Conference, 2004. Proceedings of the IEEE 2004*, pages 375–378, 2004.
- [10] Donhee HAM et A. HAJIMIRI : Complete noise analysis for CMOS switching mixers via stochastic differential equations. In *Custom Integrated Circuits Conference, 2000. CICC. Proceedings of the IEEE 2000*, pages 439–442, 2000.
- [11] W. REDMAN-WHITE et D. M. W. LEENAERTS : 1/f noise in passive CMOS mixers for low and zero IF integrated receivers. In *Solid-State Circuits Conference, 2001. ESSCIRC 2001. Proceedings of the 27th European*, pages 41–44, 2001.
- [12] Adel A. M. SALEH : *Theory of Resistive Mixers*. M.I.T. Press, Cambridge, MA, 1971.
- [13] S. EGAMI : Nonlinear, Linear Analysis and Computer-Aided Design of Resistive Mixers. *IEEE Transactions on Microwave Theory and Techniques*, 22(3):270–275, mars 1974.
- [14] Stephen A MAAS : *Noise in Linear and Nonlinear Circuits*. Artech House, 2005.
- [15] Bert HENDERSON et Edmar CAMARO : *Microwave Mixer Technology and Applications*. Artech House, 2013.
- [16] H. KHATRI, P.S. GUDEM et L.E. LARSON : Distortion in Current Commutating Passive CMOS Downconversion Mixers. *IEEE Transactions on Microwave Theory and Techniques*, 57(11):2671–2681, novembre 2009.
- [17] A.R. KERR : Shot-Noise in Resistive-Diode Mixers and the Attenuator Noise Model. *IEEE Transactions on Microwave Theory and Techniques*, 27(2):135–140, février 1979.
- [18] S.A. MAAS : A GaAs MESFET Mixer with Very Low Intermodulation. *IEEE Transactions on Microwave Theory and Techniques*, 35(4):425–429, avril 1987.
- [19] Mingquan BAO, Harald JACOBSSON, Lars ASPEMYR, Abdelkarim MERCHA et Geert CARCHON : A 20 GHz sub-1v low noise amplifier and a resistive mixer in 90 nm CMOS technology. In *Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings*, volume 5, 2005.

- [20] R. CIRCA, D. PIENKOWSKI et G. BOECK : Integrated 130 nm CMOS passive mixer for 5 GHz WLAN applications. *In 2005 SBMO/IEEE MTT-S International Conference on Microwave and Optoelectronics*, pages 103–106, 2005.
- [21] F. ELLINGER : 26.5-30-GHz Resistive Mixer in 90-nm VLSI SOI CMOS Technology With High Linearity for WLAN. *IEEE Transactions on Microwave Theory and Techniques*, 53(8):2559–2565, août 2005.
- [22] M. ERCOLI, M. KRAEMER, D. DRAGOMIRESCU et R. PLANA : A passive mixer for 60 GHz applications in CMOS 65nm technology. *In German Microwave Conference, 2010*, pages 20–23, 2010.
- [23] Sungjae LEE, B. JAGANNATHAN, S. NARASIMHA, A. CHOU, N. ZAMDNER, J. JOHNSON, R. WILLIAMS, L. WAGNER, Jonghae KIM, J.-O. PLOUCHART, J. PEKARIK, S. SPRINGER et G. FREEMAN : Record RF performance of 45-nm SOI CMOS Technology. *In Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, pages 255–258, 2007.
- [24] Grégory MENEGHIN : *Intégration BiCMOS et caractérisation d'un convertisseur de fréquence de réception pour un radar automobile en bande W assurant des communications inter-véhicules*. Thèse de doctorat, Université Toulouse 3 Paul Sabatier (UT3), 2013.
- [25] C. VIALON, G. MENEGHIN et T. PARRA : NMOS Device Optimization for the Design of a W-Band Double-Balanced Resistive Mixer. *IEEE Microwave and Wireless Components Letters*, 24(9):637–639, septembre 2014.
- [26] G. MENEGHIN, C. VIALON et T. PARRA : A double balanced resistive down-conversion mixer integrated in BiCMOS SiGe technology for 79 GHz automotive radar. *In Joint IEEE North-East Workshop on Circuits and Systems and TAISA Conference, 2009. NEWCAS-TAISA '09*, pages 1–4, juin 2009.
- [27] Noise Figure Measurement Accuracy, The Y-Factor Method. Application Note 57-2, Agilent, 2001.
- [28] Scott K. REYNOLDS et J. D. POWELL : 77 and 94-GHz downconversion mixers in SiGe BiCMOS. *In Proc. IEEE Asian Solid-State Circuits Conf. (ASSCC)*, pages 191–194, 2006.
- [29] S.T. NICOLSON, K. H K YAU, S. PRUVOST, V. DANELON, P. CHEVALIER, P. GARCIA, A. CHANTRE, B. SAUTREUIL et S.P. VOINIGESCU : A Low-Voltage SiGe BiCMOS 77-GHz Automotive Radar Chipset. *IEEE Transactions on Microwave Theory and Techniques*, 56(5):1092–1104, mai 2008.
- [30] André MARIANO, Thierry TARIS, Bernardo LEITE, Cédric MAJEK, Yann DEVAL, Eric KERHERVE, Jean-Baptiste BEGUERET et Didier BELOT : Low power and high gain double-balanced mixer dedicated to 77 GHz automotive radar applications. *In ESSCIRC, 2010 Proceedings of the*, pages 490–493, 2010.

-
- [31] Ning ZHANG, Haifeng XU, Hsin-Ta WU et K.O. KENNETH : W-Band Active Down-Conversion Mixer in Bulk CMOS. *IEEE Microwave and Wireless Components Letters*, 19(2):98–100, février 2009.
- [32] Hsuan-Yi SU, R. HU et Ph.D. CHUNG-YU WU : A 78 102 GHz Front-End Receiver in 90 nm CMOS Technology. *IEEE Microwave and Wireless Components Letters*, 21(9):489–491, septembre 2011.
- [33] Arvin R. SHAHANI, Derek K. SHAEFFER et Thomas H. LEE : A 12-mW wide dynamic range CMOS front-end for a portable GPS receiver. *Solid-State Circuits, IEEE Journal of*, 32(12):2061–2070, décembre 1997.
- [34] Sining ZHOU et M.-C.F. CHANG : A CMOS passive mixer with low flicker noise for low-power direct-conversion receiver. *IEEE Journal of Solid-State Circuits*, 40(5):1084–1093, mai 2005.
- [35] Alessandro MAGNANI : *CMOS and BiCMOS Building blocks for a microwave efficient frequency conversion, up to millimeter-Waves*. Thèse de doctorat, Università degli studi di Modena ; Université Toulouse 3 Paul Sabatier (UT3), avril 2014.
- [36] Manuel CAMUS : *Architecture de réception RF très faible coût et très faible puissance. Application aux réseaux de capteurs et au standard ZigBee*. Thèse de doctorat, Université Paul Sabatier - Toulouse 3, 2008.
- [37] M. CAMUS, B. BUTAYE, L. GARCIA, M. SIE, B. PELLAT et T. PARRA : A 5.4 mW/0.07 mm 2.4 GHz Front-End Receiver in 90 nm CMOS for IEEE 802.15.4 WPAN Standard. *IEEE Journal of Solid-State Circuits*, 43(6):1372–1383, juin 2008.
- [38] M. CAMUS, B. BUTAYE, C. VIALON, L. GARCIA et T. PARRA : A CMOS low loss/high linearity passive mixer for 2.45 GHz low power applications. *In Microwave Conference Proceedings (APMC), 2012 Asia-Pacific*, pages 163–165, 2012.
- [39] D. KACZMAN, M. SHAH, M. ALAM, M. RACHEDINE, D. CASHEN, Lu HAN et A. RAGHAVAN : A Single-Chip 10-Band WCDMA/HSDPA 4-Band GSM/EDGE SAW-less CMOS Receiver With DigRF 3g Interface and 90 dBm IIP2. *IEEE Journal of Solid-State Circuits*, 44(3):718–739, mars 2009.
- [40] Alessandro MAGNANI, Thomas EPERT, Christophe VIALON, Mattia BORGARINO et Thierry PARRA : Convertisseur de fréquences BiCMOS en bande K basé sur un mélange passif à faibles pertes. *In 18èmes Journées Nationales Microondes*, Paris, mai 2013.
- [41] Christophe VIALON, Alessandro MAGNANI, M. BORGARINO et Thierry PARRA : Mélangeur résistif à sous-échantillonnage dans la bande 46–65 GHz intégré en technologie BiCMOS 0,13 μm . *In 19 èmes Journées Nationales Microondes*, Bordeaux, juin 2015.
- [42] Tao ZHANG, V. SUBRAMANIAN et M. HAASE : Comparison of PSP and BSIM4 MOSFET model across various parameters. *In German Microwave Conference, 2010*, pages 32–35, mars 2010.

- [43] A.J. SCHOLTEN, G.D.J. SMIT, B.A. DE VRIES, L.F. TIEMEIJER, J.A. CROON, D.B.M. KLAASSEN, R. van LANGEVELDE, Xin LI, Weimin WU et G. GILDENBLAT : The New CMC Standard Compact MOS Model PSP : Advantages for RF Applications. *IEEE Journal of Solid-State Circuits*, 44(5):1415–1424, mai 2009.
- [44] Mikko VARONEN, M. KARKKAINEN et Kari AI HALONEN : V-band balanced resistive mixer in 65-nm CMOS. *In Proc. IEEE European Solid-State Circuits Conf. (ESSCIRC)*, pages 360–363, 2007.
- [45] Jung-Hau CHEN, Che-Chung KUO, Yue-Ming HSIN et Huei WANG : A 15-50 GHz broadband resistive FET ring mixer using 0.18- μm CMOS technology. *In Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International*, pages 784–787, mai 2010.
- [46] Hong-Yuan YANG, Jeng-Han TSAI, Tian-Wei HUANG et Huei WANG : Analysis of a New 33-58-GHz Doubly Balanced Drain Mixer in 90-nm CMOS Technology. *IEEE Transactions on Microwave Theory and Techniques*, 60(4):1057–1068, avril 2012.
- [47] M. PARLAK et J.F. BUCKWALTER : A Passive I/Q Millimeter-Wave Mixer and Switch in 45-nm CMOS SOI. *IEEE Transactions on Microwave Theory and Techniques*, 61(3):1131–1139, mars 2013.
- [48] S.E. GUNNARSSON : Analysis and Design of a Novel 4 Subharmonically Pumped Resistive HEMT Mixer. *IEEE Transactions on Microwave Theory and Techniques*, 56(4):809–816, avril 2008.
- [49] Shih-Kai LIN, Jing-Lin KUO et Huei WANG : A 60 GHz Sub-Harmonic Resistive FET Mixer Using 0.13 CMOS Technology. *IEEE Microwave and Wireless Components Letters*, 21(10):562–564, octobre 2011.
- [50] S. SARKAR, P. SEN, S. PINEL, Chang-Ho LEE et J. LASKAR : Si-based 60ghz 2x Subharmonic Mixer for Multi-Gigabit Wireless Personal Area Network Application. *In Microwave Symposium Digest (MTT), 2006 IEEE MTT-S International*, pages 1830–1833, 2006.
- [51] Hung-Ju WEI, Chinchun MENG, Ta-Wei WANG, Tai-Lin LO et Chia-Ling WANG : 60-GHz Dual-Conversion Down-/Up-Converters Using Schottky Diode in 0.18 μm Foundry CMOS Technology. *IEEE Transactions on Microwave Theory and Techniques*, 60(6):1684–1698, juin 2012.
- [52] A. MAGNANI, C. VIALON, I. BURCIU, T. EPERT, M. BORGARINO et T. PARRA : A K-band BiCMOS low duty-cycle resistive mixer. *In 2014 IEEE 14th Topical Meeting on Silicon Monolithic Integrated Circuits in Rf Systems (SiRF)*, pages 95–97, janvier 2014.

Intégration de composants passifs inductifs tridimensionnels

3

1 Introduction

La multiplication des applications de télécommunication accroît sans cesse le besoin en technologies nouvelles capables de viser des compromis toujours plus exigeants entre densités d'intégrations, performances et coûts de revient. Jusqu'à présent, ce sont les filières silicium qui répondent le mieux à l'ensemble de ces contraintes notamment grâce aux possibilités d'intégrations mixtes accessibles au sein d'une même puce : analogique et numérique, circuits à faibles et fortes puissances, etc. Cependant, si la réduction de la finesse de gravure a grandement profité aux composants actifs, avec une réduction proportionnelle de leur taille, de la consommation suivie par une très nette augmentation des performances fréquentielles, il n'en va pas de même pour les composants passifs utilisés dans les fonctions électroniques RF. Leurs dimensions ne peuvent être réduites aussi facilement. Les niveaux de performance sont limités par la finesse des métallisations, la conductivité du substrat et des résistances amenées par les *vias* qui relient les différents niveaux métalliques entre eux. Par ailleurs, la microélectronique fonctionne essentiellement à deux dimensions en procédant, au niveau des interconnexions, à un empilement de plusieurs couches métalliques pour réaliser l'intégration. Dans ce chapitre, nous présentons une approche originale que nous étudions depuis une dizaine d'années et qui vise à dégager un degré de liberté supplémentaire en permettant la métallisation des flancs d'un pilier de résine. Ces développements s'appuient sur les moyens de la centrale technologique du LAAS.

L'ensemble de ce travail a démarré à l'occasion d'une collaboration avec la société Freescale semiconductors. Il s'agissait d'intégrer des inductances de puissance au dessus d'un transistor LDMOS RF pour former les réseaux de pré-adaptation en impédance en remplacement des fils micro-soudés. Après avoir explicité la problématique propre à cette application, la première partie de ce chapitre décrit les travaux de conception ainsi que les développements technologiques menés depuis le choix des matériaux jusqu'à la première génération du procédé. Cette partie s'achève par la fabrication et la caractérisation d'un transistor pré-adapté en sortie à l'aide d'inductances *above-IC*.

Grâce à la seconde génération du procédé, plus simple, plus économique et plus fiable, nous sommes parvenu à fabriquer les premiers composants passifs réellement tridimensionnels. La seconde partie du chapitre présente les performances d'un transformateur et d'une inductance issus de cette technologie. Les résultats expérimentaux permettent d'identifier quelques limites du procédé. La caractérisation des inductances nous a permis de mettre en évidence une interaction parasite entre les pointes de mesure et les inductances. Cet effet accroît significativement les pertes par rayonnement et ne permet de pas retrouver le facteur de qualité estimé en simulation. Enfin, l'exposé des développements en cours et les résultats attendus à court terme clôturent ce chapitre.

2 Intégration *Above-IC* d'inductances de puissance sur un substrat LDMOS

2.1 Problèmes posés par la technologie LDMOS RF

La technologie LDMOS dédiée aux applications RF est apparue à la fin des années 90 avec l'essor des réseaux de télécommunications cellulaires. Le transistor LDMOS est un composant de puissance capable de fournir une centaine de watts jusqu'à environ 3,6 GHz actuellement, ce qui lui permet d'entrer dans la constitution des derniers étages d'amplification RF présents dans les stations de base 2G, 3G, WiMAX et maintenant 4G. Cette technologie connaît toujours un franc succès de part son faible coût de fabrication et ses bonnes performances.

Le contact de source du transistor LDMOS se trouve sur la face arrière du substrat en silicium. Ce dernier est par conséquent aminci et fortement dopé P+ afin de minimiser la résistance de source qui impacte négativement le rendement électrique du composant. Un grand nombre de transistors élémentaires sont disposés en parallèle pour augmenter la quantité de puissance RF que le composant peut traiter. Cette solution abaisse très fortement les impédances d'entrée et de sortie du composant. Des réseaux de préadaptation en impédance sont alors intégrés dans le même boîtier pour les relever. La figure 3.1 montre un exemple d'implémentation pratique. Les inductances sont formées par plusieurs rangées de fils micro-soudés tandis que les condensateurs sont intégrés soit sur la même puce que le transistor à l'aide de structures Métal-Isolant-Semiconducteur (MIS) verticales, soit sur une puce distincte comme sur l'exemple de la figure 3.1.

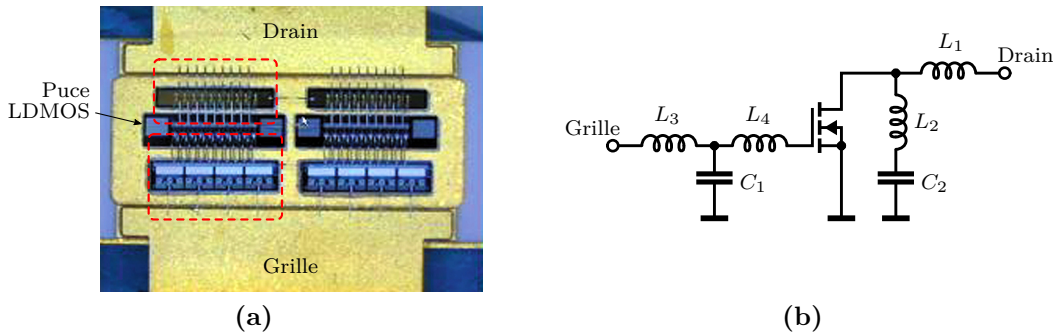


Figure 3.1 – (a) Micro-photographie d'un transistor LDMOS encapsulé avec ses réseaux de préadaptation [1] et (b) son schéma électrique équivalent.

La forme, le diamètre, le nombre et l'espacement entre les fils définit la valeur de l'inductance. Les contraintes électriques qui pèsent sur ces fils sont très importantes car ils doivent supporter de très forts courants de polarisation, de l'ordre de l'ampère. Des couplages électriques et magnétiques existent entre les inductances série et shunt du côté de la sortie, mais aussi avec la masse en surface du substrat et avec le réseau d'entrée. Ce dernier point est assez critique car il apporte une contre-réaction parasite qui va limiter le gain maximal qu'il est possible de tirer du composant et qui peut engendrer des problèmes de stabilité. En outre, tous les fils doivent être rigoureusement identiques pour conserver une distribution homogène de la puissance sur toute la largeur du LDMOS. Bien que le placement des fils soit automatisé, cette étape est extrêmement critique et la moindre

variation sur n'importe lequel des paramètres géométriques est susceptible de dégrader les performances du LDMOS. La correction post-fabrication est finalement une opération coûteuse nécessitant des ressources humaines, ce que les industriels cherchent à éviter. Enfin, la mise au point de ces réseaux de pré-adaptation est également une opération très fastidieuse. Les fils sont partiellement couplés entre eux et l'obtention de la valeur souhaitée de l'inductance nécessite beaucoup d'ajustements et d'expérimentations.

En 2005, la société *Freescale Semiconductors* nous a sollicité pour élaborer une alternative technologique capable de limiter le nombre de fils micro-soudés à son strict minimum de façon à éviter au maximum les problèmes évoqués plus haut. L'approche choisie a été de venir intégrer les inductances directement sur la surface du transistor LDMOS en utilisant un procédé technologique de type *Above-IC* qu'il fallait développer.

2.2 Cahier des charges

Le transistor LDMOS qui nous a servi pour les tests est un composant spécifié pour une puissance RF de 50 W, soit 47 dBm. Contrairement au composant pris en exemple sur la figure 3.1, les condensateurs C_1 et C_2 sont intégrés à la puce à l'aide de structures MIS. Dans le cadre de ce projet, nous nous sommes focalisés sur l'intégration de l'inductance L_2 . Cette inductance vaut environ 0,23 nH, qu'il faudra obtenir à partir de plusieurs éléments placés en parallèle. L'objectif à atteindre est un facteur de qualité de 60 à 2,5 GHz. La distance entre la barre d'accès du drain et des condensateurs C_2 est imposée puisque nous travaillons sur un composant déjà commercialisé. Par exemple, en intégrant six inductances, chacune d'entre-elle devra présenter une valeur de 1,4 nH environ. Enfin, aucune des étapes de fabrication du procédé *Above-IC* à développer ne doit nécessiter des températures supérieures à 150 °C pour ne pas dégrader le transistor LDMOS sous-jacent.

2.3 Choix et caractérisation diélectrique de la résine SU8

La surface de la puce est métallisée pour éviter toute dégradation du facteur de qualité des fils micro-soudés par la forte conductivité du silicium. Dans le cas des inductances *Above-IC*, la présence de ce plan métallique est pénalisante puisqu'elle limite la valeur d'inductance par unité de longueur de ligne en stoppant l'extension du champ magnétique. Cet aspect oblige à envisager une forte épaisseur pour la couche diélectrique à placer entre la surface du substrat et les métallisations des inductances. La résine négative SU8 nous a paru être le matériau idéal puisque des épaisseurs allant jusqu'au millimètre peuvent être déposées. Elle est également photosensible et peut donc être structurée très facilement. D'un point de vue électrique, nous avons relevé dans la littérature de fortes dispersions des valeurs de constante diélectrique relative ϵ_r et d'angle de perte $\tan \delta$ [2–4]. Ces caractéristiques dépendent fortement des conditions de mise en œuvre de la résine. Nous avons par conséquent entrepris de les retrouver expérimentalement.

Aux fréquences RF, les méthodes d'extraction du ϵ_r et du $\tan \delta$ d'un matériau isolant reposent toutes sur la mesure des paramètres S d'une ligne de transmission. Différentes techniques peuvent être employées pour en extraire l'impédance caractéristique Z_c et/ou la constante de propagation γ [5, 6]. Les propriétés diélectriques du matériau sont ensuite déduites de ces résultats. Nous avons choisi ici de nous intéresser à la ligne micro-ruban pour sa simplicité de fabrication. La couche de résine SU8 à caractériser est placée entre la piste signal et le plan de masse inférieur. Pour évaluer la robustesse de l'extraction

des caractéristiques de la résine, plusieurs lignes de différentes longueurs l (1, 2 et 3 mm), largeurs w (30, 60, 90 et 120 μm) et épaisseurs de métallisation t (5 et 30 μm) ont été fabriquées avec les motifs de tests nécessaires à l'épluchage des accès coplanaires. Deux épaisseurs h de résine, de 30 μm et 60 μm , ont également été utilisées. La micro-photographie des structures réalisées est présentée en figure 3.2.

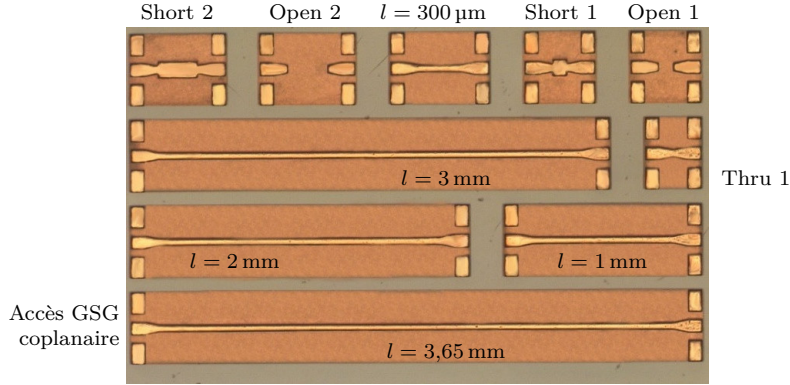


Figure 3.2 – Structures de test micro-ruban réalisées sur SU8. $w = 30 \mu\text{m}$ sur cet exemple.

Dans le cas de la ligne micro-ruban, le matériau à caractériser n'est pas inséré de manière homogène puisque la résine SU8 n'est déposée qu'en dessous de la piste signal. La permittivité relative ϵ_r du matériau employé doit être déduite d'une permittivité effective ϵ_{eff} . Fort heureusement, des formules analytiques existent et permettent de passer de l'une à l'autre pour la ligne micro-ruban. Hinojosa [7] a proposé une méthode qui consiste à observer la convergence des quatre paramètres S calculés par rapport aux paramètres S mesurés. Le calcul de ces paramètres S nécessite plusieurs étapes qui débutent par le calcul du ϵ_{eff} à partir des dimensions de la ligne et d'une paire de valeurs pour ϵ_r et $\tan \delta$ suivi par un calcul des coefficients de transmission et de réflexion. La méthode est plutôt complexe et n'aboutit pas toujours au résultat escompté. Nous avons proposé deux méthodes beaucoup plus simples et qui sont illustrées par le graphe de la figure 3.3. Celles-ci sont basées sur l'extraction de la permittivité effective complexe $\overline{\epsilon_{eff}}$ à partir des paramètres S mesurés [8]. Les paramètres ϵ_r et $\tan \delta$ sont alors déterminés soit par un calcul direct effectué à l'aide des formules analytiques simplifiées de Bahl (méthode 1) [9], ou bien par un calcul itératif basé sur le modèle de Jensen-Hammerstad (méthode 2) [10]. En raison de la nature analytique de ces deux modèles, nous avons cherché à estimer leur domaine de validité en analysant une grande quantité de données issues d'un simulateur électromagnétique 3-D. Pour cela, différents ratios w/h et t/h ont été étudiés, pour plusieurs valeurs de permittivités et d'angles de perte, qu'ils soient constants ou variables avec la fréquence. La méthode 1 est apparue très précise ($< 1\%$) tant que le ratio t/h reste inférieur à 1,2. Au delà, l'erreur augmente significativement et la méthode 2 est alors préférable. Celle-ci a produit des erreurs inférieures à 2% sur toute la gamme de ratios w/h et t/h testés [11].

Une fois appliquée aux lignes micro-ruban sur SU8, ces deux méthodes nous ont permis de relever pour cette résine une permittivité ϵ_r de 2,85 et un angle de perte $\tan \delta$ de 0,04 quelles que soit les dimensions des lignes mesurées, ce qui prouve leur excellente robustesse (figure 3.4). Il faut également noter que ces valeurs sont pratiquement indépendantes de la fréquence contrairement aux résultats relevés dans la littérature [3, 4].

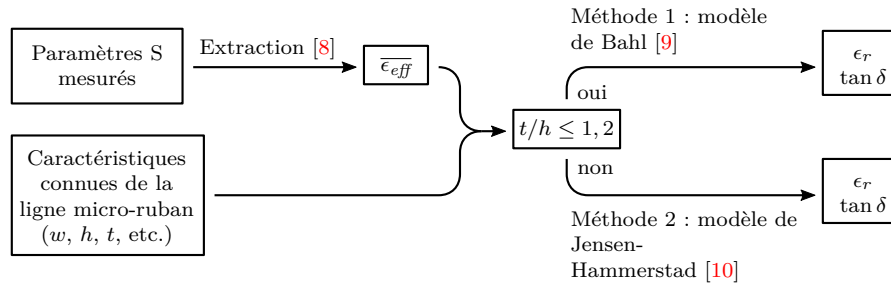


Figure 3.3 – Illustration du fonctionnement des deux méthodes d'extraction des paramètres ϵ_r et $\tan \delta$ d'une ligne micro-ruban.

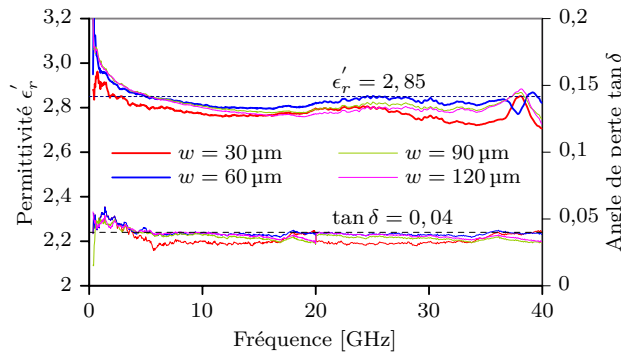


Figure 3.4 – Propriétés diélectriques de la résine SU8 extraites à partir de différentes lignes micro-ruban par la méthode 2 ($w = 30 \mu\text{m}$ ici) [11].

2.4 Conception des inductances de puissance

Au moment de ce travail beaucoup de travaux avaient été publiés dans la littérature au sujet de la structuration du plan de masse mais tous visaient des substrats silicium de type CMOS et BiCMOS dotés d'une résistivité supérieure au Ωcm . Le transistor LDMOS de cette application étant conçu sur un substrat doté d'une résistivité de $8 \text{ m}\Omega\text{cm}$, la question de l'optimisation de la configuration de surface d'un tel substrat se posait encore.

Pour illustrer l'influence du substrat sur les performances de l'inductance, nous avons relevé les caractéristiques simulées d'un ruban métallique ($t \times w = 20 \mu\text{m} \times 30 \mu\text{m}$) de 1 mm de long déposé sur une couche de résine SU8 d'épaisseur $6 \mu\text{m}$ elle-même au dessus d'un substrat LDMOS aminci à $100 \mu\text{m}$. Les résultats sont reportés sur le graphe de la figure 3.5 à la fréquence de 2 GHz. Ce graphe montre que le facteur de qualité associé à l'inductance du ruban est maximal lorsque la résistivité du substrat est maximisée (région ①, figure 3.5). Toute diminution de la résistivité de ce substrat engendre inévitablement des pertes diélectriques et magnétiques qui nuisent au facteur de qualité (région ②). En plaçant un plan de masse en surface du substrat pour masquer les pertes du silicium, les performances se dégradent sous l'effet de l'inductance mutuelle négative créée par la circulation d'un courant image dans la métallisation. Cet effet diminue plus ou moins fortement la valeur de l'inductance du ruban en fonction de la distance qui sépare le ruban du plan de masse (région ④). Dans les procédés silicium classiques CMOS et BiCMOS, qui se situent habituellement dans la région ②, la solution intermédiaire employée consiste à positionner un plan métallique structuré en forme de peigne (*pattern shield*). Cette

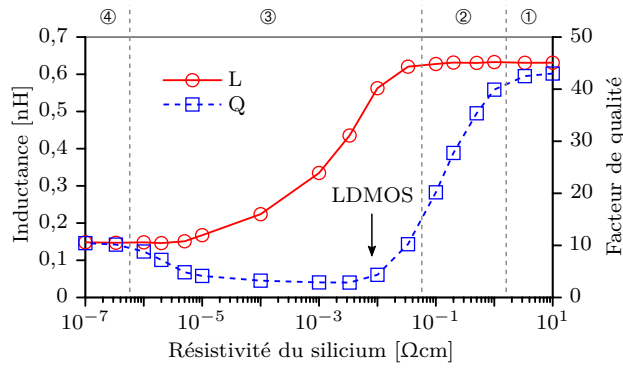


Figure 3.5 – Facteur de qualité du ruban métallique en fonction de la résistivité du substrat.

configuration permet de stopper l'expansion du champ électrique et élimine la partie diélectrique des pertes dues au substrat. Toutefois, la structuration du plan métallique permet au champ magnétique de pénétrer librement dans le substrat ce qui évite de faire apparaître les courants image évoqués précédemment. Si maintenant la conductivité du silicium devient très faible (région ③) mais pas jusqu'à atteindre la région ④, les pertes magnétiques dans le substrat deviennent prépondérantes. Ces pertes se matérialisent par des courants de Foucault importants qui créent une inductance mutuelle négative. L'utilisation d'un plan de masse structuré n'apporte plus aucun bénéfice dans ce cas là [12]. Le substrat LDMOS se trouve dans cette région. Finalement, la solution qui maximise le facteur de qualité consiste à placer un plan métallique uniforme à la surface du silicium, ce qui correspond déjà à la configuration de la puce LDMOS.

Pour maximiser la valeur d'inductance par unité de longueur du ruban formant l'inductance, il faut donc l'éloigner de la surface du substrat. En choisissant une épaisseur de ruban de $35\ \mu\text{m}$, qui correspond à la valeur maximale qu'il est possible d'atteindre en pratique, des simulations électromagnétiques menées en fonction de l'épaisseur h de résine SU8 et de la largeur w du ruban montrent que l'objectif de 60 pour le facteur de qualité peut être atteint sans difficulté (figure 3.6).

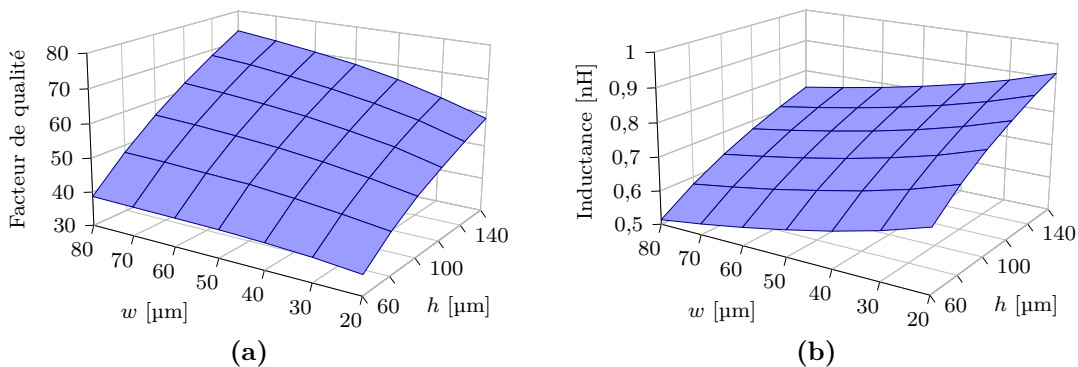


Figure 3.6 – (a) Facteur de qualité et (b) inductance en fonction de la largeur de ruban w et de la hauteur de diélectrique h . L'épaisseur t du ruban est de $35\ \mu\text{m}$.

L'inductance par unité de longueur d'un fil métallique peut être augmentée en profitant

de l'effet de proximité. Des simulations électromagnétiques ont été menées sur deux rubans métalliques droits placés à proximité l'un de l'autre de façon à évaluer l'intérêt d'une telle approche. La largeur et la hauteur des rubans est fixée à $35\ \mu\text{m}$. Ceux-ci sont placés au dessus d'une couche de $60\ \mu\text{m}$ de résine SU8. Les modifications de la valeur d'inductance de l'un des deux fils, de la résistance série R_s et du facteur de qualité sont représentés sur la figure 3.7 en fonction de l'espacement entre les deux rubans. Les résultats montrent que le facteur de qualité ne se dégrade pas lorsque les deux rubans se rapprochent. La résistance R_s du fil augmente par effet de proximité, ce qui était attendu, mais l'induction mutuelle positive fait croître la valeur d'inductance plus rapidement.

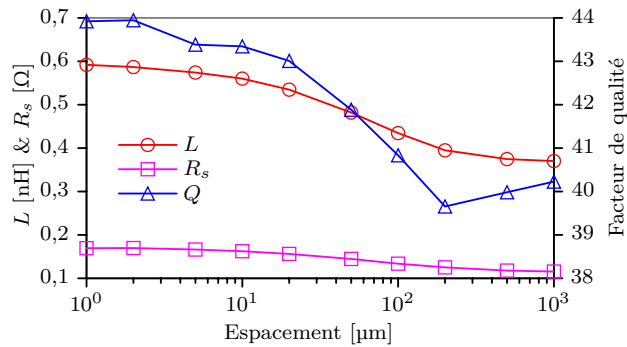


Figure 3.7 – Effet de la distance séparant les deux conducteurs sur leur caractéristiques à 2 GHz.

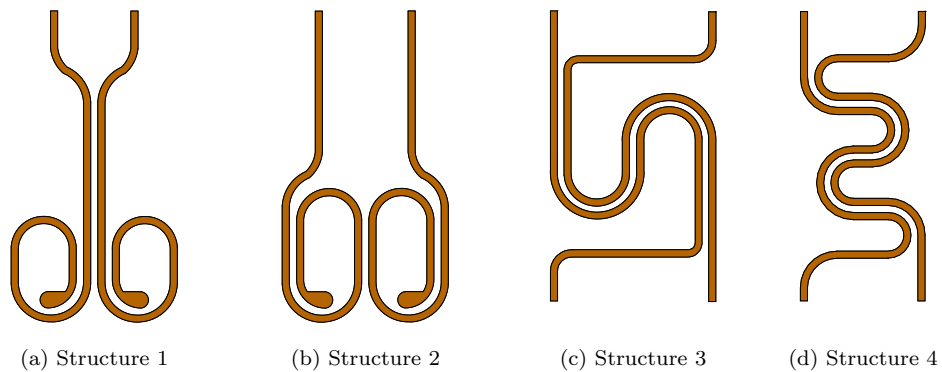


Figure 3.8 – Dessin des quatre inductances étudiées.

La surface d'intégration disponible étant limitée, il est nécessaire de trouver des topologies d'inductances qui maximisent cet effet, ce que nous avons fait à travers les quatre topologies d'inductances présentées en figure 3.8. Les deux premières sont basées sur une topologie en spirale planaire tandis que les deux autres exploitent une structure en méandre. Chaque motif est en fait constitué de deux inductances couplées, d'où la présence de deux paires d'accès visibles sur la figure 3.8. Ces éléments ont été pensés pour être ajustables sans avoir à modifier la distance qui sépare les deux paires d'accès. Les résultats de simulation de la figure 3.9 montrent que pour obtenir $0,7\ \text{nH}$, la structure 3 est globalement la plus intéressante. Au delà de $3,6\ \text{mm}$ de longueur, l'inductance 1 serait le meilleur choix. Le facteur de qualité simulé (figure 3.9b) montre que les différences sont finalement assez minimes entre les différentes structures lorsque réglées à $0,7\ \text{nH}$, ce que nous avons pu

vérifier expérimentalement. Les quatre motifs ont été fabriqués en utilisant la première génération du procédé décrit en 2.5. Pour en simplifier la caractérisation, chaque octopôle est câblé de manière à ne former qu'un seul dipôle en connectant à la masse une des deux paires de contacts. Cette configuration nécessite la conception d'une structure spécifique de distribution du signal sur la paire d'accès restante pour finalement aboutir à un dipôle. Cette démarche est illustrée en figure 3.10 pour la structure 3. Des motifs de test supplémentaires (*short* et *open*) ramènent les résultats de mesure dans le plan des accès de l'inductance. Les très bons résultats obtenus, illustrés en figure 3.11 pour la structure 3, permettent de valider toute la démarche de conception ainsi que le procédé technologique mis en œuvre.

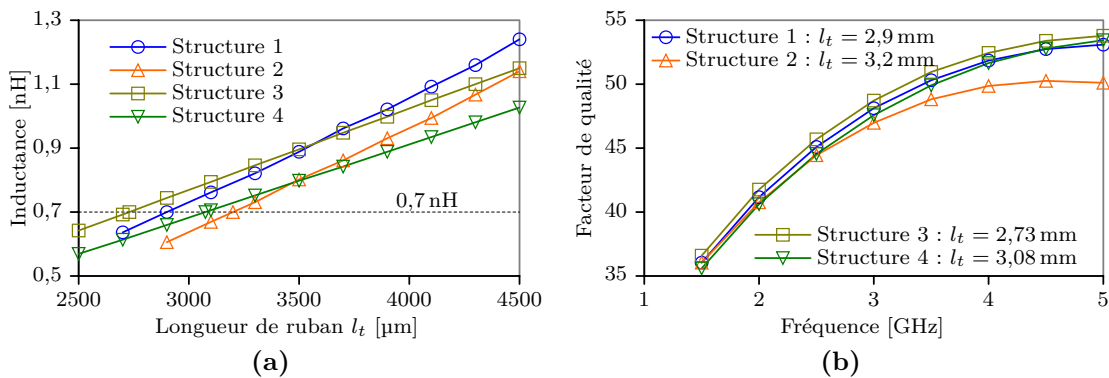


Figure 3.9 – (a) inductances en fonction de la longueur totale l_t du ruban des quatre structures à 2 GHz. (b) facteur de qualité pour 0,7 nH en fonction de la fréquence.

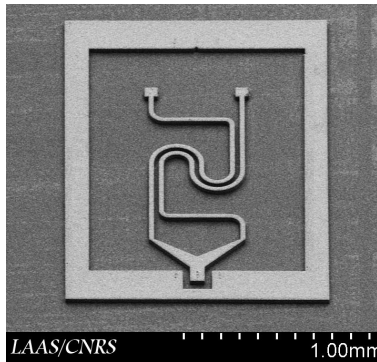


Figure 3.10 – Micro-photographie de la structure 3.

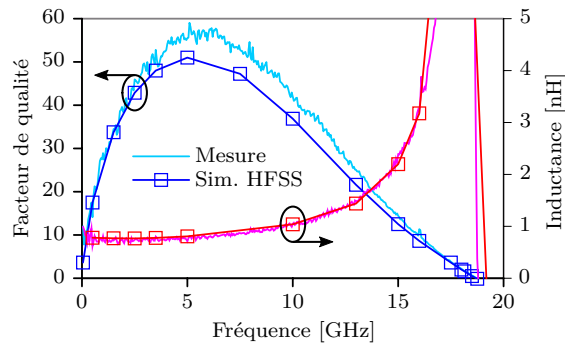


Figure 3.11 – Caractérisation et simulation de la structure 3.

2.5 Première génération du procédé

Deux générations successives du procédé ont été mises au point. Comme nous l'avons mentionné plus haut, celui-ci exploite des techniques classiques de photolithographie pour son élaboration : les métallisations sont réalisées en cuivre par croissance électrolytique après avoir déposé une première couche d'accrochage puis une résine négative de masquage.

Avec le premier procédé, dont les étapes technologiques sont représentées en figure 3.12, les métallisations sont créées en deux temps. Une première série d'étapes (a-d) est dédiée à la réalisation des vias destinés à traverser la future couche de résine SU8 pour connecter les éléments de la puce du LDMOS aux inductances. Une fois les vias réalisés et après avoir retiré les couches d'accrochage et de résine de masquage (d), la résine SU8 est déposée (e). Le dépôt se fait pleine plaque à l'aide d'une tournette. Les vias constituent des obstacles qui perturbent l'homogénéité du dépôt. Cette étape a nécessité une longue période de mise au point. En dépit de ce travail d'optimisation, une étape de polissage mécanique s'est avérée nécessaire pour retirer la sur-épaisseur de résine constatée autour des vias (f). Une fois le polissage effectué, il ne reste plus qu'à faire croître la métallisation supérieure en procédant de la même manière que pour les vias (g-j). La surface du cuivre est finalement protégée de l'oxydation par le dépôt d'une fine couche d'or. Plus de détails sur ce procédé sont accessibles en référence [13].

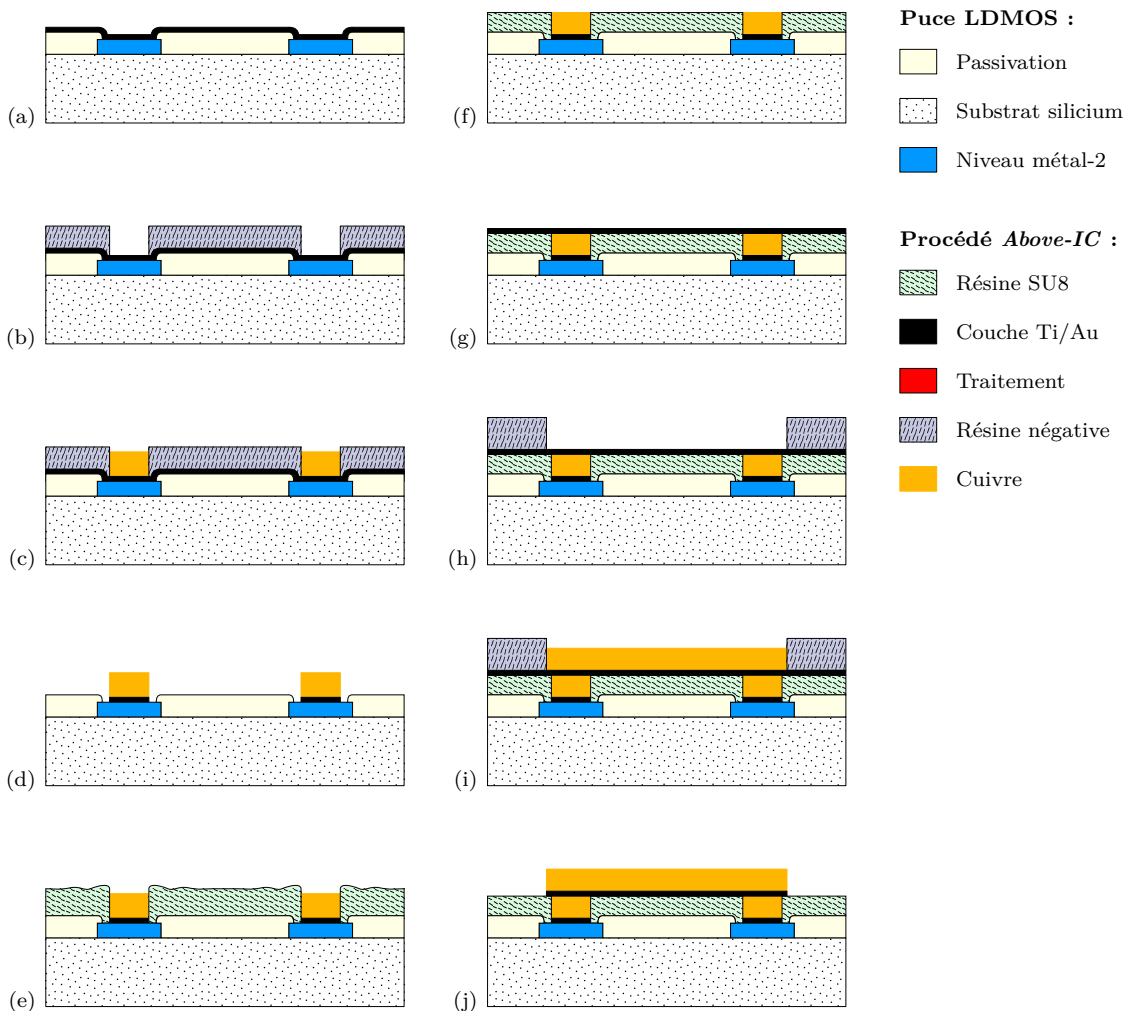


Figure 3.12 – Étapes technologiques relatives à la première génération du procédé.

2.6 Démonstrateurs et résultats expérimentaux

Les quatre topologies d'inductance ont été intégrées aux masques ayant servis à la fabrication des démonstrateurs. Outre le travail effectué en salle blanche, plusieurs étapes sont nécessaires pour aboutir aux démonstrateurs. Les plaquettes de 6 pouces fournies par *Freescale* sont d'abord rétrécies à 4 pouces pour les rendre compatibles avec les équipements de la centrale technologique du LAAS. Une fois la photolithographie achevée, les puces sont découpées par réticule et chaque réticule est aminci de 650 μm à 100 μm . La face arrière, qui correspond aux contacts de source des transistors LDMOS et aux prises de masse des capacités de pré-adaptation C_1 et C_2 (figure 3.1b), est métallisée puis reportée dans son boîtier par soudure tendre. Ne disposant pas des mêmes équipements que *Freescale*, ces étapes n'ont pas été réalisées à partir des mêmes matériaux ni selon les mêmes procédés que les composants LDMOS commerciaux. La solution mise en œuvre présente quelques inconvénients qui ont tendances à augmenter la résistance de contact entre le silicium et la semelle métallique du boîtier [13].

Bien que fonctionnelle, la caractérisation RF petit-signal du démonstrateur issu de la première fabrication a révélé plusieurs défauts. Les graphes de la figure 3.13 montrent des écarts de performances significatifs avec le composant commercial utilisé comme référence. L'extraction d'un modèle électrique du transistor a fait apparaître des résistances anormalement élevées au niveau des zones d'accès au transistor LDMOS et aux capacités, c'est-à-dire au niveau des vias reliant la puce aux structures *Above-IC*. Cette hypothèse a été confirmée par une analyse PEEM dont le résultat est reporté en figure 3.14. D'après cette micro-photographie, nous avons déduit que la phase de polissage mécanique consécutive au dépôt de la première couche de résine SU8 dégrade l'adhérence de la résine au niveau des flancs des vias. Le polissage libère des espaces qui permettent à la solution chimique d'attaque de la couche d'accrochage de s'infiltrer jusqu'à la métallisation supérieure de la puce et de créer les dégâts observés.

Pour corriger le problème, un nouveau jeu de masque a été dessiné. Plusieurs modifications y ont été apportées pour améliorer l'adhérence de la résine SU8 : les ouvertures des vias dans la résine SU8 ont été réduites et la section circulaire a été remplacée par une section rectangulaire. Le deuxième démonstrateur fabriqué est représentée en figure 3.15. Les caractéristiques petit-signal reportées sur la figure 3.13 affichent une très nette amélioration des coefficients de réflexion et du gain maximal par rapport au composant de référence. Ce résultat confirme la résolution du problème d'infiltration de la solution d'attaque chimique. Toutefois, un écart d'environ 2 dB persiste encore sur le gain $G_{T,max}$ par rapport à la référence en raison du facteur de qualité des inductances *Above-IC* inférieur à celui des fils microsoudés employés sur ce composant de référence.

Passons maintenant aux caractéristiques fort signal de ce deuxième démonstrateur (mesures *load-pull*). Pour un fonctionnement en classe B, les valeurs maximales du gain $G_{T,max}$, de la puissance de sortie P_{max} et du rendement (PAE) ont été extraites à 1,84 GHz après avoir polarisé le composant avec une tension V_{DS} de 28 V et un courant de drain de 500 mA. Les résultats obtenus sont reportées sur la table 3.1. Ceux-ci sont comparés à un composant témoin ainsi qu'à un transistor LDMOS commercial.

Dans ce tableau, la présence du transistor témoin est essentielle puisqu'il a suivi les mêmes étapes d'amincissement, de métallisation de la face arrière et de report en boîtier que le démonstrateur tout en exploitant les mêmes réseaux de préadaptation que le composant

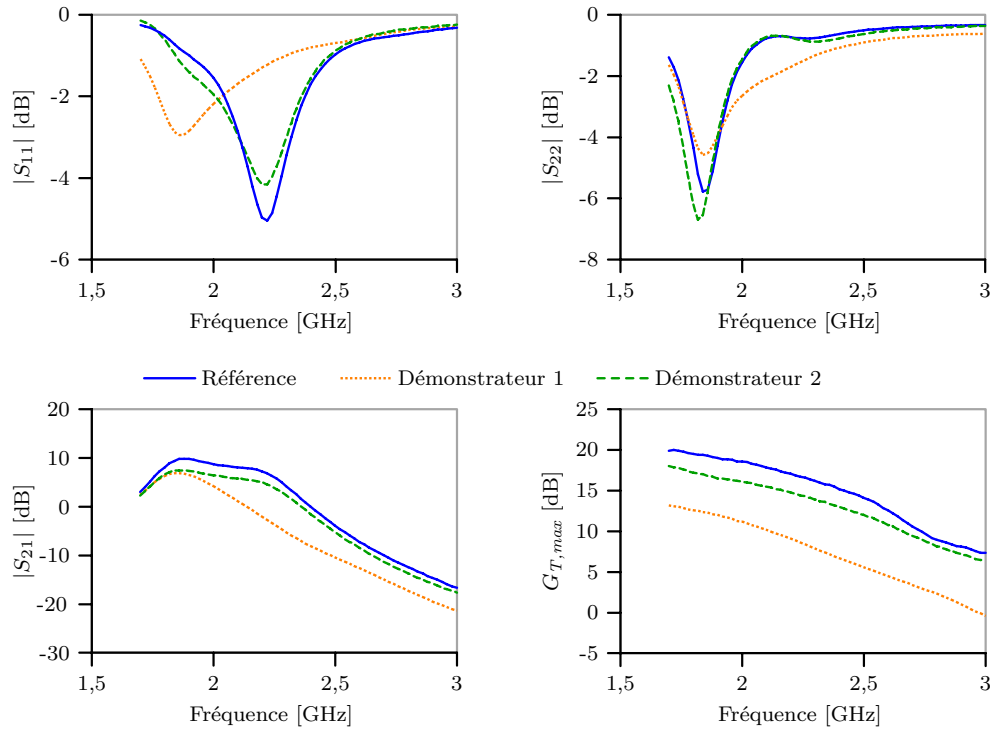


Figure 3.13 – Paramètres S et $G_{T,max}$ des deux démonstrateurs comparés à une puce commerciale.

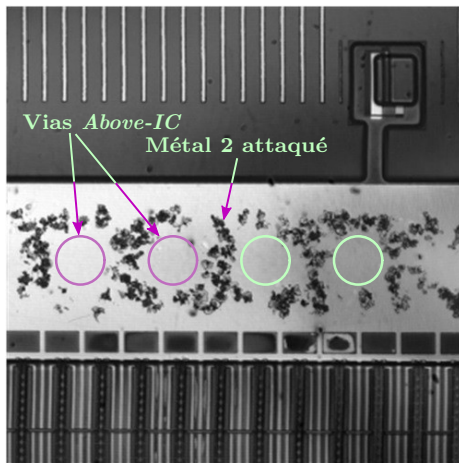


Figure 3.14 – État de surface dégradé de la métallisation supérieure visualisée au microscope PEEM.

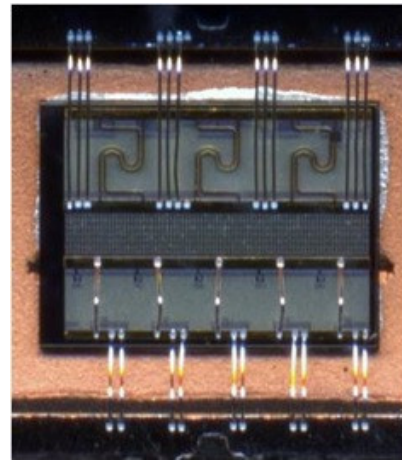


Figure 3.15 – Photographie du deuxième démonstrateur monté dans son boîtier.

commercial. Il présente par conséquent les mêmes imperfections que le démonstrateur pour ce qui est de la métallisation face arrière et de la soudure au boîtier. Pour la puissance maximale, les performances sont très proches entre tous les composants. Concernant le gain maximal, le composant témoin et le démonstrateur sont en retrait par rapport au LDMOS commercial, probablement en raison de la résistance de contact face arrière. Le gain $G_{T,max}$ légèrement plus élevé du démonstrateur par rapport au composant témoin indique une

Tableau 3.1 – Performances de plusieurs composants en régime fort-signal.

	P_{max} [dBm]	$G_{T,max}$ [dB]	PAE [%]
Démonstrateur n°2	48,8	16,75	54
Composant témoin	48,9	16,5	59
Composant commercial	49,2	18	63

contre-réaction parasite (ou couplage) plus faible entre le drain et la grille lorsque les inductances *Above-IC* sont utilisées, un résultat qui était attendu. Enfin, le rendement est le paramètre le plus impacté par cette résistance parasite de contact face arrière d'une part, mais aussi par les facteurs de qualité plus faible des inductances *Above-IC* (40), par rapport aux fils micro-soudés (100). La chute de 5 % observée entre le démonstrateur et le composant témoin est en accord avec le résultat des simulations électriques obtenues avec un coefficient de qualité de 40 pour l'inductance L_2 (100 initialement).

2.7 Deuxième génération du procédé

Bien que la mise en œuvre de la première version du procédé ait permis d'obtenir de très bonnes réalisations, celui-ci présente les deux inconvénients suivants :

- une couche quasi-homogène de résine **SU8** est obtenue en réduisant sa viscosité au moment du dépôt. Comme cette fluidité empêche la réalisation de fortes épaisseurs, deux inductions de 30 μm sont nécessaires pour obtenir l'épaisseur souhaitée,
- beaucoup de paramètres influencent la qualité du polissage, ce qui amène quelques interrogations quant à la reproductibilité de cet étape. En outre, le polissage mécanique s'accompagne d'un risque de casse non négligeable pour la plaquette.

Ces deux phases critiques induisent un trop grand nombre d'étapes et augmentent le temps et le coût de fabrication. En outre, l'étape de polissage présente un risque qui pourrait s'avérer problématique dans un contexte industriel. Un moyen permettant de s'affranchir de ces problèmes devait être trouvé. La solution apportée nous a conduit au développement de la seconde génération de la technologie d'interconnexion.

Ce second procédé gagne nettement en simplicité en permettant le dépôt tridimensionnel du cuivre. Plus concrètement, cette innovation permet de s'affranchir des étapes liées à la croissance des vias puisque ceux-ci sont maintenant réalisés en même temps que la métallisation supérieure. En conséquence, la résine **SU8** est déposée avant les vias et en une seule induction, ce qui permet finalement de s'affranchir de l'étape de polissage. Les étapes technologiques de ce procédé sont présentées sur la figure 3.16 et sont énumérées en suivant [13–15] :

- dépôt de la couche de résine **SU8** au dessus de la puce. Celle-ci n'est laissée que dans les zones qui doivent supporter l'inductance à fabriquer (a),
- l'étape (b) est facultative. Il est toutefois possible de rajouter et structurer une seconde épaisseur de **SU8**.

- dépôt de la couche d'accrochage Ti/Cu par évaporation sous vide du titane puis du cuivre (c),
- traitement de la résine SU8 par une solution chimique destinée à métalliser les flancs verticaux des piliers de résine pour permettre la croissance électrolytique des vias en même temps que les inductances (d),
- dépôt d'une couche sacrificielle de résine négative qui est ensuite insolée et gravée pour construire les moules qui serviront à la croissance électrolytique du cuivre (e),
- croissance électrolytique du cuivre pour former les vias et la métallisation supérieure en une seule étape (f),
- La résine négative est gravée ainsi que la couche d'accrochage. Une fine couche d'or est finalement déposée autour des zones métalliques pour protéger le cuivre de l'oxydation et faciliter la soudure des fils vers le boîtier du composant (g).

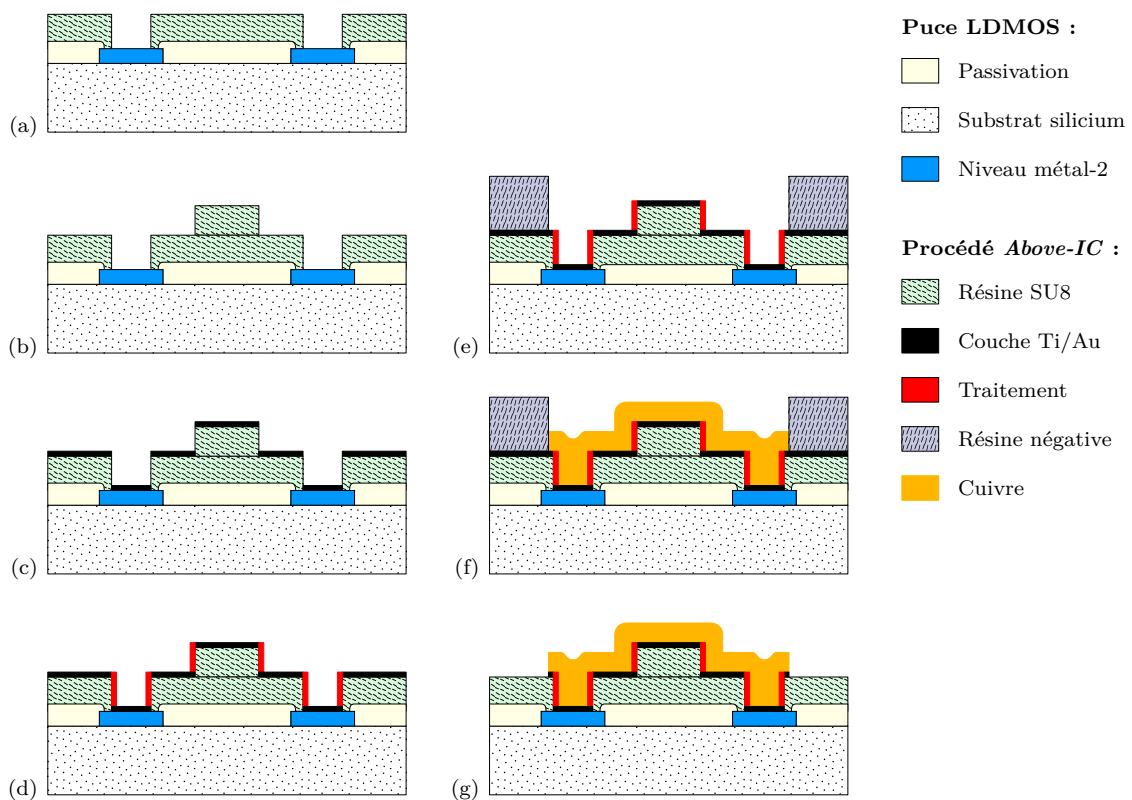


Figure 3.16 – Étapes technologiques du procédé tridimensionnel.

2.8 Nouveau démonstrateur

Un troisième démonstrateur a été conçu en utilisant la seconde génération du procédé *Above-IC*. En tirant profit de son caractère tridimensionnel, quatre rangées d'inductances

ont pu être intégrées au lieu de trois. Les accès sont toujours dédoublés pour distribuer les inductances sur la largeur du drain mais les lignes couplées sont maintenant fusionnées pour augmenter la largeur des rubans, qui a pu être augmentée de $40\ \mu\text{m}$ à $110\ \mu\text{m}$. En amenant l'épaisseur de la résine SU8 à $80\ \mu\text{m}$, le facteur de qualité est maintenant de l'ordre de 52 à 2 GHz.

Malheureusement, un mauvais dépôt de la couche d'accrochage du cuivre sur les plots du transistor a entraîné un arrachage systématique de ces plots lors des micro-soudures, interdisant toute caractérisation des composants. Le reste du procédé a toutefois très bien fonctionné comme en atteste la photographie de la figure 3.17.



Figure 3.17 – Résultat obtenu après application du procédé de seconde génération.

3 Vers une filière d'intégration de composants passifs 3-D

Dans l'application précédente, le procédé technologique a été optimisé pour proposer des inductances à fort coefficients de surtension en présence d'un plan métallique sous la couche diélectrique SU8. En éliminant cette contrainte, le graphe de la figure 3.5 suggère que des composants passifs encore plus performants peuvent être obtenus. Un support à faibles pertes voire isolant tels que le silicium à haute résistivité ou le verre doit alors être employé.

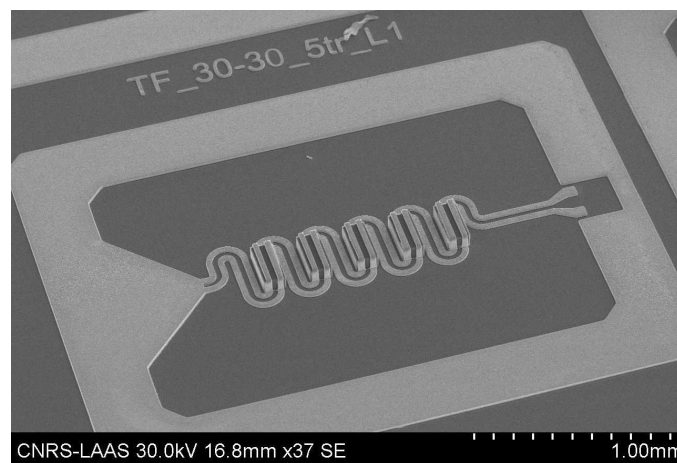
La possibilité de métallisation des flancs d'un pilier de résine SU8 simultanément avec le niveau haut et bas de la métallisation permet d'envisager la fabrication d'inductances et de transformateurs tridimensionnels très simplement. Il suffit pour cela de dessiner des méandres et de passer un tour sur deux au dessus d'un pilier de résine SU8 de façon à se rapprocher de la forme du solénoïde. Les performances de ce type de structure étant fortement liées à l'écart entre chaque tour de fil, des ratios hauteur/largeur très élevés doivent être recherchés pour la résine SU8 et pour la résine de moulage des métallisations.

Les premiers composants fonctionnels basés sur ce principe ont été obtenus à partir de 2011. Deux exemples de réalisations, un transformateur et une inductance sont détaillés dans cette partie.

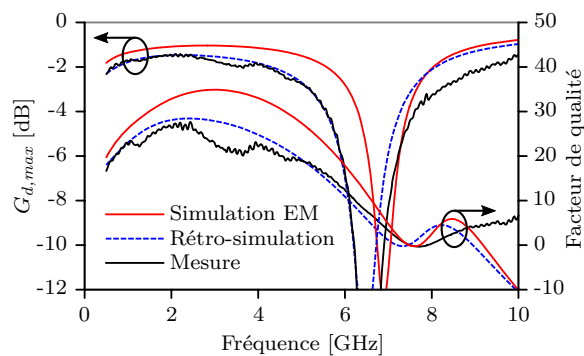
3.1 Transformateur et inductance à méandre 3-D

Les transformateurs et inductances ont été formés en utilisant des piliers de résine SU8 de 100 μm d'épaisseur. Les rubans font 30 μm de large pour 15 μm d'épaisseur et sont espacés de 30 μm .

Le transformateur 5:5 représenté en figure 3.18 mesure près de 1,4 mm de long. La caractérisation de ce composant révèle un gain disponible maximum $G_{d,max}$ de $-1,45$ dB pour un couplage magnétique k de 0,6 à la fréquence centrale de 2,5 GHz [16, 17]. Le



(a)



(b)

Figure 3.18 – (a) Transformateur fabriqué à l'aide du procédé 3-D, (b) gain $G_{d,max}$ et facteur de qualité de l'inductance du primaire simulés et mesurés en fonction de la fréquence.

coefficient de couplage k est limité par l'espacement important imposé entre chaque tour de fil par le procédé de fabrication. Ces résultats sont pénalisés par une sur-gravure des métallisations qui a été rendue nécessaire pour résorber quelques court-circuits formés entre les métallisations à la base des piliers de résine SU8. Cette opération a réduit la section des métallisations et amené une importante rugosité de surface limitant les performances.

Ces effets ont été pris en compte dans les performances rétro-simulées présentées sur la figure 3.18. Comparés à d'autres transformateurs relevés dans la littérature (figure 3.19), ces résultats sont comparables aux transformateurs planaires réalisés à partir de technologies silicium CMOS et BiCMOS classiques ou sur SOI [18–20] mais ils restent en retrait par rapport aux réalisations basées sur des procédés plus originaux tels que des structures suspendues dans l'air [21], de type Micro-Electro-Mechanical Systems (MEMs) [22, 23], ou à base de TSV [24] qui mettent tous en œuvre des stratégies différentes visant à s'affranchir des pertes substrat tout en limitant les pertes résistives grâce à des métallisations épaisses. La plupart des composants basés sur ces technologies sont des solénoïdes, ce qui démontre tout l'intérêt de ce type de structure par rapport aux circuits planaires.

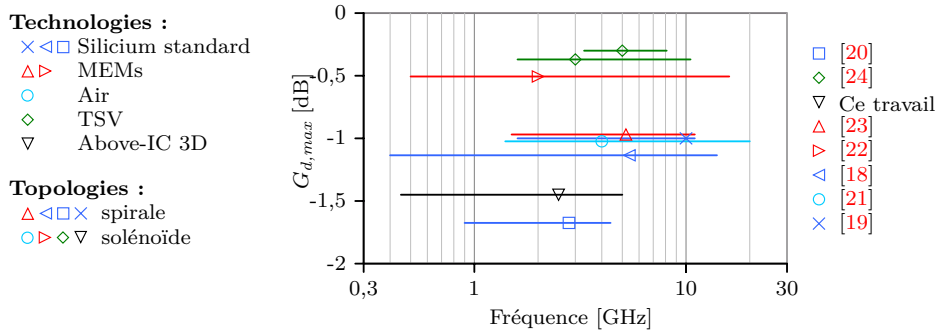


Figure 3.19 – État de l'art des transformateurs RF intégrés reportant le $G_{d,max}$ et la largeur de la bande de fréquence.

Pour l'inductance de la figure 3.20, les résultats de caractérisation montrent un facteur de qualité maximum de 33 environ pour une valeur d'inductance de 2,9 nH. Ce résultat, bien que relativement élevé, reste néanmoins très en deçà de la valeur 45 prévue initialement par la simulation électromagnétique, qui modélise pourtant correctement la valeur de l'inductance et le facteur de qualité aux fréquences les plus basses. Dans ce cas, ce n'est ni la rugosité ni les variations du procédé qui expliquent de tels écarts. Un phénomène parasite se produit lors de la caractérisation que nous expliquons maintenant [25].

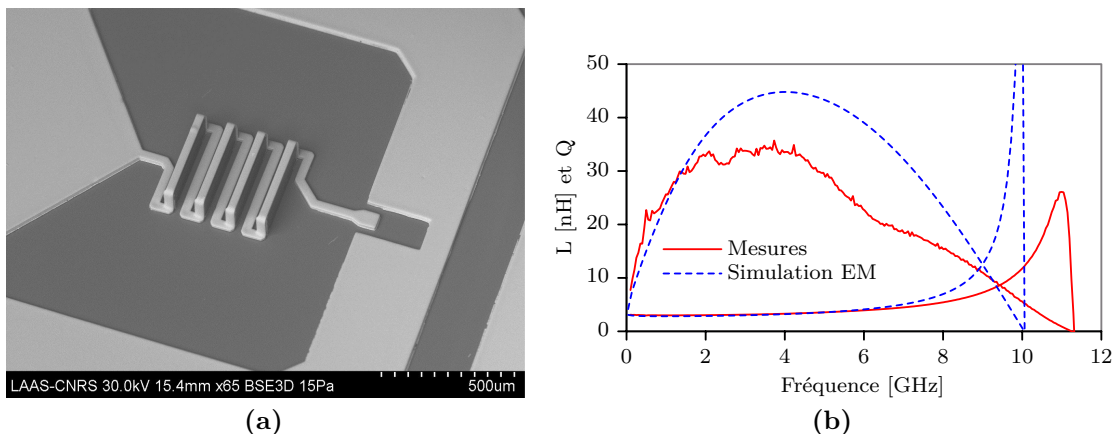


Figure 3.20 – (a) Micro-photographie MEB de l'inductance 3-D, (b) Inductance L et facteur de qualité Q simulées et mesurées en fonction de la fréquence.

3.2 Caractérisation des inductances à fort coefficient de qualité

Les problèmes observés ne sont pas spécifiques à la technologie développée au LAAS. Des écarts similaires entre simulations électromagnétiques et mesures ont pu être observés sur des inductances planaires fabriquées à partir d'une filière technologique IPD commercialisée par la société IPDiA, située à Caen. Le procédé IPDiA exploite un substrat silicium à haute résistivité sur lequel sont formés deux niveaux métalliques en cuivre de $4\ \mu\text{m}$ et de $12\ \mu\text{m}$ d'épaisseur. L'exemple de la figure 3.21 montre une inductance spirale de $7,1\ \text{nH}$ formée à partir du niveau métallique supérieur, le plus épais. Les rubans utilisés font $40\ \mu\text{m}$ de large et sont espacés de $30\ \mu\text{m}$. Le diamètre extérieur du composant est d'environ $780\ \mu\text{m}$.

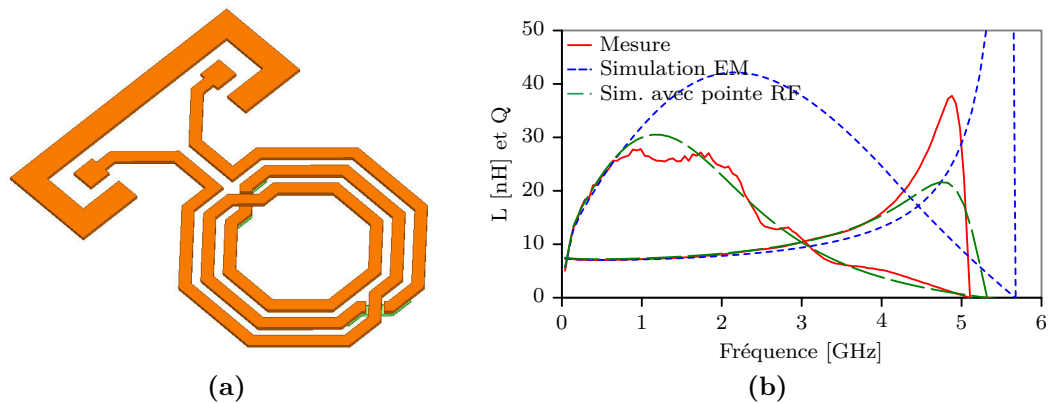


Figure 3.21 – (a) Modèle de l'inductance planaire fabriquée par IPDiA, (b) Inductance L et facteur de qualité Q simulés et mesurés en fonction de la fréquence.

À chaque fois, les résultats expérimentaux montrent des performances en retrait par rapport à ce qui est attendu en simulation, sur le facteur de qualité et sur la fréquence de résonance du composant. Sachant que les paramétrages du logiciel de simulation ont pu être vérifiés pour d'autres types de structures, et que les valeurs d'inductance et de facteur de qualité prédits sont corrects en dessous de 1 GHz, il faut en déduire que des conditions expérimentales particulières déclenchent un phénomène parasite qui n'est pas reproduit en simulation. Après avoir écarté un possible phénomène de conduction du à une accumulation de charges en surface du substrat par effet MIS [26], l'influence de la pointe RF utilisée pour la mesure est mise en évidence. La figure 3.22 illustre cet effet en présentant le facteur de qualité d'une même inductance 3-D issu de plusieurs mesures effectuées à l'aide de trois pointes RF différentes. Une forte dispersion du résultat est observée entre les mesures. Au préalable, chaque pointe a fait l'objet d'un calibrage Short-Open-Load (SOL) pour éliminer l'influence de l'appareillage de mesure et ramener le plan de référence à l'extrémité de la pointe. Bien que possédant toutes trois la même topologie Ground-Signal-Ground (GSG) avec un espacement de $150\ \mu\text{m}$ entre chaque point de contact, les pointes se différencient par le type de ligne de transmission employé pour propager le signal RF jusqu'aux contacts et de son angle d'élévation par rapport au plan horizontal (table 3.2).

Alors que la partie terminale de la pointe *Cascade Z-probe* est un guide coplanaire qui se rétrécit progressivement jusqu'aux contacts GSG, les pointes *Cascade Infinity* et *MPI* utilisent plutôt un guide coaxial entouré de matériau absorbant terminé par un accès coplanaire GSG. Ces deux dernières présentent le même angle d'élévation de 45° du guide

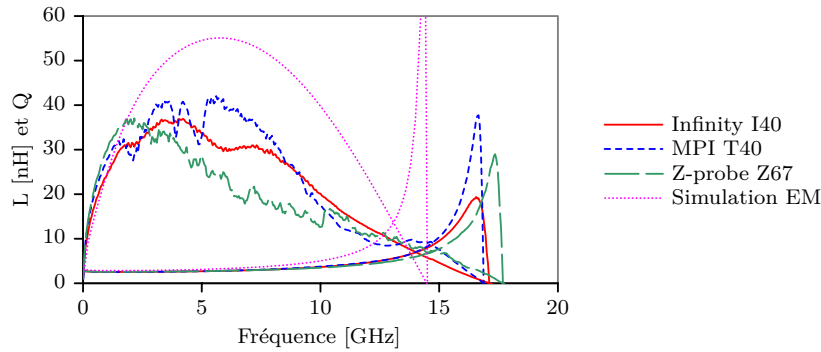
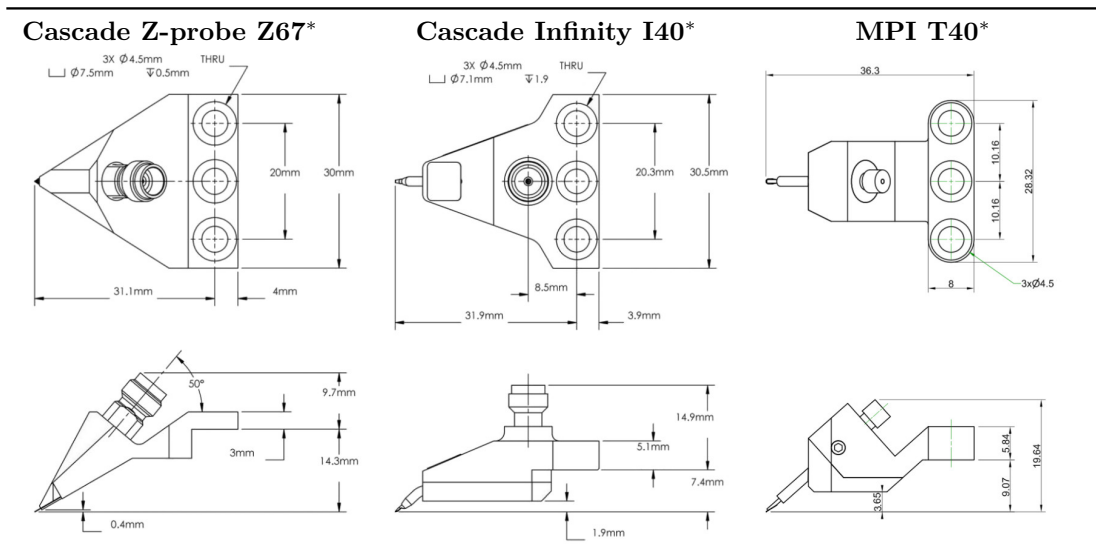


Figure 3.22 – Influence de la pointe RF sur les caractéristiques électriques de l'inductance.

Tableau 3.2 – Les trois points RF GSG comparés.



*Données publiques issues des sites web de leur fabricant respectif.

coaxial. La transition guide coaxial-CPW est toutefois beaucoup plus courte sur la pointe *Infinity* que sur la pointe *MPI* ce qui permet au gainage absorbant de se prolonger au plus près de l'extrémité de la pointe.

Pour tenter de reproduire en simulation la perturbation constatée expérimentalement, nous avons décidé d'intégrer la partie terminale de l'une de ces pointes dans le simulateur électromagnétique. Pour être comparable à la mesure, le résultat de simulation doit être épluché jusqu'à l'extrémité de la pointe. À ce stade, nous avons été confronté à deux difficultés importantes : il n'existe pas de plan coté ou de modèle 3-D précis de la partie terminale de ces pointes et la technique d'épluchage implémentée dans le simulateur électromagnétique ANSYS HFSS interdit la présence de discontinuité électromagnétique sur toute la distance à éplucher du résultat brut. Nous avons choisi de modéliser la pointe *Infinity* pour pouvoir contourner ces deux difficultés. En effet, cette pointe dispose de la structure la plus homogène avec une partie terminale la plus compacte parmi les trois pointes à notre disposition. En simplifiant à l'extrême la transition guide coaxial-CPW

(figure 3.23a), il ne reste qu'à dessiner la partie finale du guide coaxial qui dépasse de la gaine absorbante. Tant que la longueur d'onde simulée reste très supérieure aux dimensions de la partie négligée de la pointe, on peut raisonnablement penser que l'erreur commise en simulation reste minimale. Ce raisonnement vaut également pour la technique d'épluchage implémentée dans HFSS que nous avons employé pour ramener le plan de référence au niveau des contacts GSG.

Les simulations effectuées sur le méandre 3-D incluant le modèle de pointe montrent maintenant un excellent accord avec les mesures effectuées avec la pointe *Infinity* (figure 3.23b), ce que nous avons pu vérifier pour un grand nombre de structures, y compris avec les selfs planaires d'*IPDiA* (figure 3.21).

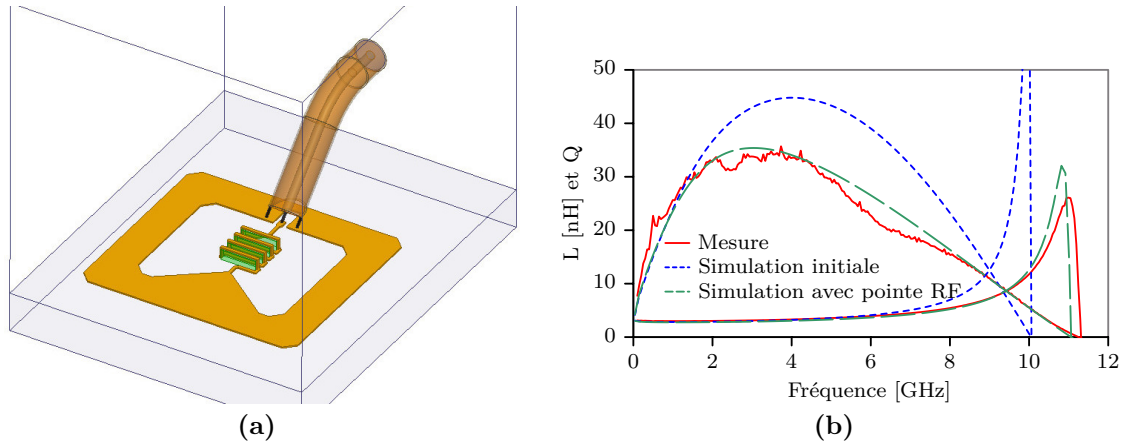


Figure 3.23 – (a) Modèle 3-D de l'inductance incluant la pointe *Infinity*, (b) Caractéristiques électriques mesurées et incluant les nouveaux résultats de simulation EM comparés à la simulation initiale.

Le simulateur électromagnétique permet d'accéder à la quantité de puissance perdue par rayonnement (P_{rad}) et par dissipation dans les matériaux (substrat, résine SU8 et métallisations) (P_{diss}). Il est également possible de récupérer la quantité d'énergie emmagasinée (W_{sto}) par la structure [25]. Toutes ces quantités sont calculées à partir du plan de référence fixé à l'extrémité de la pointe RF modélisée. Ces données ont été relevées à 5 GHz pour le méandre 3-D dans les deux cas de simulation, avec port interne et en incluant le modèle de pointe RF (Tableau 3.3). Ce tableau montre que l'énergie stockée

Tableau 3.3 – Énergie stockée, puissances dissipée et rayonnée à 5 GHz pour le méandre 3-D.

	W_{sto} (pJ)	P_{rad} (μ W)	P_{diss} (μ W)
Simulation initiale avec port interne	220	8	332
Simulation incluant la pointe RF	240	171	341

W_{sto} ainsi que la puissance dissipée P_{diss} sont pratiquement identiques dans les deux cas. La puissance rayonnée est par contre multipliée par 20 dès que le modèle de pointe est introduit dans le simulateur. L'observation des lignes de champs dans le simulateur

électromagnétique permet de déduire que l'ensemble inductance + pointe RF s'apparente à un dipôle rayonnant. La première branche du dipôle est constituée par l'inductance avec son anneau métallique tandis que l'extérieur du guide coaxial de la pointe réalise la seconde branche. Une différence de potentiel s'installe entre ces deux éléments et crée un rayonnement parasite. Pour autant, cet effet n'a pas été observé sur les inductances de préadaptation d'impédance du transistor LDMOS évoquées dans la partie 2 alors que les facteurs de qualité mesurés sont du même ordre de grandeur. Contrairement à ce qui peut être observé ici, les lignes de champs créées par les rubans inductifs se referment toutes sur le plan métallique massif et uniforme présent sous la couche de résine SU8. Les contacts de masse de la pointe de test sont directement connectés à ce plan, ce qui empêche l'apparition d'un dipôle rayonnant parasite entre l'inductance et la pointe.

Dans le cas du méandre 3-D, l'utilisation d'un substrat isolant de forte épaisseur rend la structure flottante. Le seul plan métallique massif se trouvant à proximité est le plateau métallique de la station de mesure mais la pointe RF n'y est pas raccordée aux fréquences RF. Par conséquent, nous devrions être en mesure d'éliminer le rayonnement parasite en reliant l'anneau métallique qui entoure le méandre 3-D de la figure 3.20 au plateau métallique de la station de mesure. Cette expérience a été menée sur le méandre 3-D en le reportant sur un large support métallique (figure 3.24). Les résultats de mesure

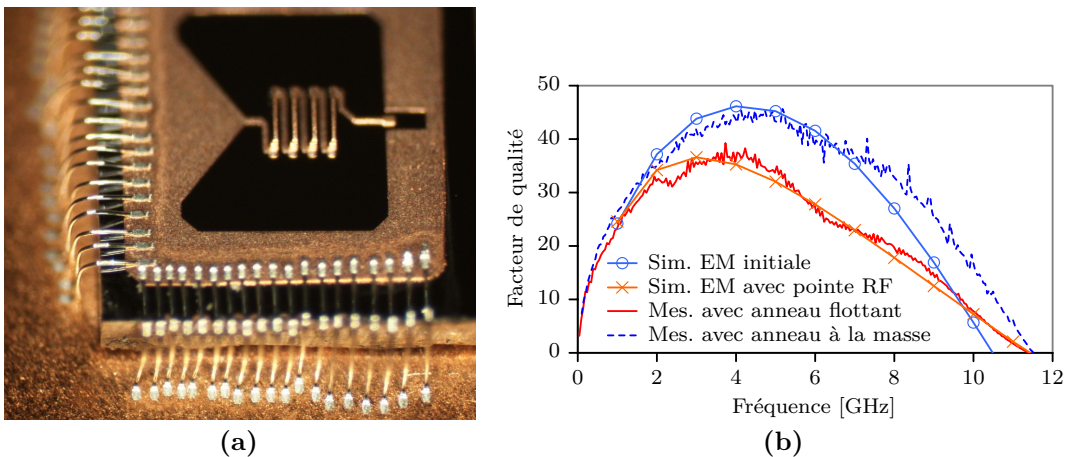


Figure 3.24 – Expérience supprimant le rayonnement parasite constaté expérimentalement : (a) photographie illustrant l'expérience réalisée, (b) facteurs de qualité simulés et mesurés avant et après la mise en place des fils micro-soudés.

de la nouvelle structure montrent que l'on retrouve bien le facteur de qualité initialement simulé dès que l'anneau de l'inductance est connecté au plan métallique, un signe de la quasi-disparition du rayonnement parasite. La seule différence constatée entre la simulation initiale et la mesure issue du dispositif connecté au plan métallique se situe au niveau de la fréquence de résonance (SRF). La valeur expérimentale de SRF est plus élevée en raison de la fine épaisseur de colle isolant rajoutée entre la puce et le plan métallique. Cette épaisseur de colle n'a pas été prise en compte dans la simulation initiale. Une étude qualitative complète est décrite dans la référence [25]. Ces résultats ont également fait l'objet d'un article soumis à la revue *IEEE Transactions on Microwave Theory and Techniques* et qui est en cours de relecture.

3.3 Développements technologiques en cours et exemples d'applications

Les développements technologiques se poursuivent sur ce procédé tridimensionnel. Nous travaillons actuellement à l'implémentation d'un second niveau métallique de façon à obtenir de véritables solénoïdes et viser un accroissement significatif des densités d'intégration et des performances.

À titre d'exemple, la figure 3.25 reproduit les résultats de simulation d'un transformateur 2:2 en cours de fabrication. Le gain maximum disponible atteint la valeur de $-0,5$ dB avec des rubans de $20\ \mu\text{m}$ de large, de $15\ \mu\text{m}$ d'épaisseur et espacés de $20\ \mu\text{m}$, ce qui place ce résultat parmi les meilleures réalisations actuelles d'après l'état de l'art de la figure 3.19. En ajoutant un condensateur de $270\ \text{fF}$ en série sur chacun des accès du transformateur, une bande passante à 1 dB de 8–19 GHz est obtenue, soit plus d'une octave. Ces résultats, réalisant l'état de l'art, présagent de très belles perspectives pour ces travaux.

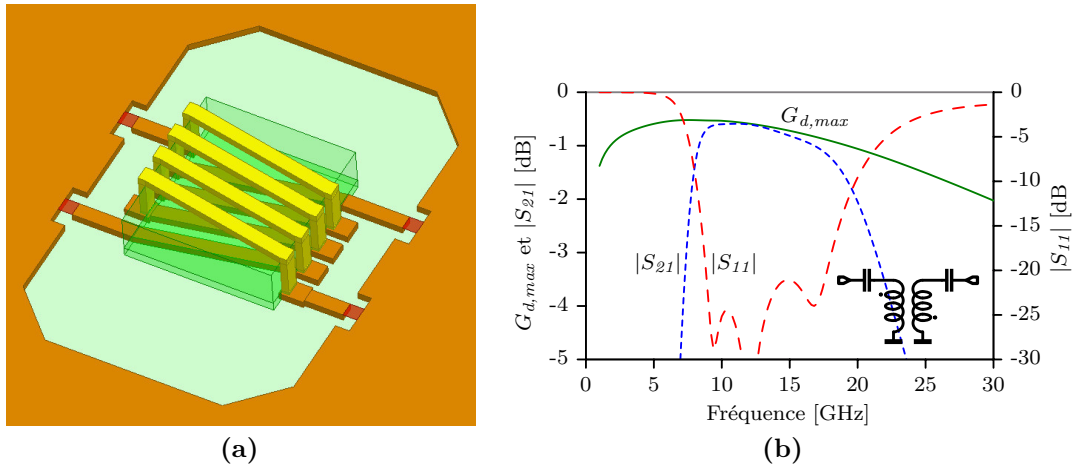


Figure 3.25 – (a) Modèle 3-D d'un transformateur à solénoïde 2:2, (b) Simulation électromagnétique du $G_{d,max}$ à vide et des paramètres S obtenus avec un condensateur d'adaptation placé sur chaque accès.

Une autre application visant le domaine de la **compatibilité électromagnétique (CEM)** est également en cours de développement dans le cadre d'un programme de recherche financé par l'ANR qui a démarré au printemps 2015. Notre tâche consiste à concevoir des micro-sondes pour la mesure de champ proche à l'aide du même procédé technologique que l'exemple précédent. Cette sonde doit ensuite permettre d'effectuer des mesures de champ rayonné sur des cartes électroniques. L'objectif poursuivi est d'obtenir un outil de diagnostic doté d'une résolution spatiale inédite à ce jour pour suivre les trajets des perturbations jusque dans les puces, ce que les moyens de caractérisation actuels ne permettent pas de faire.

4 Conclusion

Ce chapitre retrace les évolutions d'une technologie dédiée à l'intégration de composants passifs RF que nous avons commencé à développer à partir de 2005.

Les premiers travaux ont été initiés avec la thèse CIFRE d'Ayad Ghannam dans le cadre d'une collaboration avec *Freescale Semiconductors* entre 2006 et 2010 [13]. L'objectif de la

collaboration était d'intégrer les réseaux de pré-adaptation en impédance de transistors **LDMOS RF** en s'affranchissant de l'utilisation de fils micro-soudés. Des résultats très satisfaisants ont été obtenus. Le niveau de performance atteint par le deuxième démonstrateur réalisé, très proche du composant commercial pris en référence, a permis de valider tout l'intérêt de l'approche *Above-IC* choisie pour cette application. Les résultats ont permis à *Freescale* de breveter l'idée fin 2009 [27].

Les étapes relatives à la formation des vias et de polissage mécanique ont ensuite été supprimées et remplacées par la fabrication, en une seule étape, des pistes métalliques au pied, au sommet et sur les faces latérales du pilier de résine **SU8**. Cette nouvelle version du procédé, beaucoup plus simple à mettre en oeuvre, a fait l'objet d'un nouveau dépôt de brevet fin 2010 [28]. Avec ce procédé, nous sommes parvenu à fabriquer un transformateur et une inductance 3-D en dessinant des méandres de façon à se rapprocher de la forme solénoïdale. Les performances de ce type de structures dépendent fortement de l'espace laissé entre chaque tour de métallisation. Cela se traduit en pratique par un besoin en ratios hauteur/largeur très élevés pour la résine **SU8** et pour la résine de moulage des métallisations, une limitation que nous avons sans cesse cherché à repousser par une amélioration continue des méthodes de fabrication. Les premiers composants fonctionnels présentés dans ce chapitre offrent un niveau de performance impossible à atteindre par les filières micro-électroniques conventionnelles silicium ou III-V et d'un niveau comparable à ce que proposent les filières **IPD** traditionnelles mais avec un encombrement bien plus réduit [29, 30].

Ce choix d'intégration ne permettant pas de réaliser de croisement entre la métallisation supérieure et inférieure, nous avons cherché à implémenter un niveau métallique supplémentaire. Cette nouvelle amélioration du procédé permettra de réduire encore plus les écartements entre les spires pour plus de performances tout en relâchant les contraintes qui pèsent sur le ratio hauteur/largeur de la résine **SU8**. C'est le travail qui a été confié à Olga Bushueva en 2012 pour sa thèse et qui est en train de s'achever. Les dernières réalisations affichent un niveau de performance réalisant l'état de l'art.

Enfin, je ne pouvais pas terminer ce chapitre sans souligner l'initiative d'Ayad Ghannam qui a décidé de créer la société *3DiS technologies* en 2014. L'objectif de cette *start-up* sera la commercialisation de la technologie à travers un service d'intégration personnalisée pour les équipementiers du domaine de l'électronique.

Bibliographie

- [1] Motorola Semiconducteurs S.A.S. : 100 W RF Transistor for 900 MHz Cellular Applications. *Microwave Journal*, 46(4):128, avril 2003.
- [2] Ru FENG et Richard J. FARRIS : Influence of processing conditions on the thermal and mechanical properties of SU8 negative photoresist coatings. *Journal of Micromechanics and Microengineering*, 13(1):80, janvier 2003.
- [3] Ricardo OSORIO : Micromachined strip line with SU-8 as the dielectric. *In GAAS 2003. The European Gallium Arsenide and other Compound Semiconductors Application Symposium*, pages 179–182, 2003.

- [4] F.D. MBAIRI et H. HESSELBOM : High frequency design and characterization of SU-8 based conductor backed coplanar waveguide transmission lines. *In International Symposium on Advanced Packaging Materials : Processes, Properties and Interfaces, 2005. Proceedings*, pages 243–248, 2005.
- [5] Roger B. MARKS : A multilayer method of network analyzer calibration. *IEEE Transactions on Microwave Theory and Techniques*, 39(7):1205–1215, 1991.
- [6] Roger B. MARKS et D.F. WILLIAMS : Interconnection Transmission Line Parameter Characterization. *In ARFTG Conference Digest-Fall, 40th*, volume 22, pages 88–95, 1992.
- [7] J. HINOJOSA : S-parameter broadband measurements on-coplanar and fast extraction of the substrate intrinsic properties. *IEEE Microwave and Wireless Components Letters*, 11(2):80–82, février 2001.
- [8] William B. WEIR : Automatic measurement of complex dielectric constant and permeability at microwave frequencies. *Proceedings of the IEEE*, 62(1):33–36, janvier 1974.
- [9] I.J. BAHL et Ramesh GARG : Simple and accurate formulas for a microstrip with finite strip thickness. *Proceedings of the IEEE*, 65(11):1611–1612, novembre 1977.
- [10] E. HAMMERSTAD et O. JENSEN : Accurate Models for Microstrip Computer-Aided Design. *In Microwave symposium Digest, 1980 IEEE MTT-S International*, pages 407–409, 1980.
- [11] A. GHANNAM, C. VIALON, D. BOURRIER et T. PARRA : Dielectric microwave characterization of the SU-8 thick resin used in an above IC process. *In Microwave Conference, 2009. EuMC 2009. European*, pages 1041–1044, 2009.
- [12] A. GHANNAM, D. BOURRIER, C. VIALON, J. BOULAY, G. BOUISSE et T. PARRA : High-Q SU8 based above-IC inductors for RF power devices. *In 2011 IEEE 11th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, pages 25–28, 2011.
- [13] Ayad GHANNAM : *Conception et intégration "above IC" d'inductances à fort coefficient de surtension pour applications de puissance RF*. Thèse de doctorat, Université Toulouse 3 Paul Sabatier (UT3), Toulouse, novembre 2010.
- [14] A. GHANNAM, L. OURAK, D. BOURRIER, C. VIALON et T. PARRA : Efficient low cost process for single step metal forming of 3d interconnected above-IC inductors. *In Solid-State Device Research Conference (ESSDERC), 2011 Proceedings of the European*, pages 367–370, 2011.
- [15] A. GHANNAM, D. BOURRIER, L. OURAK, C. VIALON et T. PARRA : 3-D Multilayer Copper Interconnects for High-Performance Monolithic Devices and Passives. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 3(6):935–942, juin 2013.

-
- [16] Lamine OURAK, Ayad GHANNAM, Christophe VIALON et Thierry PARRA : Conception et optimisation de transformateurs solénoïdaux et toroïdaux pour l'intégration de matériaux magnétiques. *In 17 èmes Journées Nationales Microondes*, Brest, mai 2011.
- [17] L. OURAK, A. GHANNAM, D. BOURRIER, C. VIALON et T. PARRA : Solenoidal transformers for magnetic materials integration. *In Microwave Conference Proceedings (APMC), 2012 Asia-Pacific*, pages 854–856, 2012.
- [18] Kyuchul CHONG et Ya-Hong XIE : High-performance on-chip transformers. *IEEE Electron Device Letters*, 26(8):557–559, août 2005.
- [19] T. BIONDI, Ang. SCUDERI, E. RAGONESE et G. PALMISANO : Analysis and modeling of layout scaling in silicon integrated stacked transformers. *IEEE Transactions on Microwave Theory and Techniques*, 54(5):2203–2210, mai 2006.
- [20] V.N.R. VANUKURU et A. CHAKRAVORTY : High Density Solenoidal Series Pair Symmetric Inductors and Transformers. *IEEE Transactions on Electron Devices*, 61(7):2503–2508, juillet 2014.
- [21] Dae-Hee WEON et S. MOHAMMADI : High Performance 3-D Helical RF Transformers. *In Microwave Symposium, 2007. IEEE/MTT-S International*, pages 1897–1900, juin 2007.
- [22] Lei GU et Xinxin LI : High-Performance CMOS-Compatible Solenoidal Transformers With a Concave-Suspended Configuration. *IEEE Transactions on Microwave Theory and Techniques*, 55(6):1237–1245, juin 2007.
- [23] Yo-Sheng LIN, Chang-Zhi CHEN, Hsiao-Bin LIANG et Chi-Chen CHEN : High-Performance On-Chip Transformers With Partial Polysilicon Patterned Ground Shields (PGS). *IEEE Transactions on Electron Devices*, 54(1):157–160, janvier 2007.
- [24] Zhiping FENG, M.R. LUECK, D.S. TEMPLE et M.B. STEER : High-Performance Solenoidal RF Transformers on High-Resistivity Silicon Substrates for 3d Integrated Circuits. *IEEE Transactions on Microwave Theory and Techniques*, 60(7):2066–2072, juillet 2012.
- [25] Olga BUSHUEVA, Ayad GHANNAM, Christophe VIALON et Thierry PARRA : Pertes par rayonnement lors de la caractérisation sous pointes d'inductances à fort Q. *In 19 èmes Journées Nationales Microondes*, Bordeaux, juin 2015.
- [26] Nagendra Bhargava BHARATULA, Sandro FARRIS, Sabrina COLPO, Behzad REJAEI et J.N. BURGHARTZ : Integrated transmission lines on high resistivity silicon considering biasing effects. *In SAFE 2002 Proceedings of 5th Semiconductor Advances for Future Electronics Workshop*, pages 5–8, Veldhoven, The Netherlands, 2002.
- [27] Freescale Semiconductor, Inc. *High Power Semiconductor Device for Wireless Applications and Method of Forming a High Power Semiconductor Device*. Jean Marie BOULAY et Ayad GHANNAM. Brevet US2011221033. septembre 2011.

- [28] Centre National de la Recherche Scientifique. *Procédé de fabrication d'un circuit intégré*. Ayad GHANNAM, David BOURRIER, Monique DILHAN, Christophe VIALON et Thierry PARRA. Brevet FR2965659, WO2012045981. avril 2012.
- [29] F. MURRAY, F. LECORNEC, S. BARDY, C. BUNEL, J.F.C. VERHOEVEN, F.C.M. van den HEUVEL, J.H. KLOOTWIJK et F. ROOZEBOOM : Silicon Based System-in-Package : a new technology platform supported by very high quality passives and system level design tools. *In 2007 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pages 149–153, 2007.
- [30] Richard RENARD : STMicroelectronics offers full foundry services for its RF IPD process. Rapport technique TA0348, STMicroelectronics, novembre 2013.

Conclusion générale et perspectives

1 Conclusion générale

Le travail présenté dans ce manuscrit constitue une synthèse des activités de recherche que j'ai menées sur la période 2005 – 2015. Comme toute synthèse, certains travaux non moins intéressants mais plus ponctuels ou pas totalement achevés sont laissés de côté pour mieux faire émerger les deux fils conducteurs qui ont vraiment orientés nos réflexions tout au long de cette période. Les éléments de prospective présentés en suivant montrent que ces fils ne sont pas prêts d'être rompus puisque les problématiques d'hier seront encore celles de demain à une différence d'échelle près.

Le premier chapitre traite de la transposition en fréquence du bruit dans les amplificateurs de puissances **RF**. Ce mécanisme est identifié pour être à l'origine de la majeure partie de l'augmentation du niveau de bruit constatée aux fréquences **RF** en sortie d'un amplificateur de puissance fonctionnant en régime non-linéaire. Les autres contributeurs sont également quantifiés et des solutions sont proposées pour lutter contre ce phénomène sans dégrader les autres caractéristiques de l'amplificateur.

Le thème de la transposition en fréquence des signaux se retrouve une nouvelle fois au centre des discussions dans le deuxième chapitre mais l'objectif est cette fois porté sur l'optimisation des performances des mélangeurs passifs dans les filières silicium dans un contexte de montée en fréquence des circuits **RF** vers la gamme millimétrique. La première partie explique comment tirer profit du transistor **MOS** non polarisé pour réaliser un mélangeur. Celle-ci est volontairement détaillée pour bien faire comprendre de quelle manière les imperfections du composant affectent les performances de la fonction à travers le gain de conversion, la linéarité et le facteur de bruit des trois principales configurations du mélangeur passif rencontrées dans la littérature. En choisissant judicieusement la géométrie du transistor, nous montrons d'abord que de très bonnes performances du mélangeur passif peuvent être maintenues au moins jusqu'à la fréquence de transition du composant. Le démonstrateur conçu en technologie **BiCMOS** 0,13 μm affiche un fonctionnement correct jusqu'à 80 GHz en utilisant des transistors **MOS** dotés d'une f_t de 85 GHz. Le mélangeur à échantillonnage est ensuite utilisé contre les pertes de conversion. Un premier démonstrateur permet de démontrer l'intérêt de cette idée à 2,4 GHz. Pour dépasser la limite en fréquence imposée par les circuits numériques utilisés dans l'oscillateur local, un générateur d'impulsion analogique ultra large bande est développé. Celui-ci permet alors d'étendre le principe du mélangeur à échantillonnage jusqu'à 27 GHz. La fréquence **RF** maximale peut être portée à 68 GHz en plaçant le mélangeur dans un mode de sous-échantillonnage. Ces deux circuits représentent finalement une amélioration en fréquence de l'ordre d'une décade par rapport à l'état de l'art.

Enfin, ce recul de dix années me permet de mesurer à quel point certaines opportunités peuvent s'avérer fructueuses. Le sujet décrit dans le chapitre 3 entre directement dans cette

catégorie d'événements en traitant des évolutions successives du procédé technologique *above-IC* sur lequel nous travaillons depuis 2005. L'objectif initial de ce travail a été de remplacer les fils micro-soudés servant d'éléments de pré-adaptation en impédance sur un transistor **LDMOS** de 50 W qui présentent un certain nombre d'inconvénients. Les très bons résultats obtenus nous ont amené à poursuivre les développements et à considérer d'autres applications. En 2010, une innovation majeure, que nous avons breveté [1], nous a permis de simplifier le procédé pour le rendre tridimensionnel en effectuant simultanément la croissance électrolytique des vias et des métallisations sur deux niveaux distincts. Grâce à cette nouveauté, nous sommes actuellement capables de fabriquer de véritables composants inductifs 3-D (solénoïdes), des topologies inaccessibles aux filières technologiques silicium traditionnelles qui sont avant tout planaires. En 2014, ces travaux ont donné naissance à la start-up *3DiS technologies*¹ qui se chargera de commercialiser la technologie.

2 Éléments de prospective

2.1 Constat et évolution des applications sans fil pour la prochaine décennie

Depuis le milieu des années 90, une multitude de standards de communication sans fil ont été créés pour assurer la connectivité de différentes classes d'objets selon les besoins exprimés en terme de débit, de portée ou d'autonomie (**Bluetooth**, **Zigbee**, **Wi-Fi**, téléphonie mobile de la **2G** à la **4G**, etc...). D'ici quelques années, la majeure partie des appareils de notre quotidien disposeront d'une connexion sans fil pour mieux interagir avec les personnes et leur environnement. Ce monde ultra-connecté vers lequel nous nous orientons devrait engendrer des trafics de données absolument considérables sur les réseaux.

Pour parvenir à y faire face, des réseaux sans fil à très haut débit devront être développés pour compléter les infrastructures fibrées sur les parties terminales. De grandes largeurs de bande devront être mobilisées pour assurer les débits de l'ordre du gigabit par seconde qui seront nécessaires. Ce ne sera guère possible dans les bandes de fréquences actuelles comprises entre 700 MHz et 6 GHz à cause de l'encombrement extrême du spectre.

Dans ce contexte, l'utilisation des ondes millimétriques, qui correspondent à des fréquences supérieures à 30 GHz, apparaît incontournable d'abord parce que de grandes largeurs de bandes y sont disponibles mais aussi parce que la diminution de la longueur d'onde offre un certain nombre d'avantages tels que la réduction de la taille des antennes. Le niveau de maturation des filières **CMOS** devrait d'abord permettre l'utilisation des bandes millimétriques les plus basses, c'est-à-dire les bandes **Q**, **V** et **W**. Les principales applications à en tirer profit seront les prochaines générations de satellites de télécommunications, la téléphonie mobile (5G) ou encore les réseaux locaux (**Wi-Fi**) et personnels. Les radars embarqués automobile en bande **W** sont aussi sur le point de se démocratiser, avec notamment l'arrêt de l'utilisation de la bande des 24 GHz prévue pour 2022 en Europe.

En se projetant un peu plus loin dans le futur, ce seront les fréquences THz, qualifiées comme telles au delà de 100 GHz, à partir desquelles nous devrions voire apparaître un certain nombre d'applications dans des domaines très variés allant des télécommunications pour assurer des débits encore plus élevés toujours à courte distance, aux dispositifs de détection de gaz, de polluants ou encore des caméras de détection d'objets cachés ou pour

1. Les services proposés par *3DiS technologies* sont détaillés ici : <http://www.3dis-tech.com/>

des applications biologiques et médicales [2]. Cette gamme de fréquence n'est encore que très peu exploitée en raison des coûts prohibitifs des technologies *ad hoc*.

Au delà de la dizaine de GHz, la figure 4.1 montre que le canal de propagation se caractérise par un affaiblissement croissant avec la fréquence due principalement à l'absorption des ondes par l'humidité contenue dans l'air [3]. Ces caractéristiques permettent d'envisager des liaisons point-à-point ou point à multi-point sur des distances inférieures au km jusqu'à environ 250 GHz. Les bandes 54–66 GHz et 164–200 GHz constituent une exception en raison du très fort affaiblissement qui s'y trouve. Elles peuvent toutefois servir pour créer des liaisons sans fil à très courte distance (env. 10 m) et très haut débit, avec le développement d'applications déjà encouragé depuis plusieurs années pour la bande des 60 GHz par les deux principaux consortiums que sont le *WirelessHD* pour la transmission vidéo HD sans fil et le *WiGig* pour le futur réseau Wi-Fi.

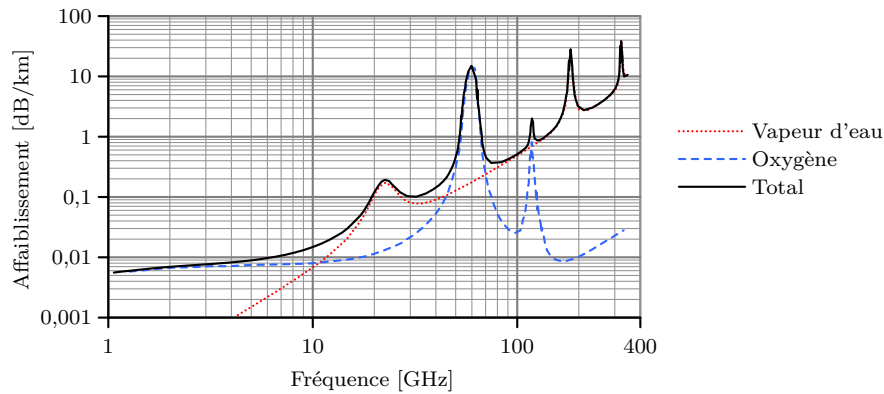


Figure 4.1 – Facteurs responsables de l'affaiblissement atmosphérique de l'onde électromagnétique.

2.2 Contraintes induites sur les architectures radio

L'affaiblissement important du canal peut être compensé par l'utilisation d'antennes directives, qui sont capables de fournir des gains de plusieurs dizaines de dB dans une direction donnée. Fort heureusement, la faible longueur d'onde facilite grandement l'intégration d'antennes réseau à balayage électronique en utilisant un grand nombre d'éléments rayonnants sur une surface réduite. Cette technique peut être mise à profit pour concevoir des radars tels que ceux qui sont utilisés dans l'automobile ou pour réaliser du *beamforming*, une technique qui vise à maintenir la meilleure transmission possible en adaptant dynamiquement le pointage de l'antenne. Le *beamforming* est donc la technique de transmission privilégiée pour assurer des communications sans fil en gamme millimétrique. Elle permet de limiter fortement les problèmes d'interférences liés aux multi-trajets et accroît la confidentialité de la liaison.

Du côté de l'émetteur, la phase des signaux émis sur chaque élément rayonnant de l'antenne réseau doit être rigoureusement contrôlée pour pouvoir dépointer l'antenne correctement. Le problème principal qui se pose à ce niveau résulte du mauvais rendement et de la faible puissance de sortie des amplificateurs de puissance intégrés dans les technologies CMOS. Comme un amplificateur doit être positionné derrière chaque élément rayonnant, la limitation du nombre d'éléments pour contenir la consommation du système nuit à la

directivité et aux performances de l'ensemble. La faible puissance de sortie est directement liée au faible champ électrique maximum supporté par les transistors **MOS** rapides. La solution à ce problème pourrait venir de la technologie **GaN**, qui permet de fournir des niveaux de puissance bien plus élevés. Des équipes de recherche s'attachent à rendre cette technologie compatible avec le silicium [4]. Les faibles rendements sont dus à la résistivité des interconnexions et à la conductivité du substrat **CMOS** qui induisent des pertes élevées dans les interconnexions, diviseurs et combineurs de puissance intégrés. L'utilisation du procédé d'interconnexions *Above-IC* décrit dans le chapitre 3 pourrait nettement améliorer les choses sur ce plan là. Il faudra pour cela remplacer la résine **SUS** par une autre résine à faibles pertes ou tout simplement la retirer.

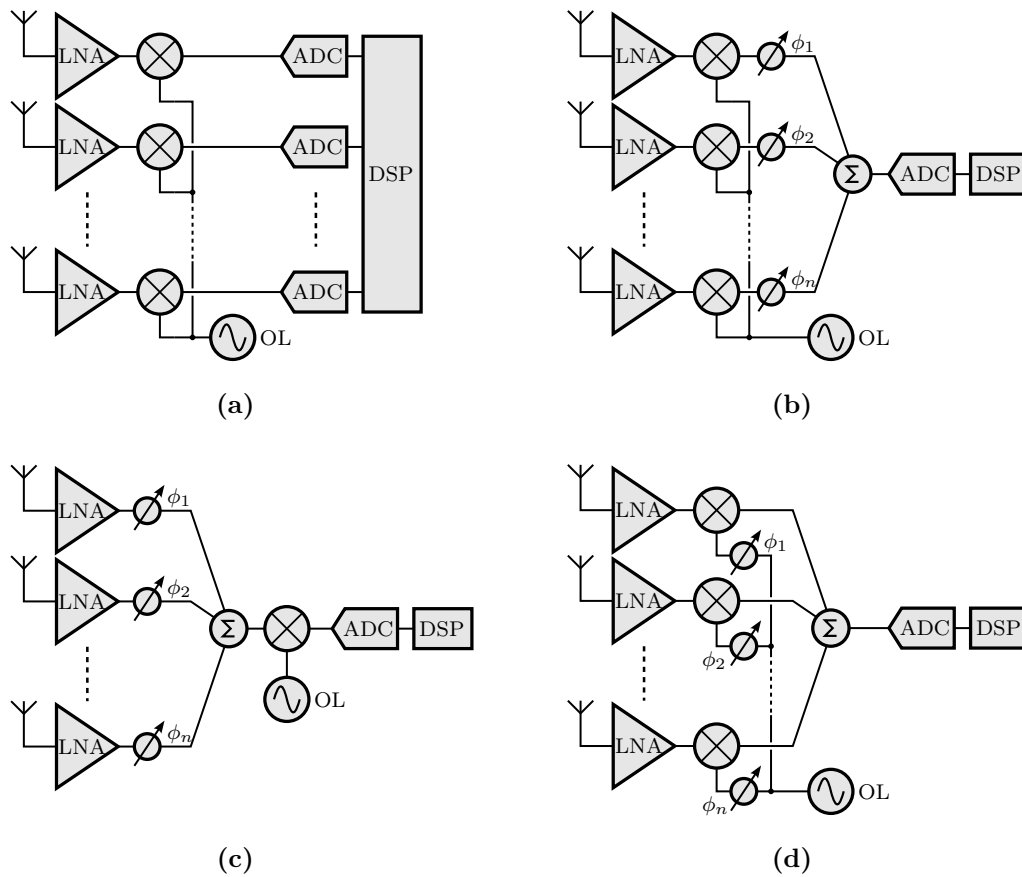


Figure 4.2 – Architectures de récepteurs adaptées à l'utilisation d'une antenne à balayage électronique par un traitement numérique (a) ou analogique (b) en bande de base, (c) sur le signal **RF** (c) et au niveau de l'oscillateur local (d).

L'architecture du récepteur résulte également d'un certain nombre de compromis entre complexité, consommation et sensibilité. Les signaux reçus par chacun des éléments de l'antenne réseau doivent être déphasés avant d'être re-combinés. La position des déphaseurs affecte donc directement la complexité de l'architecture (figure 4.2). Ce déphasage peut être réalisé de plusieurs façons différentes : en bande de base avant ou après la numérisation, sur le trajet du signal **RF** à la suite du **LNA** ou encore au niveau de l'oscillateur local [5–7].

La première solution est probablement la plus problématique d'un point de vue de la complexité et de la consommation sachant qu'un récepteur complet doit être implémenté pour chaque élément rayonnant. L'implémentation logicielle (figure 4.2a) des déphaseurs augmente la charge de travail du calculateur et oblige à placer autant de convertisseurs analogique-numérique rapides que d'éléments rayonnants. Avec des déphaseurs analogiques, la recombinaison des signaux s'effectue avant la numérisation mais le problème réside cette fois-ci dans les dimensions élevées des capacités utilisées dans les déphaseurs (figure 4.2b).

Placé sur le trajet du signal RF, le déphaseur simplifie considérablement l'architecture du récepteur tout entier (figure 4.2c). La recombinaison des signaux qui s'effectue en suivant permet d'éliminer les éventuels bloqueurs et ainsi relâcher les contraintes en linéarité et en bruit des éléments suivants. Il doit toutefois supporter toute la largeur de bande du canal. Ses pertes sont susceptibles d'affecter le facteur de bruit du récepteur et doivent si possible rester constantes avec la fréquence pour ne pas compromettre l'efficacité de l'antenne réseau, ce qui est loin d'être aisé [8].

Une autre technique représentée sur la figure 4.2d consiste à modifier la phase du signal fournie par l'oscillateur local. Dans ce cas, le déphaseur est moins difficile à concevoir puisque la largeur de bande n'est plus un problème, mais la recombinaison des signaux s'effectue après la transposition en fréquence. Il faut donc dupliquer les LNA et les mélangeurs. Les éventuels bloqueurs ne sont plus éliminés avant le mélangeur.

Enfin, d'autres techniques consistant à mutualiser l'antenne réseau sur plusieurs émetteurs et récepteurs sont récemment apparues pour apporter du multiplexage spatial (une des implémentations du MIMO) au système dans la perspective de la 5G [9, 10]. Ces techniques, testées pour une porteuse fixée à 28 GHz, améliorent l'efficacité spectrale des canaux exploités au prix d'un nombre accru d'émetteurs et de récepteurs et d'une puissance de traitement numérique supérieure.

2.3 Vers des architectures de récepteur plus performantes et économes en énergie

Au niveau des récepteurs radio, il existe actuellement trois techniques interférométriques destinées à ramener le signal reçu vers la bande de base qui sont l'hétérodyne, l'homodyne et le multi-accès. Si les deux premières sont utilisées depuis très longtemps, avec des avantages et inconvénients très largement connus et rappelés plus bas, la dernière technique n'est apparue que beaucoup plus récemment [11]. Son principe de fonctionnement repose sur la superposition du signal de l'oscillateur local à quatre différentes répliques déphasées du signal RF. L'enveloppe des ces signaux est récupérée à l'aide de quatre détecteurs à diode. Les voies I et Q sont finalement reconstituées en combinant judicieusement les signaux détectés. Ce détecteur peut être vu comme une implémentation différente de la détection homodyne. Le système s'appuie sur une série de circuits passifs déphaseurs et c'est bien là son principal défaut. Son intégrabilité dépend avant tout de la longueur d'onde de la bande RF à traiter. Une première réalisation intégrée a été démontrée en 2007 dans la bande des 60 GHz [12]. À cette fréquence, le coupleur à six accès reste encombrant mais l'intérêt de cette solution pourrait aller croissant à plus haute fréquence. La dynamique, la sensibilité et le facteur de bruit sont en retrait par rapport aux deux autres techniques mais l'emploi de circuits passifs favorise la faible consommation et la largeur de bande de l'ensemble.

L'architecture hétérodyne offre probablement les meilleures performances au détriment

de la complexité et de la consommation. Deux oscillateurs locaux, deux étages de transposition en fréquence et un filtre de réjection image sont effectivement nécessaires. Cette complexité nuit à la largeur de bande et à l'agilité en fréquence du récepteur construit à partir de ce principe.

Pour pouvoir implémenter les techniques **MIMO** et de *beamforming* dans les futurs terminaux mobiles, la consommation des organes radio devra être sérieusement revue à la baisse par rapport aux solutions publiées ces dernières années [13–15]. De nouvelles architectures énergétiquement plus efficaces restent à développer sans sacrifier le niveau de puissance d'émission ni la sensibilité du récepteur. Dans ce contexte, l'approche homodyne semble être la plus prometteuse puisqu'elle minimise le nombre de circuits utilisés dans le récepteur qui n'a plus de fréquence image à traiter. En revanche, cette technique souffre de quelques problèmes tels que le couplage **OL-RF**. Comme la démodulation s'effectue simultanément avec la transposition en fréquence, l'oscillateur local doit présenter un très faible bruit de phase avec un équilibrage correct des signaux délivrés sur les voies I et Q, deux caractéristiques difficiles à obtenir aux fréquences millimétriques. Par conséquent, nous pensons que le mélangeur à sous-échantillonnage présenté dans le chapitre 2 pourrait apporter une solution élégante aux problèmes décrits sans augmenter la complexité du système. En effet, le sous-échantillonnage permet d'utiliser un oscillateur local fonctionnant beaucoup plus bas en fréquence. Le principe étant démontré aux fréquences millimétriques, le prochain travail consistera à optimiser l'oscillateur local impulsif, notamment du point de vue de la consommation.

Une autre idée serait de s'associer avec les collègues de l'équipe impliqués dans la synthèse numérique directe pour proposer une alternative originale aux méthodes de dépointage d'antenne évoquées plus haut. L'idée consisterait à profiter des très bonnes performances en bruit de phase du synthétiseur numérique (**DDS**) pour remplacer l'oscillateur local et le déphaseur analogique placé sur le trajet du signal **OL** dans le cas de l'exemple présenté en figure 4.2d. Il serait alors possible de dupliquer certaines parties d'un seul **DDS** pour qu'il puisse fournir plusieurs répliques du même signal mais avec une phase ajustable.

2.4 Problématique de l'encapsulation des circuits intégrés

Le boîtier joue un rôle primordial dans n'importe quel produit électronique à semi-conducteur. Ses fonctions sont multiples puisque celui-ci fait office de support mécanique pour la puce, il est chargé de la protéger des agressions extérieures, de dissiper efficacement la chaleur produite et surtout de la connecter électriquement à son environnement immédiat. Celui-ci impacte significativement le coût de revient du produit final, surtout lorsqu'il s'agit d'encapsuler des circuits monolithiques millimétriques qui nécessitent des outils de fabrication et d'alignement très précis en raison de la faible longueur d'onde associée. La démocratisation des applications millimétriques passe donc par le développement de techniques d'encapsulation performantes et à faible coût.

Une des solutions pour ne pas avoir à sortir le signal millimétrique du boîtier et ainsi conserver un faible coût à l'ensemble [14, 16, 17] consiste à intégrer des antennes avec la puce au sein du même boîtier. En faisant évoluer la technologie développée au **LAAS** pour la rendre compatible avec les applications millimétriques, nous pourrions arriver au résultat de la figure 4.3, qui montre l'intégration possible de deux réseaux de quatre antennes patch alimentées par des circuits distincts pour implémenter le *beamforming*. L'avantage

est encore une fois le très faible coût de cette solution si un substrat en verre est utilisé pour supporter l'ensemble, sans aucun sacrifice sur les performances.

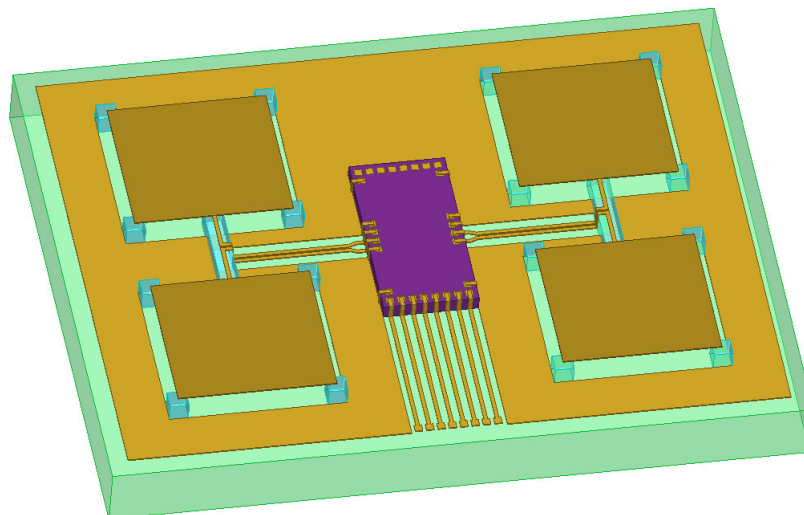


Figure 4.3 – Exemple d'intégration d'une antenne réseau en bande V à quatre patches qui pourrait être rendue possible à l'aide d'une future évolution de la technologie développée au LAAS. Cet exemple mesure 7,4 mm × 5,7 mm.

Bibliographie

- [1] Centre National de la Recherche Scientifique. *Procédé de fabrication d'un circuit intégré*. Ayad GHANNAM, David BOURRIER, Monique DILHAN, Christophe VIALON et Thierry PARRA. Brevet FR2965659, WO2012045981. avril 2012.
- [2] Frédéric GARET et Jean-Louis COUTAZ : Ondes électromagnétiques térahertz - Applications. *Techniques de l'ingénieur*, (AF3255), juillet 2014.
- [3] Zhouyue PI et F. KHAN : An introduction to millimeter-wave mobile broadband systems. *IEEE Communications Magazine*, 49(6):101–107, juin 2011.
- [4] D. MARTI, S. TIRELLI, V. TEPPATI, L. LUGANI, J.-F. CARLIN, M. MALINVERNI, N. GRANDJEAN et C.R. BOLOGNESI : 94-GHz Large-Signal Operation of AlInN/GaN High-Electron-Mobility Transistors on Silicon With Regrown Ohmic Contacts. *Electron Device Letters, IEEE*, 36(1):17–19, janvier 2015.
- [5] H. HASHEMI, Xiang GUAN, A. KOMIJANI et A. HAJIMIRI : A 24-GHz SiGe phased-array receiver-LO phase-shifting approach. *IEEE Trans. Microw. Theory Tech.*, 53(2):614–626, février 2005.
- [6] M. FAKHARZADEH, M.-R. NEZHAD-AHMADI, B. BIGLARBEKIAN, J. AHMADI-SHOKOUH et Safieddin SAFAVI-NAEINI : CMOS Phased Array Transceiver Technology for 60 GHz Wireless Applications. *IEEE Trans. Antennas Propag.*, 58(4):1093–1104, avril 2010.

-
- [7] Chanhong KIM, Taeyoung KIM et Ji-Yun SEOL : Multi-beam transmission diversity with hybrid beamforming for MIMO-OFDM systems. *In 2013 IEEE Globecom Workshops (GC Wkshps)*, pages 61–65, 2013.
- [8] M. FAKHARZADEH, P. MOUSAVI, Safieddin SAFAVI-NAEINI et S.H. JAMALI : The Effects of Imbalanced Phase Shifters Loss on Phased Array Gain. *IEEE Antennas Wireless Propag. Lett.*, 7:192–196, juillet 2008.
- [9] Taeyoung KIM, Jeongho PARK, Ji-Yun SEOL, Suryong JEONG, Jaeweon CHO et Wonil ROH : Tens of Gbps support with mmWave beamforming systems for next generation communications. *In 2013 IEEE Global Communications Conference (GLOBECOM)*, pages 3685–3690, 2013.
- [10] Chanhong KIM, Jae-Seung SON, Taeyoung KIM et Ji-Yun SEOL : On the hybrid beamforming with shared array antenna for mmWave MIMO-OFDM systems. *In 2014 IEEE Wireless Communications and Networking Conference (WCNC)*, pages 335–340, 2014.
- [11] Ji LI, R.G. BOSISIO et Ke WU : Computer and measurement simulation of a new digital receiver operating directly at millimeter-wave frequencies. *IEEE Trans. Microw. Theory Tech.*, 43(12):2766–2772, décembre 1995.
- [12] Chi-Hsueh WANG, Hong-Yeh CHANG, Pei-Si WU, Kun-You LIN, Tian-Wei HUANG, Huei WANG et Chun Hsiung CHEN : A 60ghz Low-Power Six-Port Transceiver for Gigabit Software-Defined Transceiver Applications. *In Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*, pages 192–596, 2007.
- [13] S. EMAMI, R.F. WISER, E. ALI, M.G. FORBES, M.Q. GORDON, Xiang GUAN, S. LO, P.T. McELWEE, J. PARKER, J.R. TANI, J.M. GILBERT et C.H. DOAN : A 60ghz CMOS phased-array transceiver pair for multi-Gb/s wireless communications. *In Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, pages 164–166, 2011.
- [14] A. SILIGARIS, O. RICHARD, B. MARTINEAU, C. MOUNET, F. CHAIX, R. FERRAGUT, C. DEHOS, J. LANTERI, L. DUSSOPT, S.D. YAMAMOTO, R. PILARD, P. BUSSON, A. CATHELIN, D. BELOT et P. VINCENT : A 65-nm CMOS Fully Integrated Transceiver Module for 60-GHz Wireless HD Applications. *IEEE Journal of Solid-State Circuits*, 46(12):3005–3017, décembre 2011.
- [15] N. SAITO, T. TSUKIZAWA, N. SHIRAKATA, T. MORITA, K. TANAKA, J. SATO, Y. MORISHITA, M. KANEMARU, R. KITAMURA, T. SHIMA, T. NAKATANI, K. MIYANAGA, T. URUSHIHARA, H. YOSHIKAWA, T. SAKAMOTO, H. MOTOZUKA, Y. SHIRAKAWA, N. YOSOKU, A. YAMAMOTO, R. SHIOZAKI et K. TAKINAMI : A Fully Integrated 60-GHz CMOS Transceiver Chipset Based on WiGig/IEEE 802.11ad With Built-In Self Calibration for Mobile Usage. *IEEE J. Solid-State Circuits*, 48(12):3146–3159, décembre 2013.
- [16] Y. LAMY, L. DUSSOPT, O. EL BOUAYADI, C. FERRANDON, A. SILIGARIS, C. DEHOS et P. VINCENT : A compact 3d silicon interposer package with integrated antenna

- for 60ghz wireless applications. *In 3D Systems Integration Conference (3DIC), 2013 IEEE International*, pages 1–6, 2013.
- [17] Hong Yi KIM, Chul Woo BYEON, Jae Jin LEE, Seong Jun CHO, In Sang SONG, Chae Jun LEE, Hae Jin LEE, Joong Ho LEE, Chong Hyun YOON, Ki Chan EUN, In-Yeal OH et Chul Soon PARK : A 60 GHz LTCC antenna in package with low power CMOS radio. *In Microwave Conference Proceedings (APMC), 2013 Asia-Pacific*, pages 155–157, 2013.

Liste des figures

1.1	Illustration de la désensibilisation du récepteur par l'émetteur.	3
1.2	Caractérisation de l'amplificateur de puissance	4
1.3	Modèle non-linéaire simplifié d'un amplificateur.	5
1.4	Fréquences de bruit converties dans la bande de réception GSM.	6
1.5	Schéma électrique du premier étage de l'amplificateur de puissance.	7
1.6	Gains de conversion du bruit en fonction de la fréquence d'émission f_{tx}	7
1.7	Gains de conversion du bruit en fonction de la puissance RF appliquée.	8
1.8	Gain et bruit de sortie du premier étage du PA simulés à 915 MHz.	9
1.9	Bruit BF relevé en sortie du réseau de polarisation en fonction de C_{base}	10
1.10	Bruit RF relevé en sortie du premier étage de l'amplificateur.	10
2.1	$g_{ds} = f(V_{GS})$ et réseau de caractéristiques d'un transistor NMOS.	15
2.2	Modèle simplifié d'un transistor NMOS froid.	15
2.3	Mélangeurs passifs doublement équilibrés en tension et en courant.	16
2.4	Modèles électriques équivalents des mélangeurs passifs en tension et en courant.	17
2.5	$OCP1$ simulé des mélangeurs en tension et courant en fonction de d et τ_r	19
2.6	Diminution de R_{out} due à la présence de C_{par}	20
2.7	Forte réduction de R_{out} due à la conduction simultanée des transistors MOS.	20
2.8	Mélangeur passif à transistor FET.	22
2.9	Schéma électrique équivalent avec chaque fréquence $f_{\pm n}$ sur un accès distinct.	22
2.10	Modélisation du bruit SSB d'un mélangeur avec un gain de conversion image.	24
2.11	Performances fréquentielles des technologies CMOS RF.	26
2.12	Schéma du mélangeur passif doublement équilibré utilisé en simulation.	27
2.13	G_c simulé en fonction de P_{OL} et de la géométrie du transistor NMOS.	28
2.14	G_c et $OCP1$ simulés en fonction de la largeur et du nombre de doigts.	29
2.15	Architecture du récepteur radar en bande W.	30
2.16	Schéma du convertisseur de fréquence zéro-IF à 79 GHz.	31
2.17	Facteur de bruit simulé du convertisseur de fréquence.	33
2.18	Photographie de la puce incluant les baluns sur les voies RF et OL.	34
2.19	Banc de mesure pour la caractérisation du convertisseur de fréquence.	35
2.20	Gain de conversion et facteur de bruit mesurés en fonction de P_{OL} à 76 GHz.	36
2.21	Gain de conversion et facteur de bruit issus du facteur y	36
2.22	Mélangeur passif à échantillonnage et formes d'ondes associées.	38
2.23	Gain de conversion différentiel du mélangeur simplement équilibré.	39
2.24	Modélisation du mélangeur à échantillonnage doublement équilibré.	40
2.25	Schéma électrique du mélangeur passif utilisé pour les voies I et Q.	41
2.26	Schéma de principe du récepteur Zigbee 2,4 GHz.	41
2.27	Gain de conversion avec et sans R_1 en fonction du rapport cyclique d	42

2.28	Forme d'onde des conductances g_{ds} des transistors MOS du mélangeur. . . .	43
2.29	Mélangeur à échantillonnage : G_c calculé en fonction de d , τ_r et γ	44
2.30	Schéma électrique du circuit formant le train d'impulsion.	45
2.31	Train d'impulsion obtenu avec et sans les inductances L_1 et L_2	45
2.32	Dispersion sur l'amplitude crête-à-crête de la tension de sortie V_{out}	45
2.33	Schéma de principe du démonstrateur.	46
2.34	Optimisation de la géométrie du transistor MOS.	46
2.35	Microphotographie du mélangeur à échantillonnage.	47
2.36	Gain de conversion en fonction de la fréquence RF.	47
2.37	Mélangeur à sous-échantillonnage : G_c calculé en fonction de d , τ_r et γ	49
2.38	Gain de conversion en fonction de V_{ctrl}	49
2.39	Gain de conversion en fonction de la fréquence RF pour $P_{OL} = 0$ dBm.	49
3.1	Exemple de transistor LDMOS avec son schéma électrique équivalent.	58
3.2	Structures de test micro-ruban réalisées sur SU8.	60
3.3	Deux méthodes d'extraction des paramètres ϵ_r et $\tan \delta$ d'une ligne micro-ruban. . . .	61
3.4	Propriétés diélectriques de la résine SU8.	61
3.5	Facteur de qualité du ruban métallique en fonction de la résistivité du substrat. . . .	62
3.6	L et Q fonction de plusieurs côtes : w , h et t	62
3.7	Effet de la distance qui sépare les deux conducteurs sur leur caractéristiques. . . .	63
3.8	Dessin des quatre inductances étudiées.	63
3.9	Caractéristiques électriques des quatre inductances.	64
3.10	Micro-photographie de la structure 3.	64
3.11	Caractérisation et simulation de la structure 3.	64
3.12	Étapes technologiques relatives à la première génération du procédé.	65
3.13	Paramètres S et $G_{T,max}$ des deux démonstrateurs.	67
3.14	Mise en évidence de l'état de surface dégradé de la métallisation supérieure. . . .	67
3.15	Photographie du deuxième démonstrateur monté dans son boîtier.	67
3.16	Étapes technologiques du procédé tridimensionnel.	69
3.17	Résultat obtenu après application du procédé de seconde génération.	70
3.18	Exemple de transformateur 3-D avec ses caractéristiques électriques.	71
3.19	État de l'art des transformateurs RF intégrés.	72
3.20	Inductance 3-D et ses caractéristiques électriques.	72
3.21	Difficulté de caractérisation mise en évidence sur une inductance planaire.	73
3.22	Influence de la pointe RF sur les caractéristiques électriques de l'inductance. . . .	74
3.23	Simulation électromagnétique de l'inductance avec la pointe RF.	75
3.24	Expérience supprimant le rayonnement parasite constaté expérimentalement.	76
3.25	Exemple de réalisation future avec un transformateur solénoïde.	77
4.1	Affaiblissement atmosphérique de l'onde électromagnétique.	85
4.2	Architectures de récepteur exploitant une antenne à balayage électronique.	86
4.3	Exemple d'intégration d'une antenne réseau en bande V à quatre patches.	89

Liste des tableaux

1.1	Translation du bruit vers une fréquence f_{rx} située dans la bande de réception.	5
2.1	Phases de fonctionnement des mélangeurs passifs en courant et en tension en fonction du signal OL.	19
2.2	Caractéristiques de quelques mélangeurs passifs à transistors FET.	23
2.3	Spécifications électriques du convertisseur de fréquence zéro-IF.	33
2.4	État de l'art des convertisseurs de fréquence dans la bande des 77 GHz.	36
2.5	Spécifications et mesures extraites des deux versions du récepteur Zigbee.	42
2.6	Caractéristiques électriques du mélangeur à échantillonnage en bande K.	47
2.7	État de l'art des mélangeurs passifs en bande V.	50
3.1	Performances de plusieurs composants en régime fort-signal.	68
3.2	Les trois pointes RF GSG comparées.	74
3.3	Énergie stockée, puissances dissipée et rayonnée à 5 GHz pour le méandre 3-D.	75

Acronymes et définitions

- 2G** réseau sans-fil de deuxième génération pour la téléphonie mobile 58, 82
- 3G** réseau sans-fil de troisième génération pour la téléphonie mobile 58
- 4G** réseau sans-fil de quatrième génération pour la téléphonie mobile 58, 82
- ANR** Agence Nationale pour la Recherche 25, 76
- APDP** Anti-Parallel Diode Pair 50
- BF** basse fréquence 7, 8, 10, 11, 20
- BiCMOS** technologie CMOS intégrant des transistors bipolaires 4, 25, 28, 36, 43, 50, 61, 62, 71, 81
- Bluetooth** standard de communication sans fil de type WPAN pour des connexions à très courte distance 82
- BSIM4** BSIM (Berkeley Short-channel IG-FET Model) désigne une famille de modèles de transistors MOSFET pour la micro-électronique maintenue par l'université de Californie, Berkeley 50
- CEM** compatibilité électromagnétique 76
- CIFRE** Conventions Industrielles de Formation par la REcherche 77
- CMOS** Complementary Metal Oxide Semiconductor 4, 23, 25, 36, 41, 43, 50, 61, 62, 71, 82–84, 91, 95
- CMS** Composant miniature de surface 7
- CPW** Coplanar Waveguide 73, 74
- DC** direct current 31, 39
- DDS** Digital Direct Synthesis 86
- DK** Design Kit 9
- DRC** Design Rules Check 32
- EGSM1** bande de fréquence de réception GSM européenne couvrant la plage 925–935 MHz 4, 11
- EGSM2** bande de fréquence de réception GSM européenne couvrant la plage 925–935 MHz 4, 11
- ENR** Excess Noise Ratio 35
- ETSI** European Telecommunications Standards Institute 29
- FET** Field Effect Transistor 15, 21–23, 50, 51, 91, 93
- FI** fréquence intermédiaire 2, 14, 16, 17, 19–25, 28, 30–37, 39, 41, 45–50
- GaAs** arséniure de gallium 23
- GaN** nitrure de gallium 84
- GSG** Ground-Signal-Ground 73, 74, 93
- GSM** Global System for Mobile Communication 3, 4, 6, 11, 91, 95
- HD** Haute Définition 83
- HEMT** High-Electron-Mobility Transistor 13
- ICP1** point de compression à 1 dB ramené en entrée (Input Compression Point) 33, 42, 47
- IIP3** point d'interception d'ordre 3 ramené en entrée (Input Intercept Point) 23, 33, 42
- InGaP** indium gallium phosphide 4
- IPD** Integrated Passive Device 71, 77
- K** bande de fréquence couvrant la plage 18–26 GHz 2, 14, 37, 43, 47, 50, 51, 92, 93

- LAAS** Laboratoire d'Analyse et d'Architecture des Systèmes 1, 10, 25, 41, 57, 66, 71, 86, 87
- LDMOS** Laterally Diffused Metal Oxide Semiconductor 2, 57–59, 61, 62, 65–67, 75, 77, 82, 92
- LNA** Low Noise Amplifier 3, 16, 17, 41, 84, 85
- MEMs** Micro-Electro-Mechanical Systems 71
- MESFET** MEtal–Semiconductor Field Effect Transistor 13, 23
- mHEMT** Metamorphic High-Electron-Mobility Transistor 50
- MIMO** Multiple-Inputs Multiple-Outputs 85, 86
- MIS** Métal-Isolant-Semiconducteur 58, 59, 72
- MOS** Metal Oxide Semiconductor 2, 13–17, 19–21, 24–31, 37, 43–46, 48, 50, 51, 81, 84, 92, 96
- MOSFET** Metal Oxide Semiconductor Field Effect Transistor 13, 95
- MOST** Micro-ondes et Opto-micro-ondes pour Systèmes de Télécommunications 1
- NMOS** Transistor MOS de type n 15, 26, 28–30, 91
- OCP1** point de compression à 1 dB en sortie (Ouput Compression Point) 36, 47
- OL** oscillateur local 2, 11, 13, 14, 18–20, 23, 24, 26, 28–34, 37, 39, 41–44, 46–50, 86, 91, 93
- PEEM** Photo-Emission Electron Microscope. Le microscope à photoémission d'électrons effectue une cartographie 2D de la distribution des électrons photo-émis de la région éclairée. 66, 67
- PMOS** Transistor MOS de type p 31
- Q** bande de fréquence couvrant la plage 30–50 GHz 82
- RBW** resolution bandwidth 4
- RF** radiofréquence 1, 2, 6–8, 10, 11, 13, 14, 16, 17, 20–26, 28, 30–34, 37, 39, 41, 43, 45–51, 57–59, 66, 72, 74–77, 81, 84–86, 91–93
- SHM** mélangeur sous-harmonique 36, 50
- SiGe** silicium-germanium 4, 25, 28, 36, 43, 44, 50
- SOI** Silicon On Insulator 23, 50, 71
- SOL** Short-Open-Load 73
- SSB** Single Side Band 23, 24, 91
- SSM** mélangeur à sous-échantillonnage 50
- SU8** résine époxy photosensible négative 60, 61, 63, 65, 66, 68–71, 75, 77, 78, 84
- TBH** transistor bipolaire à hétérojonction 4, 31, 44
- TIA** transimpédance amplifieur 16, 17, 20
- TSV** Through-Silicon Via 71
- ULB** ultra large bande 14, 25
- V** bande de fréquence couvrant la plage 40–75 GHz 2, 14, 48, 50, 51, 82, 87, 92, 93
- W** bande de fréquence couvrant la plage 75–110 GHz 14, 30, 36, 51, 82, 91
- Wi-Fi** ensemble de protocoles de communications sans fil destinés à former des réseaux locaux informatiques sans fil WLAN 82, 83
- WiMAX** Le WiMAX (Worldwide Interoperability for Microwave Access) est un standard de communication sans fil utilisé dans les zones géographiques étendues pour fournir un accès à internet haut débit 58
- WLAN** Wireless Local Area 48, 96
- WPAN** Wireless Personal Area 48, 95, 96
- Zigbee** Protocole de communication pour des radios à très faible consommation basé sur la norme IEEE 802.15.4 pour les réseaux sans fil personnels (WPAN) 2, 14, 41, 82