Conception et réalisation de composants de puissance à superjonction et à tranchées profondes pour des applications 600 V et 1200 V

Sylvain Noblecourt

▶ **To cite this version:**

Sylvain Noblecourt. Conception et réalisation de composants de puissance à superjonction et à tranchées profondes pour des applications 600 V et 1200 V. Electronique. Université Paul Sabatier - Toulouse III, 2016. Français. NNT : 2016TOU30230 . tel-01451021v2

HAL Id: tel-01451021
https://laas.hal.science/tel-01451021v2

Submitted on 24 Nov 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université Fédérale
Toulouse Midi-Pyrénées

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)

Présentée et soutenue par :
Sylvain NOBLECOURT
le jeudi 1 décembre 2016

Titre :

Conception et réalisation de composants de puissance à superjonction et à tranchées profondes pour des applications 600 V et 1200 V

École doctorale et discipline ou spécialité :
ED GEET : Génie Electrique

Unité de recherche :
LAAS-CNRS

Directeur/trice(s) de Thèse :
M. Frédéric MORANCHO
Mme Josiane TASSELLI

Jury :
M. Patrick AUSTIN, Président
M. Dominique PLANSON, Rapporteur
M. Gaël GAUTIER, Rapporteur
M. Loïc THÉOLIER, Examinateur
M. Yohann SPIEGEL, Examinateur

Remerciements

Les travaux présentés dans ce mémoire ont été réalisés au sein du groupe Intégration de Système de Gestion de l'Energie (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS de Toulouse et financés par le projet ANR « Superswitch ». Je remercie Messieurs Jean Arlat et Liviu Nicu, directeurs successifs du LAAS, pour m'avoir accueilli au sein de ce laboratoire et accordé leur confiance.

Je souhaite également remercier mes directeurs de thèse Josiane Tasselli, chargée de recherche au LAAS-CNRS et Frédéric Morancho, professeur à l'Université Paul Sabatier pour avoir encadré ces travaux avec beaucoup de rigueur et de gentillesse. Merci pour votre disponibilité malgré vos emplois du temps chargés, votre soutien et votre patience.

Je tiens également à remercier Messieurs Dominique Planson, Professeur de l'INSA de Lyon et Gaël Gautier, Professeur de l'INSA CVL, qui ont accepté la tâche d'être rapporteur de mes travaux de thèse. Je remercie également les membres du jury, Messieurs Théolier, Spiegel, Austin pour ce débat intéressant et constructif.

Je souhaite également remercier toutes les personnes qui ont travaillé de près ou de loin sur ce projet, notamment les laboratoires et entreprises partenaires IMS, GREMAN et IBS, qui ont permis, grâce à cette collaboration, l'avancement de ce projet. Je souhaite aussi remercier le personnel TEAM de la salle blanche du LAAS, pour m'avoir formé, conseillé et aiguillé tout au long de ces travaux dans la bonne humeur. Je remercie tout autant les membres de l'équipe ISGE pour ces discutions scientifiques très instructives.

Je souhaite exprimer ma gratitude à mes collègues du bureau G13, et ils sont nombreux !! :

Gaetan Touloun, l'expert Sentaurus ; Emmanuel Marcault, le juste ; Ty Mai Dinh, la souriante ; Anaïs Ferris, la voyageuse ; Majo, la stagiaire dynamique ; Lya, la geekette et Asma, la petite dernière. Merci à vous pour ces moments partagés dans le bureau, qui, malgré les moments de pression et de doutes, resteront gravés comme de chouettes souvenirs.

Merci également à Damien Fourres pour ces années fac et ces années de doctorat. On a partagé les mêmes galères mais aussi les bons moments. Cette aventure n'aurait pas été aussi bien sans toi. On se refera une partie de Seasons en souvenir du bon temps.

Je souhaite remercier mes collègues de Bang, qui m'ont permis de m'évader du travail (un peu trop parfois) et qui ont permis de jalonner ces années de rires : Arnaud, Napo, Willou, Anaïs, Vincent, Damien, David, Fabien, Lya, Majo, Pascal et Asma.

Je remercie tous les doctorants, post-doctorants et membres du LAAS pour leur aide et leur bonne humeur : Vikas, Ahmet, Adem, Brieux, Audrey, Olga, Oana, Albert, Zeina, Audrey, Gautier, Roberto, Anatole, Ludo, Adrian, Laurent, Sylvain, Christophe, Camille, Tanguy, JC, Eric, Aurélie, Pascal.

Je tiens à remercier mes amis sur qui j'ai pu compter pour me sortir de ces journées de travail : David, Melissa, Claire, Miguel, Olive, Gob, Le scout, Alex, Laurent, Guillaume.

Je remercie très sincèrement ma famille qui m'a soutenu et encouragé tout au long de mes études. Si j'ai pu aller aussi loin, c'est grâce à eux, donc merci beaucoup.

Enfin, je souhaite remercier du fond du cœur ma chère et tendre Carole qui a subi tout autant que moi cette thèse, qui m'a rendu la vie de tous les jours plus facile et joyeuse.

« La théorie, c'est quand on sait tout et que rien ne fonctionne.

La pratique, c'est quand tout fonctionne et que personne ne sait pourquoi.

Ici, nous avons réuni théorie et pratique: Rien ne fonctionne... et personne ne sait pourquoi ! »

Albert Einstein

Table des matières

Introduction générale **11**

Chapitre I . Etat de l'art des interrupteurs de puissance **15**

I.1 Introduction **17**

I.2 La fonction « interrupteur » **17**

I.3 Les interrupteurs de puissance **22**

I.3.1 Composants silicium à grille isolée (MOS/IGBT) 22

I.3.1.1 Description 22
I.3.1.2 Interrupteur à l'état OFF : tenue en tension 23
I.3.1.3 Interrupteur à l'état ON : résistance à l'état passant 24
I.3.1.4 Le fonctionnement dynamique 27
I.3.1.5 Nouvelles structures 28

I.3.2 Composants à large bande interdite 30

I.3.2.1 Composants SiC 31
I.3.2.2 Composants GaN 33

I.3.3 Choix du composant 33

I.4 Les techniques de garde **34**

I.4.1 La plaque de champ 35

I.4.2 Anneaux de garde 36

I.4.2.1 Anneau de garde diffusé 36
I.4.2.2 Anneaux de garde diviseurs de champ 36

I.4.3 L'extension de jonction 37

I.4.4 Terminaison à tranchée profonde 39

I.5 Conclusion **40**

Chapitre II . Conception de composants à superjonction et à tranchées profondes **43**

II.1 Introduction **45**

II.2 Théorie de la superjonction **46**

II.2.1 Principe physique 46

II.2.2 Compromis tenue en tension / résistance à l'état passant 47

II.2.3 Véhicule test 49

II.3 Etude de la DT-SJDiode 50

II.3.1 Influence de la profondeur des tranchées 52
II.3.2 Influence de la largeur des bandes N 54
II.3.3 Influence de la Dose de bore diffusée d_B 56
II.3.4 Optimisation de la DT-SJDiode 57

II.4 Etude de la terminaison 58

II.4.2 Influence de la profondeur de la terminaison 60
II.4.3 Influence de la largeur de la terminaison 61
II.4.4 Influence de la longueur de la plaque de champ 62
II.4.5 Optimisation de la terminaison DT² 64
II.4.5.1 Optimisation pour des composants 600 V 64
II.4.5.2 Optimisation pour des composants 1200 V 65
II.4.6 Amélioration de la terminaison 66

II.5 Conclusion 70

Chapitre III . Optimisation du procédé de fabrication des diodes à superjonction et à tranchées profondes 73

III.1 Introduction 75

III.2 Description des structures de test 75

III.3 Développement des briques technologiques de fabrication d'une diode à superjonction et à tranchées profondes 78

III.3.1 Gravure des tranchées 78
III.3.1.1 Choix de la résine photosensible 79
III.3.1.2 Verticalité des tranchées 80
III.3.1.3 Elimination du « scalloping » 82
III.3.1.4 Réduction de l'effet ARDE 83
III.3.2 Implantation P^+ autour des tranchées 86
III.3.3 Remplissage des tranchées par un diélectrique 88
III.3.3.1 Dépôt du BCB par « spin-coating » 89
III.3.3.2 Dépôt du BCB par sérigraphie 92
III.3.3.3 Planarisation du BCB par nano-impression 94
III.3.4 Retrait du surplus de BCB 98
III.3.4.1 Amincissement par polissage mécano-chimique 99
III.3.4.2 Amincissement par gravure plasma 101

III.4 Conclusion 104

Chapitre IV . Réalisation et caractérisation électrique des DT-SJDiodes.....107

IV.1 Introduction.....109

IV.2 Description du procédé technologique complet.....109

IV.2.2 Mires d'alignement.....111
IV.2.3 Oxyde de masquage pour la gravure profonde.....111
IV.2.4 Implantation du caisson P^+.....112
IV.2.5 Gravure des tranchées.....114
IV.2.6 Implantation par immersion plasma.....115
IV.2.7 Remplissage des tranchées avec du BCB et planarisation.....116
IV.2.8 Gravure du BCB.....117
IV.2.9 Métallisation des contacts électriques.....118

IV.3 Réalisation des DT-SJDiodes.....119

IV.4 Caractérisations électriques des DT-SJDiodes.....123

IV.5 Optimisation des diodes à superjonction.....127

IV.5.1 Optimisation des étapes technologiques.....128
IV.5.2 Optimisation du design.....128

IV.6 Conclusion.....131

Conclusion générale.....133

Annexe 1 : Description du procédé technologique des résines.....137

Annexe 2 : Description du jeu de masques des diodes réalisées.....138

Bibliographie.....145

Liste des travaux.....150

Introduction générale

L'énergie électrique est produite et distribuée industriellement depuis la fin du XIXe siècle. Dès lors, la production et la consommation d'électricité ne cessent d'augmenter à mesure des progrès technologiques que notre société a connus. De nos jours, l'énergie électrique est devenue incontournable puisqu'elle représente à elle seule près de 20 % de la consommation d'énergie mondiale, derrière le pétrole qui, lui, représente 40 %. Cependant, l'épuisement des ressources naturelles engendrera l'augmentation de la consommation d'énergie électrique grâce au développement des énergies renouvelables et à la technologie « tout électrique ». La gestion de l'énergie électrique est donc un enjeu majeur pour l'avenir. Afin d'assurer une meilleure gestion de cette énergie, il est nécessaire d'améliorer le rendement de la chaine énergétique, et donc, de chaque partie qui la constitue. Pour cela, la recherche s'active pour proposer de nouvelles solutions, notamment dans les domaines de conversion et transport de l'énergie où les pertes sont les plus importantes.

L'électronique de puissance est donc, depuis plusieurs dizaines d'années, en constante évolution. En effet, grâce à l'arrivée de composants de puissance et au développement des énergies renouvelables, de nouvelles possibilités de gestion de l'énergie sont apparues. Le transport et l'industrie sont les secteurs au cœur des axes de recherche car, à eux deux, ils représentent près de 60 % de la consommation mondiale d'énergie. L'amélioration de la chaîne énergétique dans ces milieux est donc cruciale pour la sauvegarde d'énergie.

Les travaux de recherche présentés dans ce manuscrit s'inscrivent dans ce contexte et plus précisément dans le secteur du transport. En effet, le développement des véhicules tout électrique étant en pleine progression ces dernières années, ce secteur mérite une attention particulière. Une des contraintes des véhicules tout électrique est leur autonomie qui est limitée par le système de stockage de l'énergie électrique : les trajets possibles sont de l'ordre de quelques centaines de kilomètres au mieux. L'amélioration de ces batteries de stockage et du rendement de la chaîne de conversion d'énergie est un moyen de parvenir à augmenter l'autonomie de ces véhicules. L'étude d'une solution alternative à l'utilisation de l'IGBT qui

est actuellement l'un des dispositifs les plus employés dans les convertisseurs constitue l'axe central de ces travaux. Le transistor MOS est le composant le plus en mesure de concurrencer l'IGBT. En effet, bien que limité par sa résistance à l'état passant dû à son importante zone volumique permettant de tenir la tension, le transistor MOS présente des caractéristiques intéressantes pour ces applications, telles que des pertes en commutation faibles et une stabilité en température. Ces caractéristiques sont meilleures que celles de l'IGBT hormis la résistance à l'état passant. Afin de réduire cette dernière, et donc de pouvoir réellement concurrencer l'IGBT, de nouvelles structures ont émergé. C'est notamment le cas du concept de superjonction, qui par la modification de la zone intrinsèque de la structure, permet d'améliorer le compromis « tenue en tension / résistance à l'état passant ». La superjonction est constituée d'une alternance de régions dopées N et P permettant de ne plus avoir une tenue en tension inversement proportionnelle au dopage. Cependant, la réalisation de la superjonction passe par de nombreuses étapes d'épitaxie, rendant les coûts de fabrication très onéreux. L'objet de cette thèse est de proposer la conception et la réalisation de composants à superjonction en utilisant une solution alternative, à savoir un seule épitaxie N et des tranchées profondes sur les flancs desquelles sont réalisées les zones P par implantation ionique afin de réaliser l'alternance des régions P et N de la superjonction.

Dans le premier chapitre, le fonctionnement des interrupteurs de puissance est présenté. Cette brève introduction permet d'identifier les enjeux et l'intérêt des différentes utilisations de ces composants. Plusieurs dispositifs, capables de réaliser ces fonctions, sont ensuite décrits dans cette partie. La protection des composants en périphérie étant également une partie non négligeable nécessaire pour leur fonctionnement, une étude de diverses techniques de garde est faite dans ce chapitre.

Le deuxième chapitre est consacré à l'étude théorique de composants à superjonction et à tranchées profondes 600 V. Le secteur ferroviaire cherchant également à améliorer sa chaîne de conversion de l'énergie, l'étude théorique de ce composant pour une tenue en tension de 1200 V est également menée. Des simulations bidimensionnelles à éléments finis sont réalisées dans le but de comprendre l'influence des paramètres géométriques sur le compromis « tenue en tension / résistance à l'état passant ». Grâce à cette étude, il a ensuite été possible d'optimiser la structure des composants destinés aux applications 600 V et 1200 V. L'étude et l'optimisation d'une terminaison de jonction adaptée concluent ce chapitre.

L’objet du troisième chapitre est l’étude de la fabrication des composants précédemment optimisés. Dans un premier temps, les dispositifs de test qui ont servi à l’étude des différentes étapes technologiques sont présentés. L’accent est mis sur le développement des étapes critiques dont la validation est nécessaire pour mener à bien la réalisation des composants. Pour cela, nous nous sommes appuyés sur les travaux réalisés précédemment au laboratoire.

Enfin, le dernier chapitre est consacré à la réalisation des diodes à superjonction et à tranchées profondes. Dans un premier temps, le procédé technologique complet de fabrication est détaillé. Les résultats de la caractérisation électrique sont présentés et analysés. Ils sont agrémentés d’une caractérisation physique des composants afin de corréler les caractéristiques électriques aux étapes technologiques. Pour conclure, en perspective à ces travaux, des améliorations seront proposées pour la conception des diodes.

Chapitre I . Etat de l'art des interrupteurs de puissance

I.1 Introduction 17

I.2 La fonction « interrupteur » 17

I.3 Les interrupteurs de puissance 22

I.3.1 Composants silicium à grille isolée (MOS/IGBT) 22

I.3.1.1 Description 22
I.3.1.2 Interrupteur à l'état OFF : tenue en tension 23
I.3.1.3 Interrupteur à l'état ON : résistance à l'état passant 24
I.3.1.4 Le fonctionnement dynamique 27
I.3.1.5 Nouvelles structures 28

I.3.2 Composants à large bande interdite 30

I.3.2.1 Composants SiC 31
I.3.2.2 Composants GaN 33

I.3.3 Choix du composant 33

I.4 Les techniques de garde 34

I.4.1 La plaque de champ 35

I.4.2 Anneaux de garde 36

I.4.2.1 Anneau de garde diffusé 36
I.4.2.2 Anneaux de garde diviseurs de champ 36

I.4.3 L'extension de jonction 37

I.4.4 Terminaison à tranchée profonde 39

I.5 Conclusion 40

I.1 Introduction

L'électronique de puissance est basée sur des composants pouvant réaliser la fonction d'interrupteur au sein de systèmes de conversion d'énergie. Actuellement, les deux interrupteurs dominants présents dans les convertisseurs de puissance sont les IGBTs et les transistors MOS. Malgré les pertes engendrées pendant les commutations et lorsque le composant se retrouve face à des températures élevées (ce qui est fréquent dans cet environnement), l'IGBT présente des pertes de conduction relativement faible. A l'inverse, les transistors MOS présentent de très bonnes caractéristiques pour les applications de puissance à fréquence élevée mais ils sont limités par leur résistance en conduction. Des recherches ont donc été menées afin d'améliorer ces composants et ont abouti à l'élaboration de nouveaux composants permettant notamment de combler les lacunes de leurs prédécesseurs. De plus, la recherche a développé en parallèle des techniques de garde adaptées pour protéger ces composants et permettre leur fonctionnement optimal.

Dans un premier temps, nous aborderons le fonctionnement des interrupteurs de puissance. Puis nous présenterons différentes structures remplissant la fonction « interrupteur » et nous argumenterons notre choix d'étude. Pour finir, nous présenterons les techniques de garde nécessaires à la protection de ces interrupteurs de puissance.

I.2 La fonction « interrupteur »

L'électronique de puissance est née du besoin de manipuler d'importants flux d'énergie électrique de nature et de forme différentes. Il est devenu nécessaire de convertir et de conditionner cette énergie électrique d'une source vers une charge en minimisant autant que possible la consommation d'énergie. En effet, les sources peuvent être sous forme de tension ou de courant, continue ou alternative, avec des amplitudes ou des fréquences qui diffèrent des besoins de la charge. Afin de manipuler le flux d'énergie, on utilise des modules appelés « convertisseurs ». Ils peuvent être utilisés seuls, on parle alors de « conversion directe », ou utilisés en une série de plusieurs convertisseurs, et on est dans le cas d'une « conversion indirecte ». La Figure I.1 montre les différentes possibilités de conversion d'énergie. Il est à noter que ces convertisseurs ne peuvent pas avoir un rendement de 100% car cela nécessiterait d'avoir des composants idéaux : de par leur omniprésence dans les systèmes électriques, l'optimisation de leur rendement donc est une nécessité. Pour cela, il faut améliorer les éléments qui composent ces convertisseurs : les éléments actifs qui

permettent la transformation et la mise en forme de la tension et du courant, et les éléments passifs qui ont pour rôle de filtrer les harmoniques et les parasites. Les premiers sont des interrupteurs de puissance. Leur fonctionnement passe par deux états : soit l'interrupteur est fermé (ou passant) et laisse passer le courant, soit l'interrupteur est ouvert (ou bloqué) et empêche le passage du courant. Dans le premier état, l'interrupteur se comporte comme une résistance qui doit être la plus faible possible pour limiter les pertes en conduction. Dans le second état, il se comporte comme une résistance suffisamment grande pour empêcher le passage du courant et doit être capable de garder ce comportement malgré les tensions imposées à ses bornes.

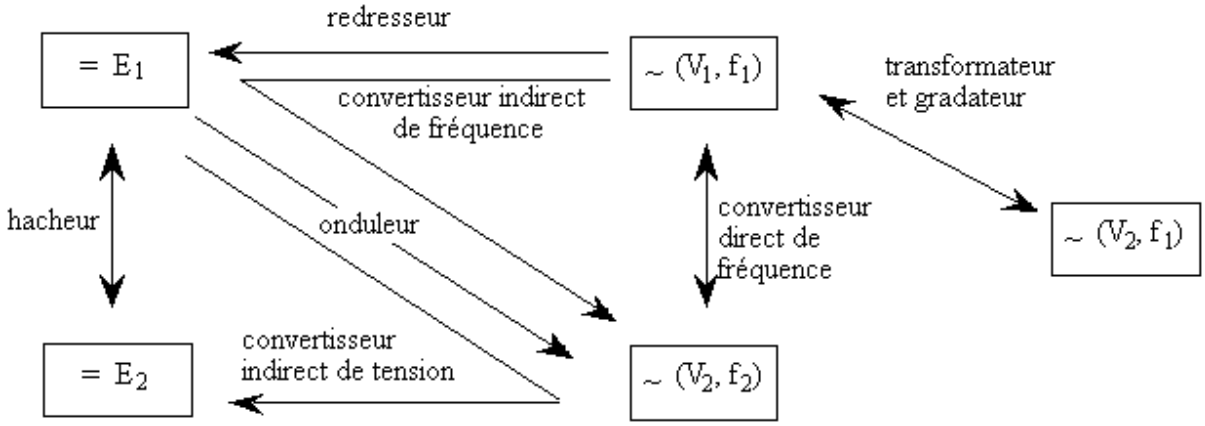


Figure I.1 : Les différents types de conversions d'énergie possibles

Il existe des interrupteurs naturels et des interrupteurs commandés. Les interrupteurs naturels peuvent passer d'un état à l'autre sans commande extérieure : ils possèdent un sens de polarisation et une tension de seuil qui va définir le changement d'état. Les interrupteurs commandés nécessitent une action extérieure pour pouvoir changer d'état, par exemple, par l'application d'un courant sur une borne. Ces derniers sont les plus sollicités car ils permettent des conversions et des possibilités de mise en forme que les premiers ne seront pas capables de faire.

Une autre classification des interrupteurs peut être faite en analysant leur réversibilité. En effet, selon les systèmes où l'on souhaite convertir de l'énergie électrique, il est nécessaire que les composants soient réversibles en courant, en tension ou les deux. Par exemple, dans le cas d'une voiture tout électrique où l'autonomie est une des limites du système, la récupération d'énergie issue du freinage est implantée. Lors du freinage, la récupération de

l’énergie cinétique est convertie en énergie électrique et mise en forme pour être stockée dans la batterie. Le même module est alors utilisé pour fournir et récupérer l’énergie électrique.

Il existe trois catégories selon cette classification. La première comprend les composants « unidirectionnels » en courant et en tension. Ils ne permettent le passage du courant que dans un sens et uniquement pour une tension appliquée dans un sens. C’est le cas notamment des diodes, des transistors MOS (dans leur mode de fonctionnement conventionnel) et des IGBTs. La deuxième catégorie est celle des interrupteurs « bidirectionnels » soit en courant soit en tension. Un composant bidirectionnel en tension ne permet le passage du courant que dans un seul sens quelle que soit la tension appliquée : c’est le cas notamment de la plupart des thyristors. Il est également possible de remplir cette fonction en faisant une association de différents composants unidirectionnels. La dernière catégorie comprend la fonction bidirectionnelle en courant et en tension. Le seul composant capable de réaliser cette fonction est le triac. Néanmoins, il est également possible de réaliser cette fonction en associant plusieurs composants. La Figure I.2 représente les caractéristiques des composants des différentes catégories. Les composants n’étant pas idéaux, leurs caractéristiques ne sont pas confondues avec les axes I/V.

Les interrupteurs de puissance sont caractérisés par trois paramètres en fonction de l’application où l’on souhaite les utiliser et donc de l’état dans lequel ils se trouvent :

- à l’état bloqué, l’interrupteur doit être capable de supporter des tensions élevées à ses bornes. C’est le cas des applications pour le transport et la distribution d’énergie. On s’intéresse alors à « la tenue en tension » qui doit être la plus élevée possible ;

- à l’état passant, l’interrupteur est considéré comme une résistance, ce qui entraîne des pertes en conduction et diminue fortement le rendement de la chaîne de conversion. Afin d’optimiser ce rendement, il est nécessaire d’utiliser des composants présentant une résistance à l’état passant la plus faible possible ;

- à la commutation, à savoir le passage d’un état à l’autre, les pertes en commutation deviennent majoritaires à mesure que la gamme de tension augmente et que la fréquence des commutations croît (Figure I.3).

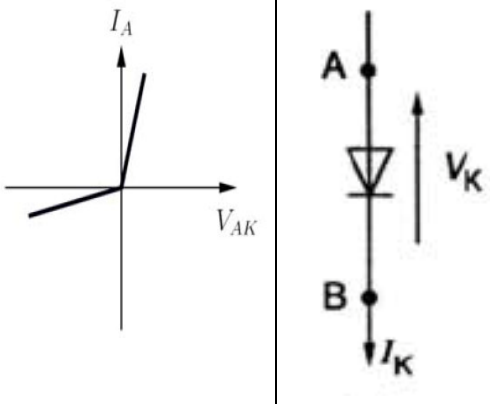
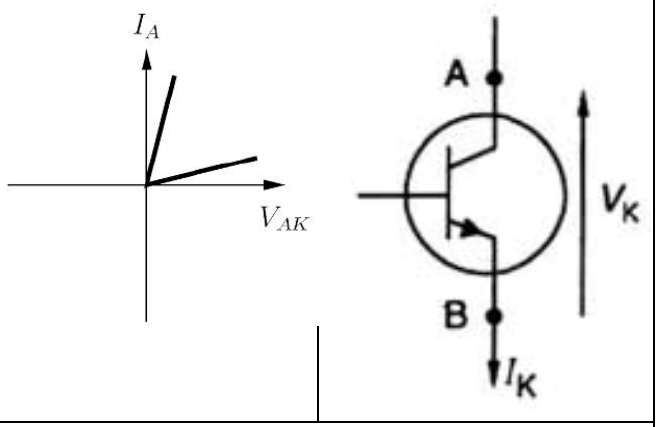
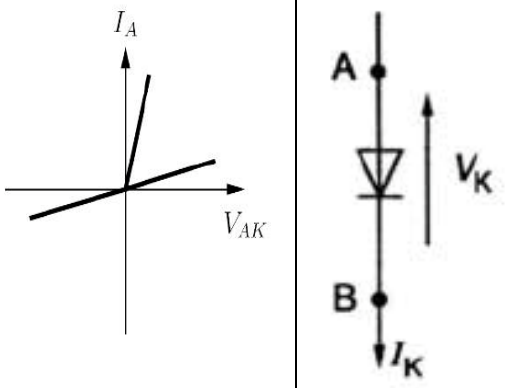
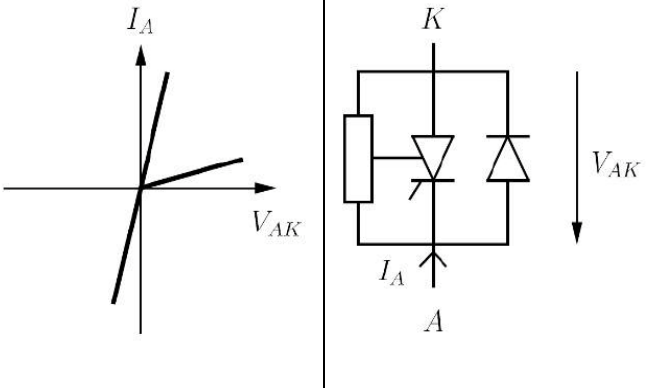
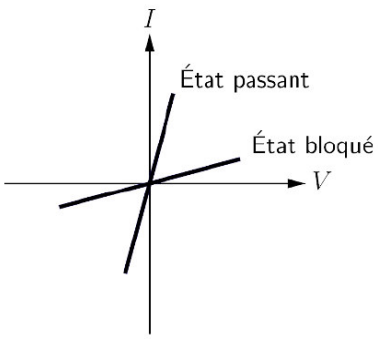
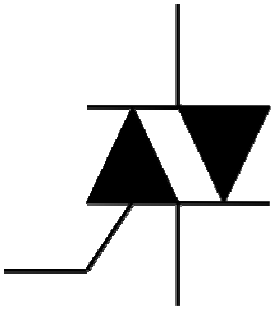
<table>
<tr><td colspan="4">Caractéristiques statiques des interrupteurs unidirectionnels</td></tr>
<tr><td colspan="2">2 segments type diode</td><td colspan="2">2 segments type transistor</td></tr>
<tr><td colspan="2"> 
</td><td colspan="2"> 
</td></tr>
<tr><td colspan="4">Caractéristiques statiques des interrupteurs bidirectionnels</td></tr>
<tr><td colspan="2">Bidirectionnel en tension</td><td colspan="2">Bidirectionnel en courant</td></tr>
<tr><td colspan="2"> 
</td><td colspan="2"> 
</td></tr>
<tr><td colspan="4">Bidirectionnel en courant et en tension</td></tr>
<tr><td colspan="2"> 
</td><td colspan="2">  </td></tr>
</table>

Figure I.2 : Classification des interrupteurs selon leur réversibilité [1]

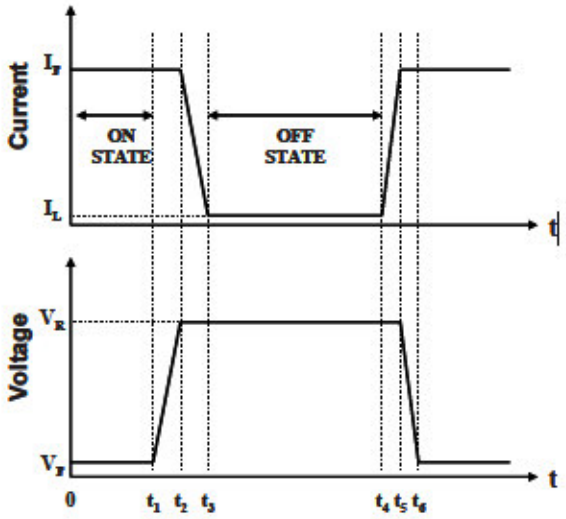


Figure I.3 : Forme typique du courant et de la tension d'un interrupteur pendant la commutation [2]

Aucun composant ne domine les autres pour toutes les gammes de tension et de fréquence. Par exemple, l'IGBT, de par sa structure bipolaire, présente de faibles pertes en conduction ; cependant, il pêche par ses pertes en commutation. A l'inverse de l'IGBT, le transistor MOS ne présente que très peu de pertes en commutation mais il est limité par ses pertes en conduction. La Figure I.4 montre la répartition des différents interrupteurs de puissance en fonction des gammes de fréquence et des gammes de tension.

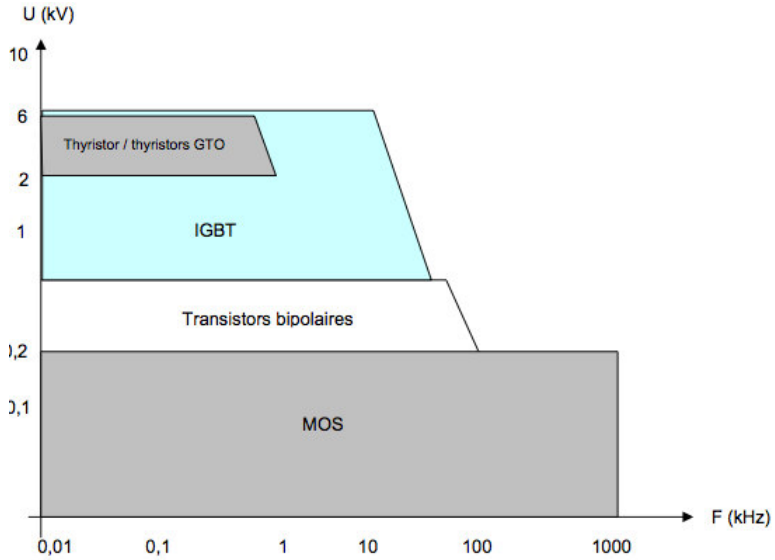


Figure I.4 : Représentation de l'utilisation des interrupteurs de puissance en fonction des gammes de fréquence et de tension

I.3 Les interrupteurs de puissance

L'utilisation de matériaux semi-conducteurs est la base pour la fabrication des interrupteurs de puissance. Le silicium en est le précurseur et a été longtemps le seul matériau utilisé. Cependant, de nouvelles structures à base d'autres matériaux tels que le nitrure de galium GaN et le carbure de silicium SiC ont fait leur apparition et viennent concurrencer les structures à base de silicium.

I.3.1 Composants silicium à grille isolée (MOS/IGBT)

I.3.1.1 Description

Les deux composants silicium prédominants dans l'électronique de puissance sont le transistor MOS et l'IGBT. La structure de ces composants est assez similaire. En effet, ils disposent tous les deux d'une jonction P^+N^- et d'une grille isolée. La différence se fait sur le substrat, dopé N^+ pour le transistor MOS alors qu'il est dopé P^+ pour l'IGBT (Figure I.5). Ce substrat P^+ permet l'injection de porteurs minoritaires dans la zone N^-, ce qui permet de diminuer la résistivité par rapport au transistor MOS.

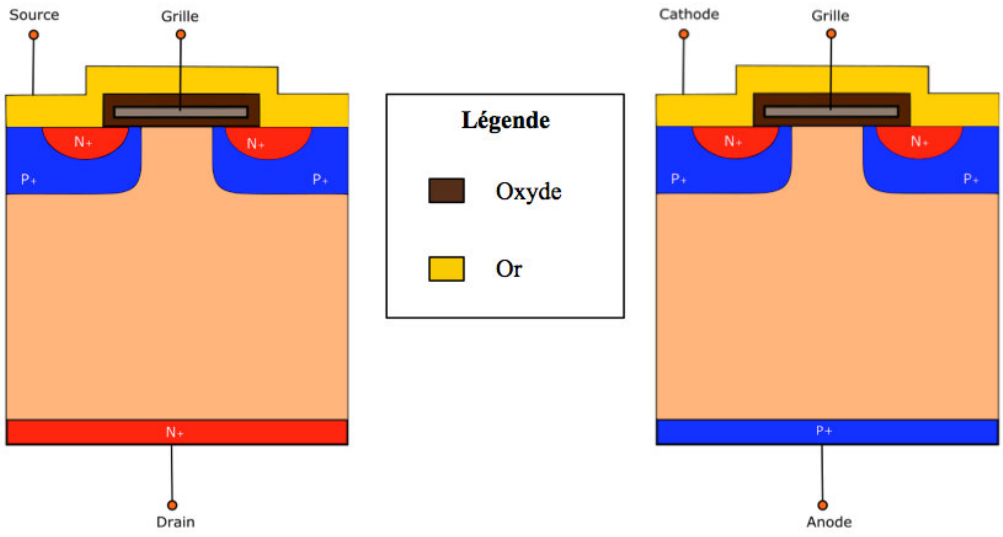


Figure I.5 : Coupes schématiques d'un transistor VDMOS (a) et d'un IGBT (b)

Lorsque l'on applique une tension inférieure à la tension de seuil V_{TH} entre la grille et le drain (ou anode pour l'IGBT), le composant est à l'état bloqué. Un dépeuplement des porteurs appelé « Zone de Charge d'Espace » (ZCE) apparaît dans la couche N^- et empêche le passage du courant entre la source et le drain (cathode et anode pour l'IGBT). C'est

également cette ZCE qui permet d'assurer la tenue en tension. Lorsque l'on applique une tension supérieure à V_{TH} entre la grille et le drain/anode (et une tension V_{AK} d'environ 0,7 V pour l'IGBT), le composant est alors passant. Les caractéristiques de sortie de ces deux composants sont représentées sur la Figure I.6.

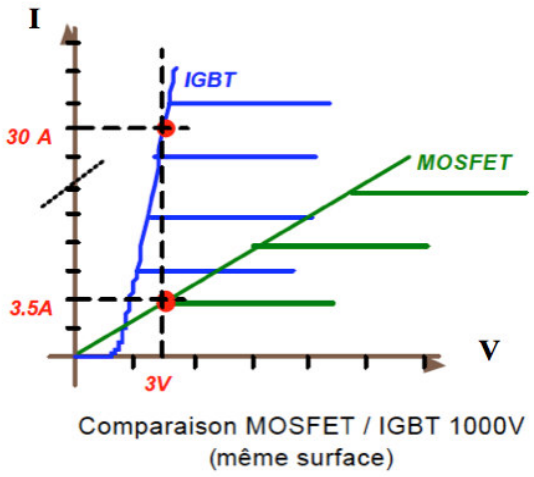


Figure I.6 : Caractéristiques de sortie I_D (V_{Ds}) du MOS et de l'IGBT

I.3.1.2 Interrupteur à l'état OFF : tenue en tension

L'appellation « tenue en tension » est attribuée à la valeur de tension maximale que peut supporter le composant à l'état bloqué (OFF) avant le claquage. Il existe quatre zones dans le composant susceptibles de claquer (Figure I.7). La zone (1) est susceptible de claquer à cause des phénomènes de courbure qui induisent un resserrement des lignes de potentiel. Les zones (3) et (4) subissent des phénomènes de surface, induisant un claquage sous la grille ou dans l'oxyde même. Pour finir, la zone (2) peut claquer si la tension excède les capacités de la ZCE.

La tenue en tension dépend donc de la plus petite tenue en tension de ces quatre zones. C'est le cas de la zone (1). Afin de contrer ce phénomène en périphérie et d'améliorer la tenue en tension globale du composant, de nombreuses techniques de garde ont été proposées. Nous traiterons plus particulièrement ce sujet lors du paragraphe I.4. Une autre zone sensible est située en zone (2). La tension de claquage dans cette zone est liée à la profondeur W_N de la ZCE dans la couche épitaxie N^- et à la valeur du dopage N_D de la zone N^- comme le suggèrent de nombreux auteurs.

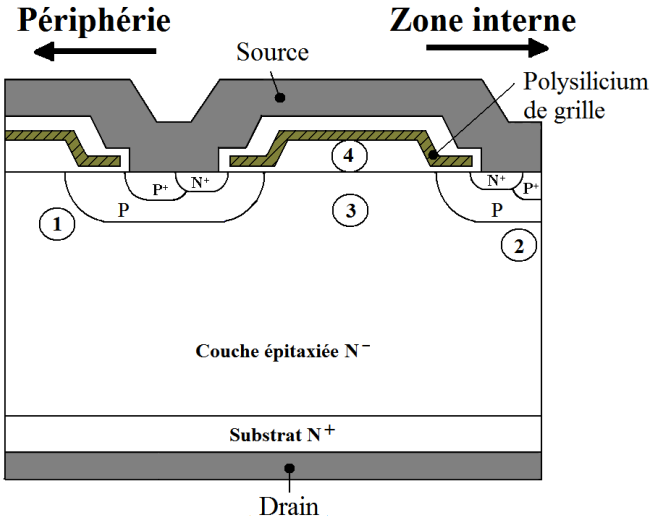


Figure I.7 : Localisation des différentes zones de claquage dans un transistor de puissance vertical à grille MOS [3]

L'approche de Gharbi [4] se basant sur des coefficients d'ionisation α_n et α_p non égaux, apparaît comme étant la plus rigoureuse. Il établit les équations I.1 et I.2 en considérant le cas d'une jonction plane infinie.

$$W_N(cm) = 2{,}44.10^{-6}.BV_{DSS}^{\frac{7}{6}} \qquad \textbf{(I.1)}$$

$$N_D(cm^{-3}) = 2{,}16.10^{18}.BV_{DSS}^{-\frac{3}{4}} \qquad \textbf{(I.2)}$$

Il découle de ce couple d'équations que, pour augmenter la tenue en tension BV_{DSS}, il faut soit augmenter la profondeur de la couche N^-, soit diminuer son dopage N_D. Cependant, la diminution du dopage de cette zone entraîne une augmentation de la résistance à l'état passant.

I.3.1.3 Interrupteur à l'état ON : résistance à l'état passant

La résistance à l'état passant R_{ON} est une des caractéristiques des interrupteurs de puissance les plus importantes et doit être la plus faible possible. Dans le cas d'un VDMOS, cette résistance est définie selon l'expression suivante :

$$R_{ON} = \left.\frac{V_{DS}}{I_D}\right|_{V_{DS}\to 0} \qquad \textbf{(I.3)}$$

où la tension appliquée entre grille et source V_{DS} est habituellement de 10 V. Cependant, dans un contexte de miniaturisation et d'intégration des composants, cette résistance n'a une réelle signification que si on prend en compte la taille du composant. En effet, il serait possible de diminuer R_{ON} vers des valeurs extrêmement faibles en mettant une "infinité" de cellules en parallèle mais cela ferait augmenter la surface du composant. C'est la raison pour laquelle le facteur de mérite « résistance passante spécifique » $R_{ON}.S$ est apparu [5] : c'est le produit de la résistance passante et de la surface active. Toujours dans le cas du VDMOS, cette résistance passante spécifique est la somme de quatre résistances (illustrées sur la Figure I.8) : la résistance R_{ch} du canal d'inversion, la résistance d'accès au drain R_a correspondant à la région située sous la grille entre deux caissons P, la résistance de drift R_d, qui représente la résistance du volume de la zone épitaxiée N^-, et la résistance R_{sub} du substrat N^+.

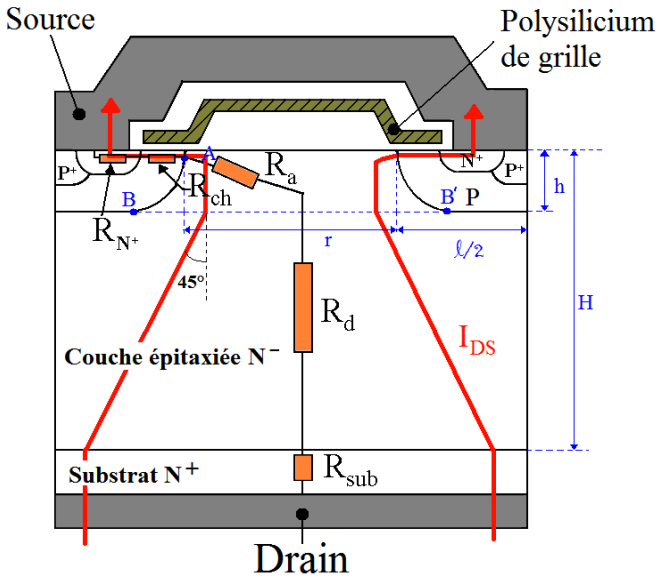


Figure I.8 : Mise en évidence des résistances composant la résistance passante totale R_{ON} [3]

Afin d'améliorer la tenue en tension, il est nécessaire d'augmenter la profondeur de la région N^-. Cependant, ce faisant, on augmente R_d qui devient prépondérante à mesure que l'on augmente la tenue en tension (Figure I.9). En première approximation, cette résistance peut être considérée comme un barreau de silicium, déclinée par la formule suivante :

$$R_d = \frac{\rho . l}{S} \qquad \textbf{(I.4)}$$

où ρ est la résistivité de la zone N^-, *l* est assimilable à (H-h) et S la surface de la zone active. Sachant que la formule de la résistivité se décline sous la forme suivante :

$$\rho = \frac{1}{q.\mu_n.N_D} \qquad \textbf{(I.5)}$$

où N_D est le dopage de la zone N^-, μ_n la mobilité des électrons et q la charge d'un électron, l'équation I.4 devient donc :

$$R_d = \frac{H-h}{q.\mu_n.N_D.S} \qquad \textbf{(I.6)}$$

Il apparaît donc clairement que la résistance est proportionnelle à la profondeur de l'épitaxie et qu'elle est inversement proportionnelle au dopage de cette dernière. Afin de diminuer R_d, il est nécessaire de proposer une structure qui permettra soit d'avoir une profondeur d'épitaxie la plus faible possible, soit d'avoir un dopage le plus élevé possible.

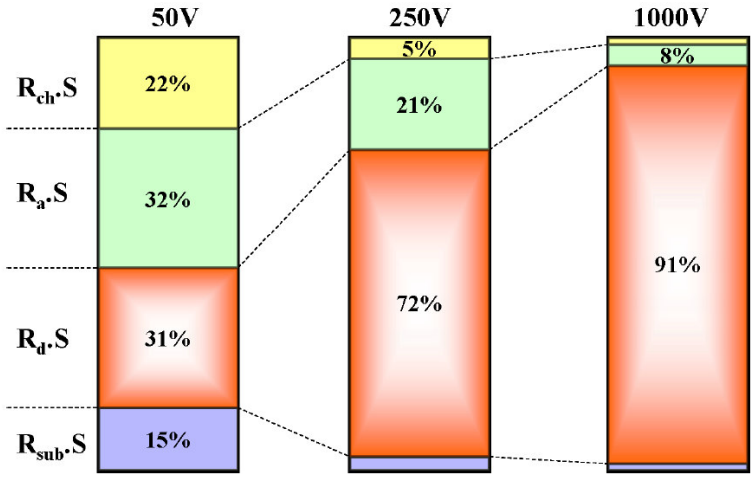


Figure I.9 : Part des différentes composantes de la résistance passante spécifique d'un transistor VDMOS à basse, moyenne et haute tension [3]

Dans le cas de l'IGBT, l'injection de porteurs minoritaires modifie la résistivité de la zone de drift. Cette injection provient d'un fonctionnement transistor bipolaire PNP intrinsèque à la structure de l'IGBT. En effet, lorsque l'on applique une tension positive sur la grille supérieure à la tension de seuil V_{TH} et une tension entre l'anode et la cathode supérieure à la tension de seuil de la jonction P^+N^-, un canal de conduction apparaît, qui permet le

passage du courant entre la cathode et la zone de drift. Ce courant alimente alors le transistor bipolaire PNP. Le courant de l'IGBT peut être traduit par la relation suivante :

$$I_A = I_{MOS} \cdot (1 + \beta_{PNP}) \quad \textbf{(I.7)}$$

où I_A est le courant traversant l'IGBT, I_{MOS} le courant traversant la partie MOS et β_{PNP} est le gain apporté par le transistor PNP.

Le courant traversant l'IGBT est donc supérieur à celui traversant le MOS grâce à cette injection de porteurs minoritaires qui contribue, en contrepartie, à une diminution des performances dynamiques.

I.3.1.4 Le fonctionnement dynamique

Concernant le fonctionnement dynamique, la Figure I.3 a montré que lors de la commutation, les composants n'étant pas idéaux, le temps de transition d'un état à l'autre n'est pas instantané. Pendant ce temps de transition, le composant dissipe de la puissance et entraîne donc des pertes appelées « pertes de commutation ». Ces pertes peuvent être facilement calculées grâce à l'expression suivante [2] :

$$P_{com} = \frac{1}{2} \cdot (T_{turnON} + T_{turnOFF}) \cdot V \cdot I \cdot f \quad \textbf{(I.8)}$$

où T est le temps de chaque commutation et f la fréquence de travail.

Il apparaît que ces pertes augmentent avec la fréquence de travail et qu'il est nécessaire d'avoir un temps de commutation le plus faible possible afin de les réduire. Ce temps est fortement lié aux capacités inter-électrodes présentes dans la structure du VDMOS. Elles se décomposent en trois capacités illustrées Figure I.10 : les capacités d'oxyde grille-source (C_{gs}), et grille-drain (C_{gdmax}), de déplétion de la zone intercellulaire (C_{dgd}) et la capacité de transition drain-source (C_{ds}) de la jonction PN^- [6].

La possibilité de diminuer le temps de commutation passe par la diminution de ces capacités. Cependant, l'amélioration des capacités d'oxyde grille-source (C_{gs}) et grille-drain (C_{gdmax}) n'apporte que de faibles gains à cause du peu de degré de liberté disponible. En effet, la capacité C_{gs} dépend essentiellement du procédé de fabrication et des règles de dessin. De même, la capacité C_{dgd} est fortement liée à la jonction PN^-, et particulièrement dépendante de

la diffusion des caissons P^+. En revanche, l'amélioration de la capacité C_{ds} apporte un gain important sur la diminution du temps de commutation, sans dégrader les performances statiques du composant. De nombreuses solutions ont été proposées afin de réduire cette capacité et, notamment, le double niveau d'oxyde qui permet de diminuer le temps de charge de cette capacité et de diminuer le temps de commutation.

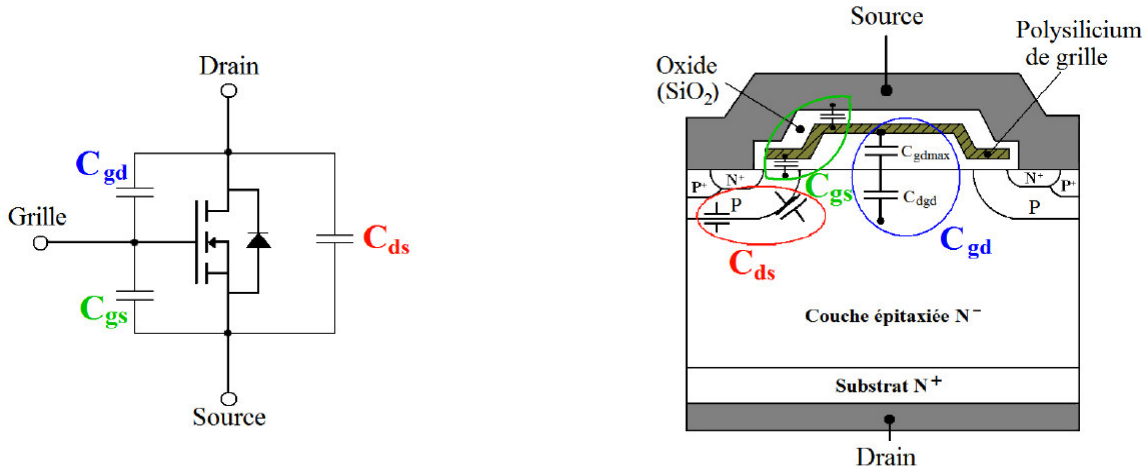


Figure I.10 : Schéma des différentes capacités composant le VDMOS [3]

La principale limitation de l'IGBT pour la commutation est la durée de vie des porteurs minoritaires dans la zone épitaxie N^-. Sachant que cette dernière est la base du transistor bipolaire PNP et qu'il n'y a pas d'accès à cette base, il est impossible d'améliorer la vitesse de commutation à l'aide d'une commande. Le transistor MOS atteint son régime de saturation bien avant le transistor PNP et limite le courant dans la zone épitaxie. Le courant de l'IGBT étant la somme du courant du MOS et du PNP, la fermeture s'effectue en deux temps : dans un premier temps, le MOS se ferme, limitant alors le courant dans la couche P^+ puis le transistor PNP se ferme lorsque les porteurs minoritaires se sont recombinés. Cela entraîne une large augmentation du temps de commutation pour l'IGBT en comparaison du VDMOS.

I.3.1.5 Nouvelles structures

En résumé, le VDMOS est principalement limité par ses pertes en conduction (liées à une résistance à l'état passant importante) et l'IGBT par ses pertes en commutation (liées à un temps de commutation élevé). Afin de dépasser les performances de ces composants, de nouveaux concepts ont été proposés : la superjonction appliquée au VDMOS permet de

diminuer sa résistance à l'état passant et le RC-IGBT permet d'améliorer la vitesse de commutation.

De nombreuses recherches se sont concentrées sur l'amélioration des composants MOSFET, notamment pour diminuer drastiquement la résistance à l'état passant [7]. Le concept de superjonction est le premier à avoir dépassé la limite théorique du silicium [8], [9].

Il consiste en une alternance de bandes N et P à la place de la zone de drift. A surfaces de silicium identiques, la surface de la jonction PN ainsi obtenue est alors beaucoup plus importante dans la superjonction que dans une diode traditionnelle (Figure I.11). La tenue en tension dépend alors de la balance des charges entre ces différentes bandes et ne dépend plus du dopage. Cela permet d'augmenter le dopage de la zone intrinsèque et d'ainsi diminuer la résistance à l'état passant sans entacher les performances dynamiques du composant.

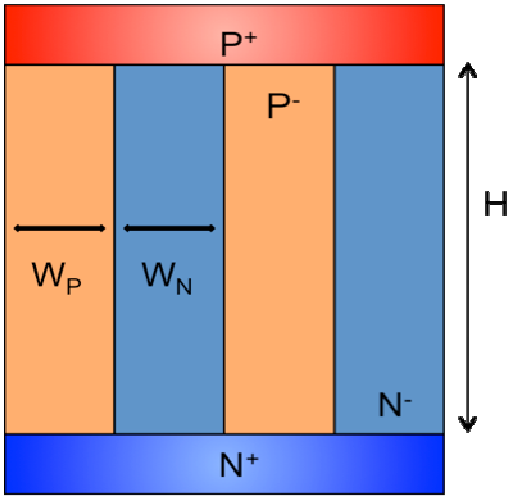


Figure I.11 : Coupe schématique d'une superjonction

Le RC-IGBT est une innovation émanant de la recherche visant à intégrer un IGBT et une diode. Cette structure a pour but de permettre une conduction inverse pour les applications telles qu'onduleurs et hacheurs réversibles. D'un point de vue structurel, le RC-IGBT est le croisement d'un MOS et d'un IGBT car, comme le montre la Figure I.12, la couche du substrat est partagée en deux régions (une P^+ et une N^+). Cela diminue l'injection de porteurs et donc augmente la résistance à l'état passant et diminue le temps de commutation. Il est possible de moduler la largeur de ces bandes afin de favoriser l'un ou l'autre de ces deux paramètres. Cependant, il apparaît un phénomène parasite appelé « snapback » illustré sur la Figure I.12.

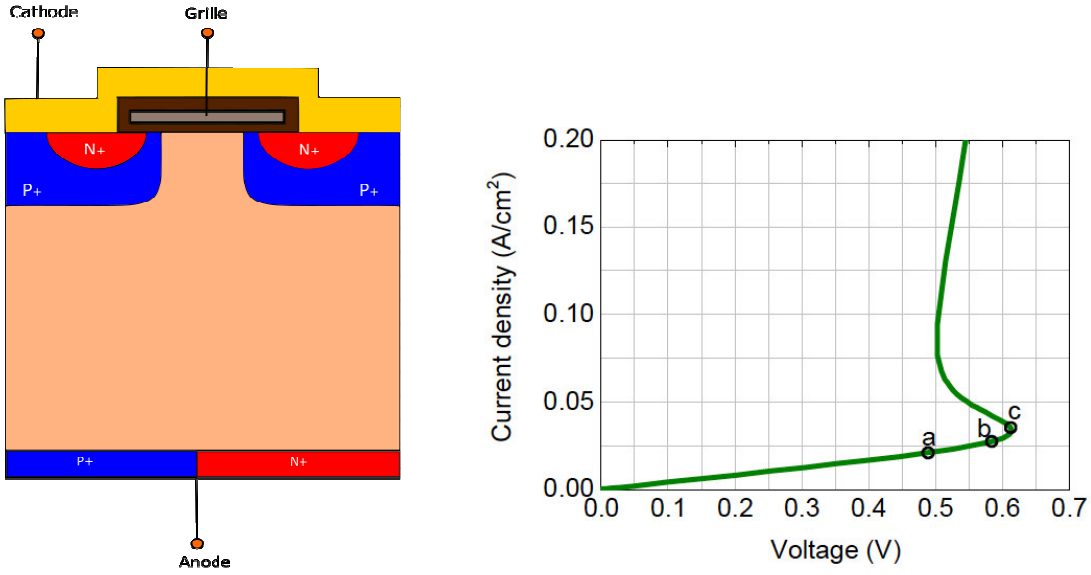


Figure I.12 : Coupe schématique du RC-IGBT et illustration du phénomène de « snapback » [10]

I.3.2 Composants à large bande interdite

Au cours de ces vingt dernières années, la recherche s'est investie dans l'étude de semi-conducteurs dits à large bande interdite. Ceux-ci présentent, de par leurs avantages physico-chimiques, un fort champ de claquage et une vitesse de saturation importante, ce qui en fait de très bons candidats pour l'élaboration de composants de puissance (Tableau I.1).

Tableau I.1 : Comparaison des propriétés électriques de différents semi-conducteurs

Propriétés	Si	SiC	GaN
Bande interdite (eV)	1,1	3,2	3,4
Champ électrique critique ($MV.cm^{-1}$)	0,3	3,5	3,3
Vitesse de saturation ($10^7 cm.s^{-1}$)	1	2	2,5
Mobilité électronique ($cm^2.V^{-1}.s^{-1}$)	1500	650	990
Permittivité relative (ε_r)	11,8	10	9,5
Conductivité thermique ($W.cm^{-1}.K^{-1}$)	1,5	4,5	1,3

Le terme de large bande interdite (ou grand gap) vient du fait que la bande interdite entre la bande de valence et la bande de conduction est plus grande que celle du silicium. Cela implique, par exemple, que la probabilité qu'un électron thermiquement excité traverse le gap

est plus faible. Le Tableau I.1 montre que ces semi-conducteurs présentent un champ électrique de claquage jusqu'à 10 fois plus grand que celui du silicium [11], [12]. Ainsi, pour une même tension de claquage, la zone épitaxiée pourrait être 10 fois moins profonde que celle des composants silicium et donc présenter une résistance à l'état passant bien plus faible.

I.3.2.1 Composants SiC

Dans le cas du SiC, si l'on considère une jonction abrupte P^+N sous polarisation inverse, le champ électrique unidimensionnel E_c et la tension de claquage V_{BV} s'expriment selon les expressions suivantes :

$$E_c = 3{,}3 \cdot 10^4 \cdot N_D^{\frac{1}{8}} \quad \textbf{(I.9)}$$

$$V_{BV} = 3 \cdot 10^{15} \cdot N_D^{-\frac{3}{4}} \quad \textbf{(I.10)}$$

où N_D est le dopage de la zone déplétée. Tandis que ces paramètres pour le silicium sont exprimés de la manière suivante:

$$E_c = 4010 \cdot N_D^{\frac{1}{8}} \quad \textbf{(I.11)}$$

$$V_{BV} = 5{,}34 \cdot 10^{13} \cdot N_D^{-\frac{3}{4}} \quad \textbf{(I.12)}$$

Afin de comparer les propriétés du silicium et du carbure de silicium, les évolutions de ces deux paramètres à partir des équations (I.9), (I.10), (I.11) et (I.12) ont été tracées sur la Figure I.13. On peut voir que, pour un même dopage, le champ électrique critique du SiC est presque dix fois supérieur à celui du silicium et la tenue en tension du SiC est presque cent fois supérieure à celle du silicium. Comparativement au silicium, il est donc possible théoriquement de créer des composants SiC avec un dopage de la région N^- supérieur et une épaisseur de cette région inférieure. Cela engendrerait la diminution de la résistance à l'état passant et permettrait d'avoir un meilleur compromis « tenue en tension/résistance à l'état passant » que celui du silicium (Figure I.14).

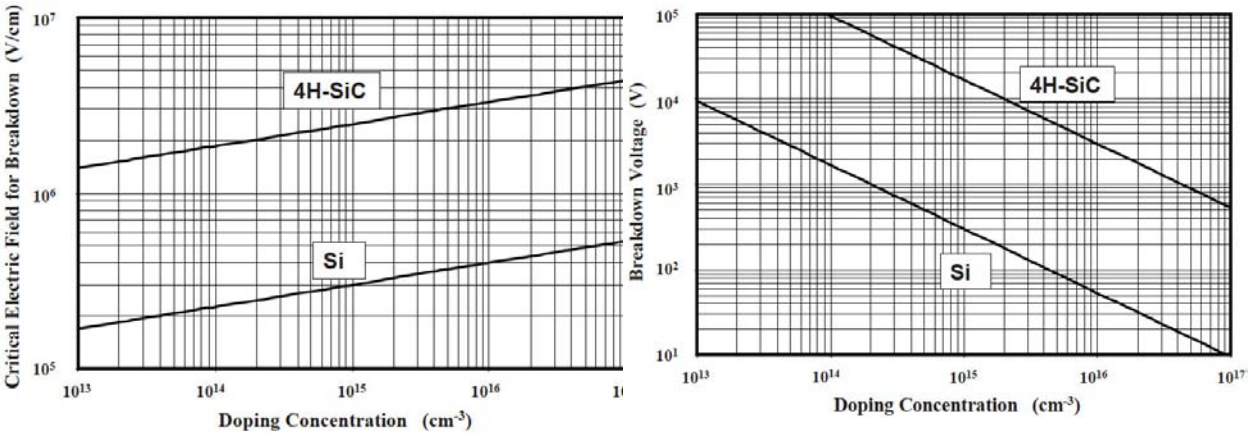


Figure I.13 : Comparaison du champ électrique critique et de la tenue en tension en fonction du dopage entre le silicium et le SiC [2]

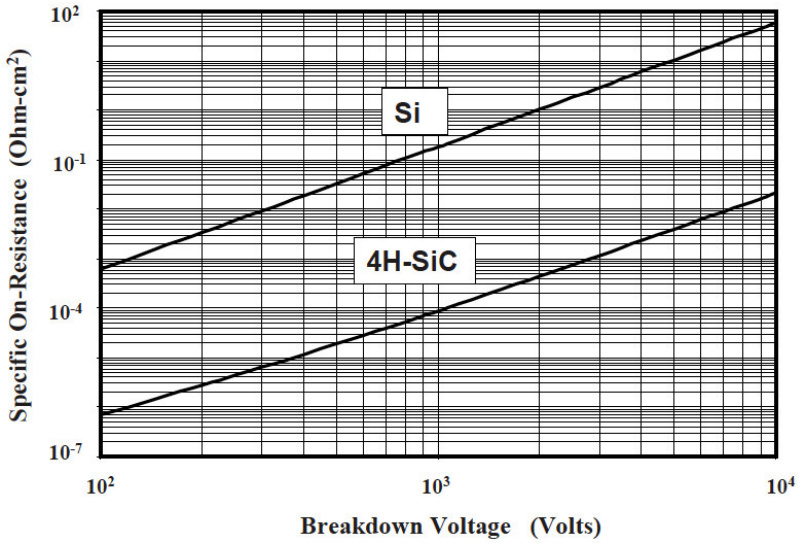


Figure I.14 : Compromis « tenue en tension / résistance à l'état passant » théorique pour le silicium et le SiC [2]

De nombreux composants sont réalisés à base de SiC tels que des diodes [13], [14], ou des IGBTs [15], par exemple. Cependant, la réalisation de composants MOSFET en SiC pose problème notamment au niveau des oxydations. En effet, il est difficile d'obtenir une interface oxyde/SiC de qualité, ce qui provoque une détérioration de la mobilité des électrons dans le canal d'inversion. De plus, l'oxyde de grille engendre des problèmes de fiabilité car sa bande de conduction est proche de celle du SiC [16]. Il est à noter toutefois que des composants SiC sont commercialisés. En effet, des entreprises telles que CREE et Rhom commercialisent des MOSFET SiC.

I.3.2.2 Composants GaN

L'élaboration de transistors à base de GaN repose sur l'association de matériaux permettant de créer une hétérojonction. A l'interface de ces matériaux, il y a un puits quantique dans le niveau de Fermi provoquant le confinement des électrons à cet endroit (Figure I.15). Ce confinement est appelé « gaz 2D » [17], [18]. Grâce à ce gaz qui fait office de canal, il est possible d'avoir une grande mobilité des électrons ainsi qu'une résistance de conduction très faible. Le fonctionnement du Transistor à Haute Mobilité Electronique (HEMT) repose sur la modulation de ce gaz 2D. En effet, l'application d'une tension sur la grille affecte le positionnement énergétique de la bande de conduction sous la grille par rapport au niveau de Fermi. Les HEMTs sont généralement « normalement passant » (Normally ON), c'est-à-dire qu'ils sont conducteurs lorsqu'aucun potentiel n'est appliqué sur la grille. Cependant, il existe des structures HEMT « Normally OFF », mais elles sont plus difficiles à mettre en œuvre et affichent des performances dégradées [19], [20].

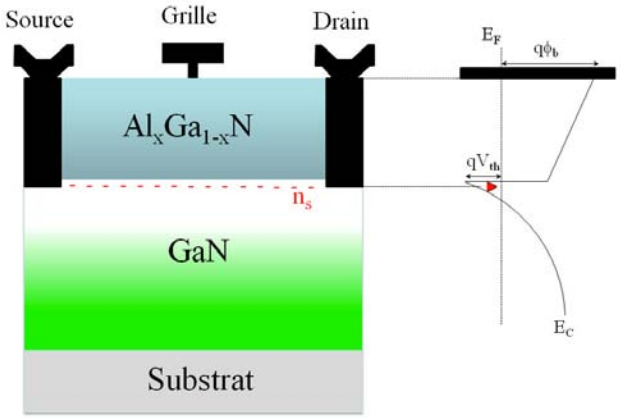


Figure I.15 : Coupe schématique d'un HEMT avec le niveau de Fermi sans application de potentiel sur la grille [21]

I.3.3 Choix du composant

D'un point de vue performance théorique, les composants « grand gap » surpassent largement le silicium, notamment pour le compromis « tenue en tension / résistance à l'état passant ». Cependant, ils présentent plusieurs inconvénients. Par exemple, le HEMT est Normally ON, ce qui pose problème pour son insertion dans les chaînes de conversion dont on cherche à optimiser le rendement. De plus, l'apparition d'un courant de conduction variable avec le temps, appelé « current collapse », fait préférer des structures plus stables et

fiables. Enfin, les technologies de fabrication sur le nitrure de gallium n'étant pas encore complètement maîtrisées, il nous est apparu préférable de nous tourner vers un de ses concurrents.

Les composants à base de carbure de silicium ne rencontrent pas ces problèmes mais le prix des substrats SiC étant exorbitants, ils sont surtout utilisés pour la très haute tension. De plus, les transistors MOSFET en SiC rencontrent un problème lié à la qualité de l'interface oxyde/SiC, ce qui engendre une diminution de la mobilité des électrons dans le canal d'inversion. C'est pourquoi nous avons décidé de consacrer nos travaux à des composants de puissance en silicium car les techniques de fabrication sont peu coûteuses et mieux maîtrisées.

Parmi les composants en silicium, ceux à superjonction permettent de dépasser la limite du silicium et d'améliorer le compromis « tenue en tension / résistance à l'état passant ». Infineon et STMicroelectronics ont déjà réalisé des composants de puissance à superjonction [22], [23]. Cependant, ils ont employé de multiples épitaxies, ce qui est technologiquement très onéreux. Grâce à une technologie à tranchées profondes, il est possible de réaliser la superjonction en n'utilisant qu'une seule épitaxie, ce qui rendrait la technologie moins coûteuse. Pour toutes ces raisons, le choix s'est porté sur la conception et la réalisation de composants de puissance à base de silicium mettant en œuvre le concept de superjonction grâce à une technologie à tranchées profondes.

I.4 Les techniques de garde

La première zone à atteindre le claquage est la périphérie. En effet, dans cette zone, apparaissent des géométries de jonction cylindriques et sphériques, dégradant les performances du composant. Le gradient de potentiel, donc le champ électrique, devient bidimensionnel (jonction cylindrique) et tridimensionnel (jonction sphérique). Son module est alors croissant pour une même polarisation appliquée, lorsque l'on passe d'une jonction plane à une jonction cylindrique ou sphérique. Il est donc nécessaire de mettre en place un dispositif de protection, couramment appelé « technique de garde », afin de repousser le claquage prématuré et permettre au composant d'avoir une tenue en tension proche de la tenue en tension des cellules centrales théoriques [24], [25]. Ce claquage prématuré est essentiellement dû à un champ électrique élevé provoqué par un resserrement des lignes de potentiel. Les techniques de garde ont pour but d'étaler les lignes de potentiel afin de diminuer le champ électrique en périphérie. Dans cette partie, les techniques de garde les plus utilisées seront

présentées, à savoir la plaque de champ [26], les anneaux de garde [27], les JTE (Junction Termination Extension) [28] ainsi que la DT^2 (Deep Trench Termination) [29].

I.4.1 La plaque de champ

La plaque de champ est un prolongement de la métallisation constituant le contact de source/cathode. Afin d'éviter de polariser la région en dessous de ce prolongement, un diélectrique est placé entre le silicium et la métallisation (Figure I.16). Lorsque le composant est sous polarisation inverse, la zone de charge d'espace se prolonge le long de la plaque de champ, éloignant la courbure des lignes de potentiel de la jonction PN et réduisant ainsi le champ électrique. Cependant, il subsiste un pic de champ électrique à la fin de la plaque de champ. Deux paramètres doivent être pris en compte pour l'optimisation de la terminaison : la longueur de la plaque de champ et l'épaisseur du diélectrique [30], [31]. En effet, en fonction de la tenue en tension souhaitée, il est nécessaire d'optimiser la longueur minimale de la plaque de champ et l'épaisseur du diélectrique en fonction de son champ électrique critique. Plus la tenue en tension souhaitée est importante, plus la plaque de champ doit être étendue. De même, le diélectrique doit être épais, surtout en bout de plaque de champ car c'est là que subsiste le pic de champ électrique.

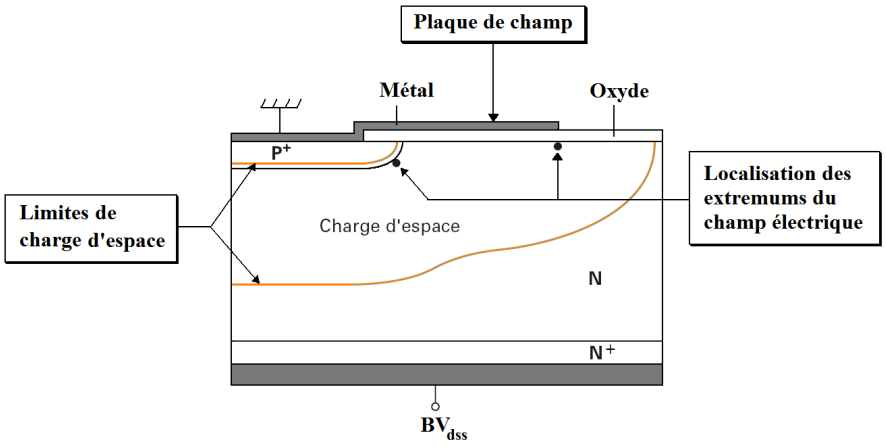


Figure I.16 : Coupe schématique d'une jonction PN équipée d'une plaque de champ [3]

La plaque de champ permet d'obtenir jusqu'à 80% de la tenue en tension idéale d'une jonction plane infinie. Cependant, l'efficacité de cette technique de garde diminue lorsque l'on augmente la tenue en tension : elle est donc généralement utilisée pour des applications basses et moyennes tensions ou couplée à d'autres techniques.

I.4.2 Anneaux de garde

Il existe deux types d'anneaux de garde : l'anneau de garde diffusé et les anneaux diviseurs de champ. Le premier est un anneau faiblement dopé dans la prolongation de la jonction à protéger, tandis que les anneaux diviseurs de champ sont plusieurs anneaux flottants disposés à distance de la jonction.

I.4.2.1 Anneau de garde diffusé

L'anneau de garde diffusé est un caisson faiblement dopé et plus profond que la jonction à protéger (Figure I.17). En effet, ce mécanisme consiste à mettre en place une jonction cylindrique ayant une tension de claquage supérieure à la jonction cylindrique à protéger. Pour cela, on utilise un caisson moins dopé en périphérie et plus profond que la jonction afin d'assurer la courbure des lignes de champ au bord du caisson. Cependant, pour des tenues en tension importantes, le caisson doit être très profond et très faiblement dopé, ce qui rend difficile la mise en place d'un tel dispositif. Cette technique de garde est donc plutôt utilisée pour des jonctions peu profondes ou des contacts Schottky. Un autre inconvénient est que cette terminaison entraîne un effet parasite sous polarisation directe ou lors de la commutation.

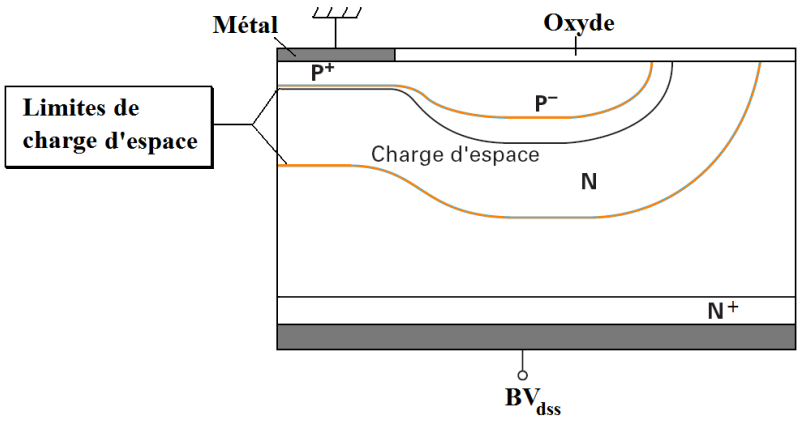


Figure I.17 : Coupe schématique d'une jonction PN équipée d'un anneau de garde diffusé [3]

I.4.2.2 Anneaux de garde diviseurs de champ

La technique des anneaux diviseurs de champ utilise des caissons non polarisés, dopés autour de la jonction à protéger (Figure I.18). Contrairement à l'anneau de garde diffusé, les anneaux diviseurs de champ n'ont pas besoin d'être profonds ni d'être faiblement dopés. En

effet, on peut réaliser les caissons dopés en même temps que l'implantation pour la jonction. Cela ne rajoute donc aucune étape technologique.

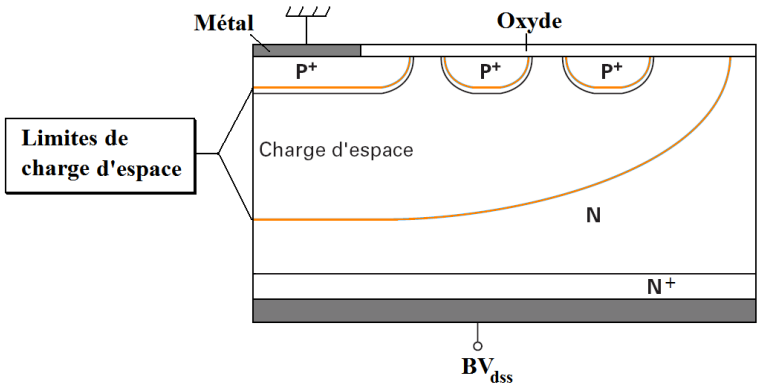


Figure I.18 : Coupe schématique d'une jonction PN équipée d'anneaux de garde diviseurs de champ [3]

Les anneaux de garde permettent d'étendre la zone de charge d'espace jusqu'au dernier anneau. En effet, sous polarisation inverse, la zone de charge d'espace s'étend, polarisant les anneaux en direct à un niveau de tension inférieur à la tension de perçage. La tenue en tension devient alors approximativement la somme de la tension de claquage des anneaux et de la tension de perçage entre les anneaux et la jonction principale. La distance entre les anneaux et la jonction à protéger est calculée pour que la zone de charge d'espace atteigne les anneaux avec un niveau de tension bien inférieur à la tension de claquage [4], [32]. Il est donc nécessaire d'optimiser la distance entre les anneaux et la quantité d'anneaux nécessaire pour obtenir une tenue en tension proche de celle de la jonction plane infinie. Cependant, le nombre d'anneaux dépend de la tenue en tension souhaitée et cette technique devient rapidement encombrante à mesure que la tenue en tension souhaitée augmente. Elle sera donc utilisée pour des tenues en tension inférieures au millier de Volts environ.

I.4.3 L'extension de jonction

L'extension de jonction ou JTE (Junction Termination Extension) est une technique de garde qui, en apparence, se rapproche de l'anneau de garde diffusé mais qui utilise des mécanismes de protection qui diffèrent de ce dernier. En effet, l'extension de jonction se fait avec une implantation faiblement dopée plus ou moins profonde (Figure I.19). Le but de cette région est qu'elle se retrouve complètement dépeuplée lors de la polarisation inverse. Ainsi, cette région supporte une part de la tenue en tension et permet de repousser le niveau de

tension de claquage proche de la tenue en tension idéale de la jonction à protéger puisque cette terminaison fait apparaître une zone dépeuplée de signe inverse par rapport à ce qui serait présent sans terminaison, forçant ainsi l'extension de la zone de charge d'espace. Cela permet d'améliorer la distribution des lignes de potentiel et donc d'améliorer la tenue en tension.

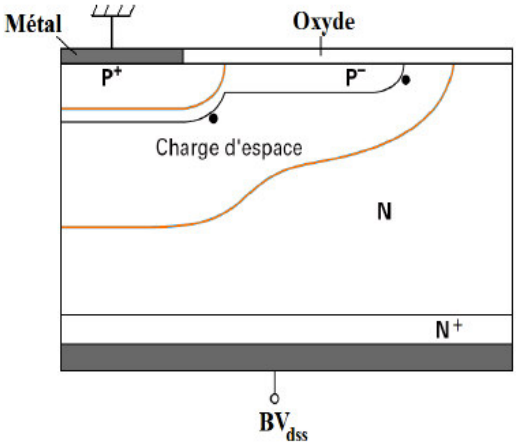


Figure I.19 : Coupe schématique d'une jonction PN équipée d'une extension de jonction [3]

Cependant, cette terminaison nécessite un bon contrôle de la dose d'implantation, de la diffusion des impuretés et une optimisation de sa longueur [33]. En effet, dans le cas d'une dose trop faible ou d'une jonction trop longue, la zone ne se déplèterait que partiellement, rendant la terminaison complètement inefficace. A l'inverse, dans le cas d'une dose d'implantation trop importante ou d'une longueur trop faible, l'apport de la terminaison serait quasi inexistant puisque le claquage s'effectuerait alors en bordure de terminaison, mais pour une tension inverse légèrement supérieure à celle de la jonction principale sans terminaison. Ces deux cas sont reportés sur la Figure I.20.

Une autre difficulté rencontrée pour la réalisation de cette terminaison provient de sa sensibilité aux charges. En effet, lors de la fabrication, il est nécessaire d'être rigoureux afin d'éviter d'avoir beaucoup de charges piégées dans le réseau cristallin surfacique qui, combinées aux charges du matériau de passivation, entraînent le dysfonctionnement de la terminaison [33], [34]. Lorsque cette terminaison est bien réalisée, elle permet à la structure d'afficher une tenue en tension très proche de la tenue en tension idéale de la jonction plane.

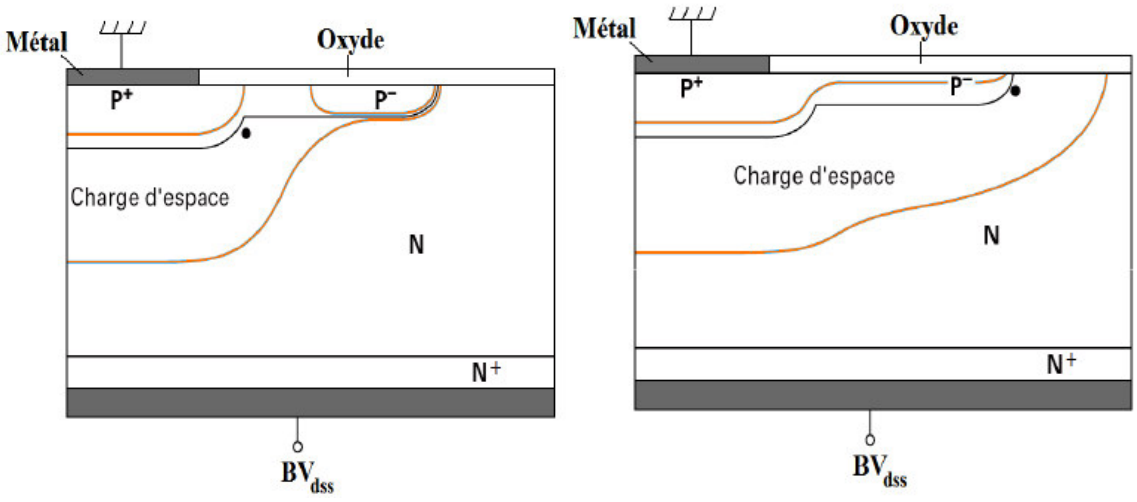


Figure I.20 : Effet d'une dose d'implantation trop faible(gauche) et trop importante (droite) sur la charge d'espace [3]

I.4.4 Terminaison à tranchée profonde

La terminaison à tranchée profonde est une cuve large et profonde remplie de diélectrique, assistée par une plaque de champ en surface (Figure I.21). La plaque de champ permet de délocaliser la courbure des lignes de champ qui se situent normalement à l'extrémité de la jonction. Dans cette terminaison, cette courbure est délocalisée dans un diélectrique (ici du BenzoCycloButèbne) ayant un champ électrique critique beaucoup plus important que le silicium. Grâce à cela, il est possible d'obtenir une tenue en tension proche de la tenue en tension idéale, lorsque la terminaison est bien dimensionnée. Cependant, un resserrement des lignes de potentiel se produit au bout de la plaque de champ, créant ainsi un pic de champ électrique en surface. Il donc nécessaire d'utiliser également une passivation en surface afin d'éviter l'apparition d'un claquage en surface.

L'avantage de cette terminaison est qu'elle occupe moins de place en périphérie que les autres terminaisons précédemment citées et qu'elle est efficace pour des moyennes et fortes tenues en tension en fonction du diélectrique présent dans la cuve. L'inconvénient majeur de cette terminaison est qu'elle nécessite plusieurs étapes technologiques supplémentaires, rendant ainsi le procédé de fabrication plus compliqué.

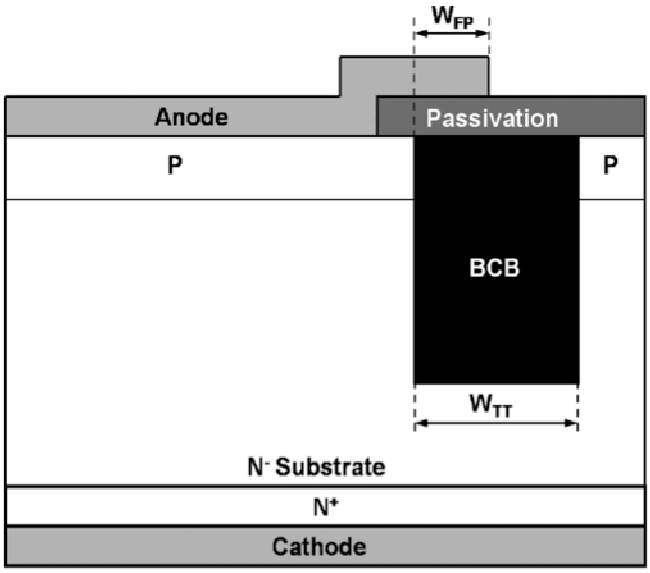


Figure I.21 : Coupe schématique d'une jonction PN équipée d'une terminaison à tranchée profonde [35]

Cette terminaison semble être la plus adaptée pour protéger un composant à superjonction et à tranchées profondes car elle permet de conserver l'équilibre des charges via une implantation autour des tranchées. De plus, il est possible de réaliser cette terminaison en même temps que le composant à superjonction et à tranchées profondes, ce qui simplifie le procédé technologique.

I.5 Conclusion

Dans ce chapitre, la fonction « interrupteur » et différentes structures en silicium capables de réaliser cette fonction ont été présentées telles que les structures IGBT et MOS conventionnelles ainsi que leurs mécanismes de fonctionnement. Le facteur de mérite principal de ces composants est le compromis « tenue en tension / résistance à l'état passant ». Les nouveaux composants grands gaps permettent de surpasser les composants silicium, mais ces technologies n'en sont pas encore au même degré de maturité et de faible coût. C'est la raison pour laquelle nous avons décidé d'orienter nos travaux sur des composants MOS de puissance en silicium.

Afin d'améliorer les performances des structures MOS, le concept de superjonction a émergé. Cette solution permet de dépasser la limite du silicium et d'obtenir une résistance à l'état passant bien plus faible qu'une structure conventionnelle, tout en conservant une tenue en tension élevée. Des réalisations ont déjà été mises en œuvre mais en utilisant une

technologie onéreuse. Le sujet de ces travaux va se concentrer sur une solution alternative à une seule épitaxie dont l'étude théorique sera présentée dans le chapitre suivant.

La zone la plus sensible dans un composant de puissance est sa périphérie, en particulier pour les composants à superjonction qui utilisent des zones volumiques N plus fortement dopées que les régions N^- des interrupteurs MOS conventionnels. En effet, la courbure des lignes de potentiel se situe en périphérie du composant, entraînant une augmentation du champ électrique et ainsi un claquage prématuré. Afin d'obtenir une tenue en tension proche de celle obtenue idéalement avec les cellules centrales seules, il est nécessaire d'utiliser une protection en périphérie. Plusieurs protections ont été présentées : nous étudierons plus particulièrement la DT^2 (Deep Trench Termination) dans le chapitre suivant car elle semble être la plus adaptée pour protéger la structure que nous étudierons qui possède des forts dopages et dont il est nécessaire de conserver l'équilibre des charges en périphérie.

Chapitre II . Conception de composants à superjonction et à tranchées profondes

II.1 Introduction **45**

II.2 Théorie de la superjonction **46**

II.2.1 Principe physique 46
II.2.2 Compromis tenue en tension / résistance à l'état passant 47
II.2.3 Véhicule test 49

II.3 Etude de la DT-SJDiode **50**

II.3.1 Influence de la profondeur des tranchées 52
II.3.2 Influence de la largeur des bandes N 54
II.3.3 Influence de la Dose de bore diffusée d_B 56
II.3.4 Optimisation de la DT-SJDiode 57

II.4 Etude de la terminaison **58**

II.4.2 Influence de la profondeur de la terminaison 60
II.4.3 Influence de la largeur de la terminaison 61
II.4.4 Influence de la longueur de la plaque de champ 62
II.4.5 Optimisation de la terminaison DT^2 64
II.4.5.1 Optimisation pour des composants 600 V 64
II.4.5.2 Optimisation pour des composants 1200 V 65
II.4.6 Amélioration de la terminaison 66

II.5 Conclusion **70**

II.1 Introduction

Dans le premier chapitre, nous avons identifié les composants électroniques permettant de réaliser la fonction « interrupteur ». Les composants dits « grand gap » présentent des caractéristiques électriques très intéressantes pour l'électronique de puissance, de par leur fort champ de claquage et leur résistance à l'état passant très faible. Néanmoins, leurs coûts élevés et leurs maturités technologiques nous font préférer ici le développement de composants silicium.

En haute tension, la résistance à l'état passant du transistor MOS est essentiellement composée de la résistance de drift. Le concept de superjonction est apparu dans le but de diminuer fortement cette résistance, permettant ainsi de dépasser la limite théorique des transistors MOS traditionnels. Il est donc possible d'obtenir un transistor MOS affichant une résistance à l'état passant comparable à celle de l'IGBT, tout en conservant les avantages dynamiques et thermiques d'un MOSFET conventionnel.

Dans ce chapitre, nous aborderons dans un premier temps le concept de la superjonction. Cette première partie permettra d'identifier l'apport de ce concept pour la résistance à l'état passant ainsi que les contraintes l'accompagnant. Nous proposerons ensuite la structure d'une diode à superjonction et à tranchées profondes, dont nous nous servirons comme véhicule test pour la réalisation.

Dans une deuxième partie, nous optimiserons les paramètres géométriques de la structure proposée afin d'obtenir le meilleur compromis « tenue en tension / résistance à l'état passant ». Pour cela, notre étude se fera à l'aide d'un outil numérique de simulation à éléments finis bidimensionnel et tridimensionnel : le logiciel SENTAURUS-TCAD [36]. L'étude de la protection en périphérie sera également faite et optimisée pour notre véhicule test. Nous proposerons également une amélioration de la terminaison utilisée afin de la rendre plus robuste.

II.2 Théorie de la superjonction

Afin de dépasser les performances des transistors MOS conventionnels, de nouveaux concepts ont émergé. Le concept de superjonction modifie la zone de drift, réduisant ainsi la résistance de drift, prépondérante dans les transistors MOS à haute tension. Nous avons choisi de développer ce type de composants au laboratoire. Dans cette partie, nous analyserons le principe de fonctionnement et nous proposerons un véhicule test capable de fournir le meilleur compromis « tenue en tension / résistance à l'état passant ».

II.2.1 Principe physique

La superjonction consiste en une alternance de bandes N et P dans la zone de drift remplaçant la zone N^- d'une diode PIN conventionnelle (Figure II.1). Cela a pour conséquence d'étendre la surface de jonction PN. Lorsque l'on applique une polarisation inverse aux bornes du composant à superjonction, les bandes se dépeuplent plus rapidement latéralement que verticalement, permettant ainsi d'avoir un dépeuplement total des bandes avant d'atteindre le champ critique. Une fois les bandes complètement dépeuplées, le silicium se comporte comme un diélectrique dont la tenue en tension dépend de la longueur H des bandes car la distribution de champ électrique est alors uniforme dans le volume.

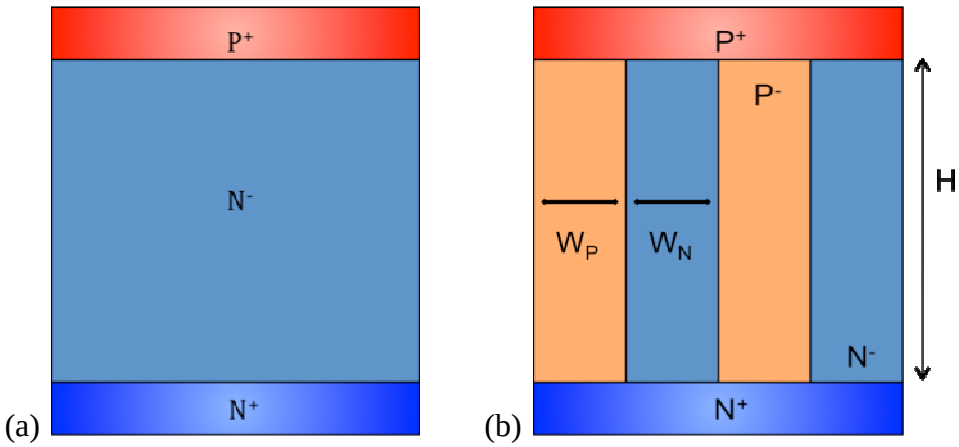


Figure II.1 : Coupe schématique d'une diode PIN conventionnelle (a) et d'une diode à superjonction (b)

Deux conditions doivent être satisfaites pour que la superjonction fonctionne correctement :

- Les largeurs des bandes W_P et W_N doivent être largement inférieures à la longueur H. Dans le cas contraire, lorsqu'on applique une polarisation inverse, la structure atteint le champ critique avant d'obtenir une déplétion totale et le claquage est prématuré. Grâce à la

superjonction, la tenue en tension est proportionnelle à la longueur H et au champ critique E_c (équation II.1) contrairement à une diode conventionnelle où elle est proportionnelle à E_c^{-5} selon l'équation II.2 [37] :

$$BV_{DSS} = Ec.H \quad \textbf{(II.1)}$$

$$BV_{DSS} = 4{,}49.10^{29}.Ec^{-5} \quad \textbf{(II.2)}$$

- Les bandes N et P doivent respecter un quasi parfait équilibre des charges, traduit par l'équation suivante :

$$\frac{q \cdot N_D \cdot W_N}{2 \cdot \varepsilon_0 \cdot \varepsilon_{Si}} = \frac{q \cdot N_A \cdot W_P}{2 \cdot \varepsilon_0 \cdot \varepsilon_{Si}} \quad \textbf{(II.3)}$$

soit : $N_D \cdot W_N = N_A \cdot W_P$ **(II.4)**

Dans le cas où cet équilibre n'est pas respecté, une baisse de la tenue en tension, fonction du degré du déséquilibre, apparaît et dégrade les performances du composant à l'état bloqué.

Le principal avantage de la superjonction est que la tenue en tension n'est plus inversement proportionnelle au dopage de la zone de drift mais dépendante de l'équilibre des charges entre les bandes P et N. Il est donc possible d'augmenter le dopage de la zone intrinsèque sans diminuer la tenue en tension. Cela a pour conséquence de diminuer la résistance à l'état passant selon l'équation I.6.

II.2.2 Compromis tenue en tension / résistance à l'état passant

Améliorer le compromis « tenue en tension / résistance à l'état passant » est depuis longtemps un des moteurs de la recherche en électronique de puissance. En effet, une des limites des composants conventionnels est que ces deux caractéristiques sont liées au dopage de la zone de drift mais de manière opposée. L'augmentation de ce dopage permet la réduction de la résistance à l'état passant mais diminue également la capacité de la zone de drift à soutenir la tension en polarisation inverse. L'équation II.5 [38] traduit cette limite du silicium, notamment dans le cas de composants unipolaires verticaux :

$$R_{ON}.S = 8{,}9 \cdot 10^{-9} \cdot BV_{DSS}^{\ 2,4} \qquad \textbf{(II.5)}$$

Le concept de superjonction permet de dépasser cette limite car la tenue en tension ne dépend plus du niveau de dopage de la zone de drift mais plutôt de l'équilibre des charges et de la profondeur de jonction. Ainsi, il est possible d'augmenter le dopage de la zone de drift pour réduire la résistance à l'état passant, tout en conservant une forte tenue en tension. R_{ON} dépend du niveau de dopage des bandes N (dans le cas d'un MOS à canal N) mais également du ratio de conduction. En effet, contrairement à un composant conventionnel, toute la surface active n'est pas utilisée pour la conduction du fait de la présence des bandes P. Le ratio de surface active sur la surface totale d'un composant à superjonction est donc largement inférieur à celui d'un composant conventionnel. Néanmoins, cet inconvénient est largement compensé par les forts dopages utilisés dans la superjonction, à tel point que la résistance à l'état passant est très inférieure à celle d'un composant classique. Il existe tout de même une limite, que Fujihira [7] a déterminée, traduite par l'équation II.6 :

$$\mathrm{R_{ON}.S} = 1{,}98 \cdot 10^{-1} \cdot \mathrm{W}^{\frac{5}{4}} \cdot \mathrm{BV_{dss}} \qquad \textbf{(II.6)}$$

où W est la largeur des bandes N.

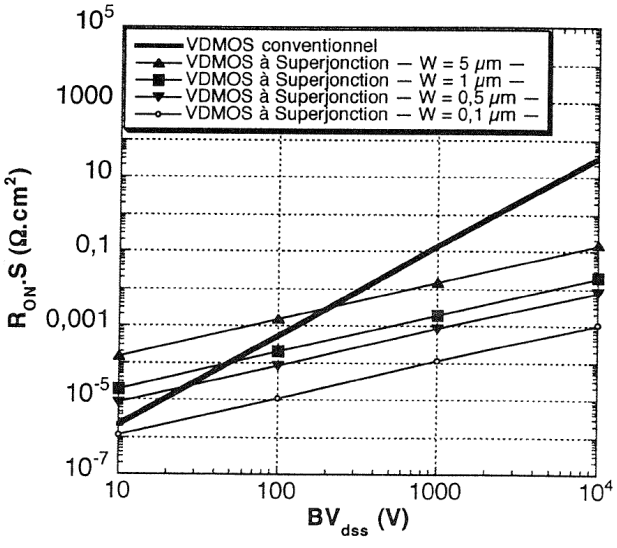


Figure II.2 : Comparaison des limites du silicium pour un VDMOS conventionnel et pour des VDMOS à superjonction

La Figure II.2 présente une comparaison de la limite silicium entre un MOS conventionnel et un MOS à superjonction. En dessous de 100 V, la superjonction n'est pas

avantageuse face au MOS conventionnel. A partir de 100 V, la superjonction gagne en intérêt à mesure que l'on augmente la tenue en tension, la résistance à l'état passant diminuant nettement, comparée à celle d'un MOS classique.

II.2.3 Véhicule test

Afin d'éviter les étapes d'épitaxies multiples , nous proposons une solution alternative à une seule épitaxie, basée sur des tranchées profondes, inspirée par plusieurs publications [39]–[42]. La principale condition pour le bon fonctionnement de la superjonction est l'équilibre des charges. Cependant, il n'est pas nécessaire d'avoir $W_N = W_P$ et $N_A = N_D$. Il est possible d'obtenir cette balance avec une largeur de bande P inférieure à celle de la bande N si le dopage N_D est proportionnellement supérieur au dopage N_A (Figure II.3). L'objectif est de réaliser les régions P grâce à une implantation au travers des tranchées. Après l'étape d'implantation, les tranchées seront remplies avec un diélectrique.

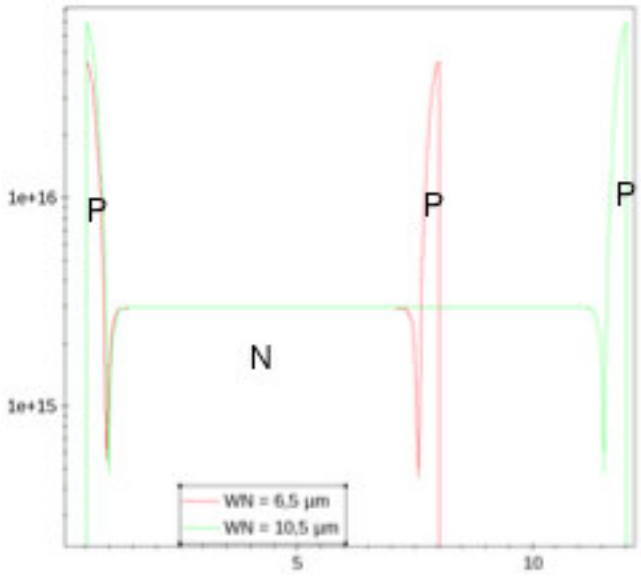


Figure II.3 : Profils de dopage de la superjonction à tranchées profondes

Avant de réaliser un MOSFET à superjonction, nous avons choisi de concevoir au préalable un véhicule test de type diode à superjonction à tranchées profondes (DT-SJDiode) pour des applications 600 V et 1200V. La diode étudiée est présentée Figure II.4.

Pour notre étude, nous avons fixé plusieurs paramètres :

- Afin d'obtenir une résistance à l'état passant la plus faible possible, il est nécessaire de

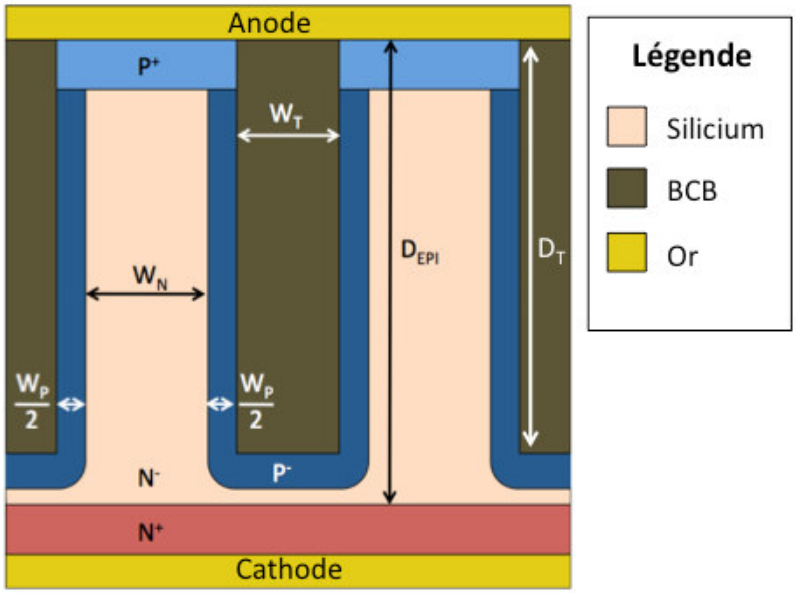


Figure II.4 : Coupe schématique de la diode à superjonction à tranchées profondes avec sa terminaison (DT-SJDiode)

minimiser la largeur des tranchées. En effet, cela a pour effet d'augmenter le ratio de bandes N et donc de surface de conduction. Cependant, nous sommes limités technologiquement par la largeur des tranchées, comme le montrent les travaux précédemment effectués par H. Mahfoz-Kotb [43]. Lors de l'étape de gravure, afin d'assurer des tranchées profondes et verticales, la taille d'ouverture minimale du masque est de 6 µm. Nous avons donc fixé, pour notre étude théorique, la largeur W_T à 6 µm.

- La tenue en tension ne dépendant plus entièrement du dopage, il est possible d'augmenter le dopage de la zone intrinsèque afin de diminuer la résistance à l'état passant. Néanmoins, pour conserver l'équilibre des charges, il faut augmenter soit la dose d'implantation de la zone P soit sa largeur. Lors de sa thèse, L. Théolier a montré que l'étape d'implantation autour des tranchées était d'autant plus critique à mesure que le dopage de la zone intrinsèque était important [1]. Nous avons donc choisi de fixer le dopage de l'épitaxie à 3.10^{15} cm^{-3}.

II.3 Etude de la DT-SJDiode

Avant de réaliser le véhicule test, il est nécessaire d'optimiser sa structure afin d'obtenir le meilleur compromis « tenue en tension / résistance à l'état passant ». Pour cela, nous allons étudier l'influence des différents paramètres géométriques agissant sur la tenue en tension et sur la résistance à l'état passant : D_T, la profondeur des tranchées, W_N, la largeur des bandes N et d_B, la dose de bore implantée.

Comme le montre l'Équation II.1, la tenue en tension est théoriquement proportionnelle à la longueur H. Cette longueur correspond, dans le composant de la Figure II.4, à la profondeur D_T des tranchées. En effet, la diffusion des bandes P se faisant au travers des tranchées, D_T détermine la longueur des bandes P et donc la longueur H. Cependant, l'équation I.6 montre également que H a une influence sur la résistance à l'état passant. Il est donc nécessaire de trouver la valeur de D_T qui permettra d'obtenir une structure optimisée. La résistance à l'état passant, quant à elle, dépend de la largeur et du dopage des bandes N (cf Équation I.6). L'augmentation de W_N accroît la surface de conduction et le rapport entre la zone de conduction et la surface active de la puce, réduisant ainsi la résistance à l'état passant. Concernant d_B, dose de bore implantée autour des tranchées qui forme les bandes P, elle a un impact direct sur l'équilibre des charges (Équation II.4) et donc sur la tenue en tension.

Afin d'étudier l'influence de chacun de ces paramètres, nous avons, à l'aide du logiciel Sentaurus TCAD, simulé le comportement électrique d'une la cellule élémentaire représentée schématiquement sur la Figure II.4. Pour cela, nous avons fixé la valeur des paramètres géométriques et fait varier uniquement le paramètre dont on souhaitait étudier l'influence. Le Tableau II.1 recense les valeurs que nous avons fixées pour les différents paramètres qui caractérisent la cellule élémentaire de la diode à superjonction.

Tableau II.1 : Paramètres thechnologiques de la cellule élémentaire d'une DT-SJDiode et leurs valeurs

Paramètres	Désignation	Valeurs
Concentration de l'épitaxie	N_D	3.10^{15} cm^{-3}
Dose de Bore diffusée	d_B	$1{,}1.10^{12}$ cm^{-2}
Profondeur de la jonction après diffusion	W_P	1 µm
Largeur des bandes N	W_N	6,5 µm
Largeur des tranchées	W_T	6 µm
Profondeur des tranchées	D_T	40 µm
Profondeur de l'épitaxie	D_{EPI}	43 µm

II.3.1 Influence de la profondeur des tranchées

Dans le but d'observer l'influence de D_T et de trouver sa valeur minimale permettant d'obtenir les tenues en tension souhaitées (600 V et 1200 V), nous avons fait varier la profondeur D_T tout en conservant un écart de 3 µm avec la profondeur d'épitaxie. On peut voir sur la Figure II.5 qu'à partir des valeurs de D_T de 30 µm et 70 µm, on obtient une tenue en tension supérieure à 600 V et 1200 V respectivement. L'accroissement linéaire de la tenue en tension en fonction de la profondeur des tranchées est conforme à l'Équation II.1.

Il était nécessaire d'accroître la profondeur d'épitaxie en même temps que celle des tranchées afin d'augmenter la tenue en tension. En effet, comme on peut le voir sur la Figure II.6, si l'on fixe la profondeur d'épitaxie D_{EPI} à 43 µm et qu'on augmente D_T au point qu'elle pénètre dans la zone N^+, la tenue en tension n'augmentera que jusqu'à 750 V puis restera constante. Cela était également prévisible car c'est bien la profondeur de jonction et non la profondeur des tranchées qui détermine la tenue en tension.

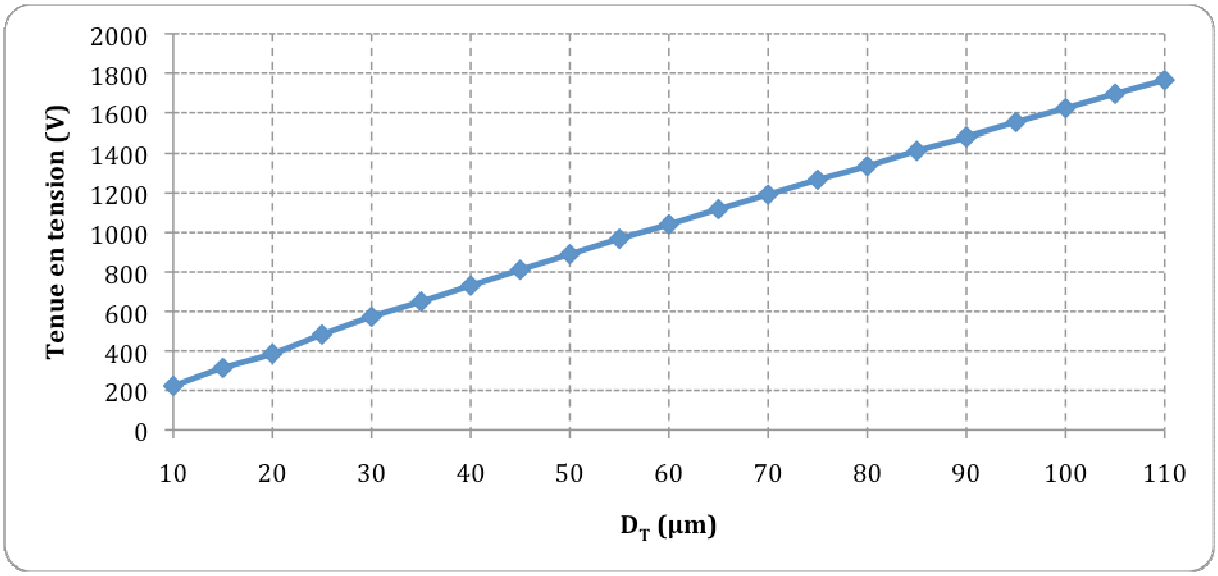


Figure II.5 : Variation de la tenue en tension en fonction de la profondeur D_T lorsque $D_{EPI} = D_T + 3\ \mu m$

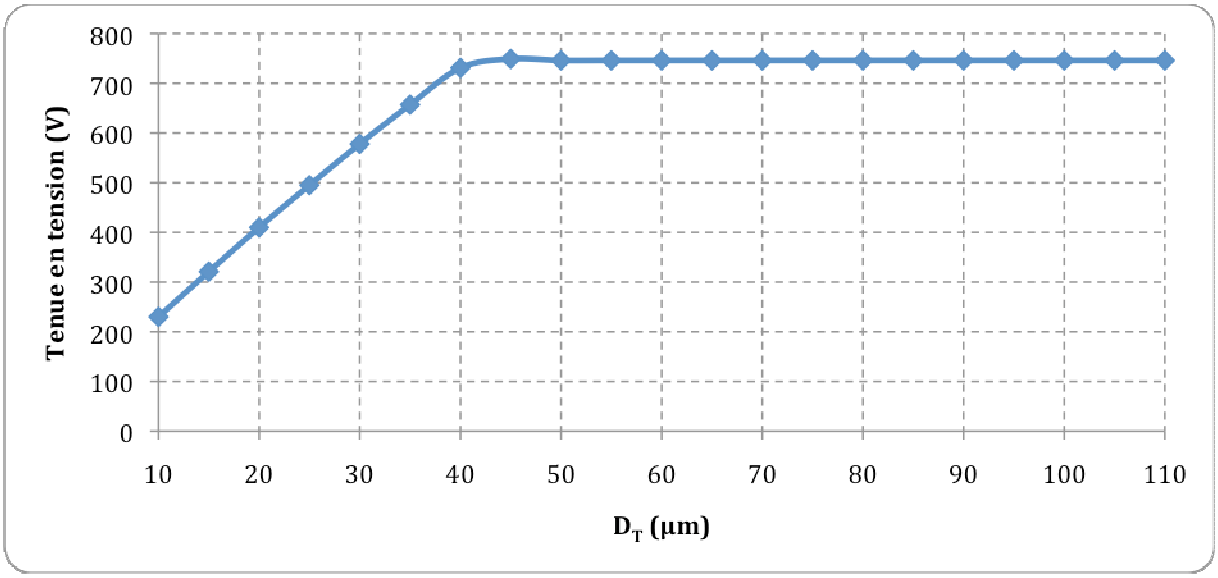


Figure II.6 : Variation de la tenue en tension en fonction de la profondeur D_T pour une profondeur de l'épitaxie constante (D_{EPI} = 43 µm)

Il est à noter toutefois que, même si les tranchées pénètrent dans la zone N^+, cela ne provoque pas de baisse de la tenue en tension. Cela provient du fait que le dopage de la zone N^+ est nettement supérieur à la dose d'implantation de bore autour des tranchées et cette dose devient alors négligeable. Les bandes P s'arrêtent donc obligatoirement à la limite de l'épitaxie.

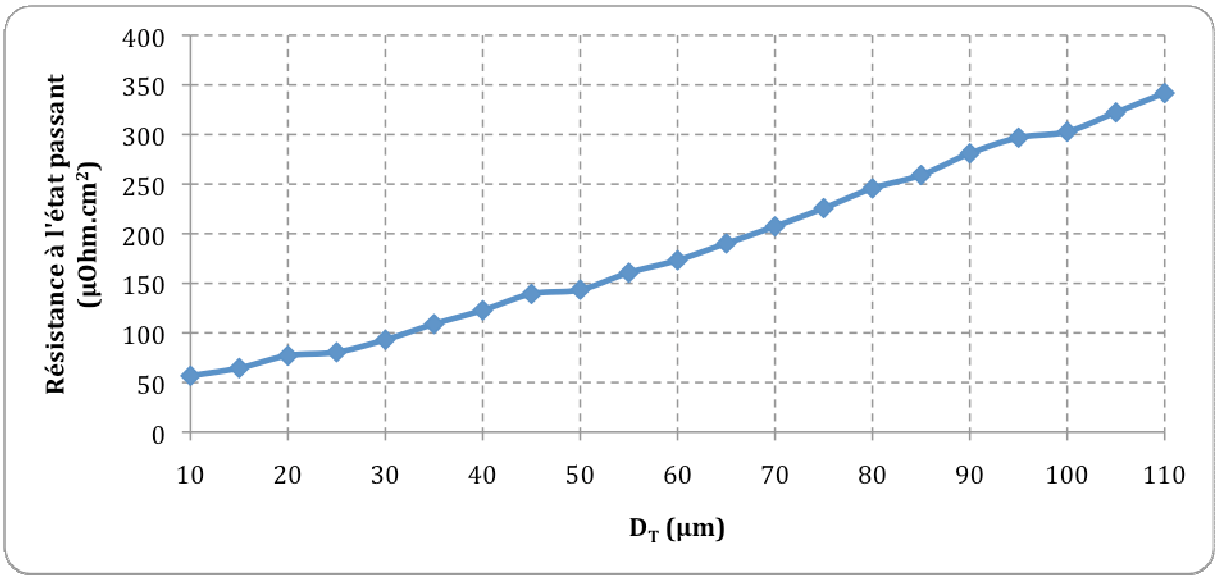


Figure II.7 : Variation de la résistance à l'état passant en fonction de D_T

La Figure II.7 montre les variations de la résistance à l'état passant lorsque D_{EPI} varie en même temps que D_T. La résistance à l'état passant étant liée à la profondeur de l'épitaxie, que l'on a augmenté afin d'obtenir les tenues en tension souhaitées, nous observons une augmentation de la résistance à l'état passant lorsque D_T augmente.

II.3.2 Influence de la largeur des bandes N

La variation de W_N, largeur des bandes N, entraîne un déséquilibre de la balance des charges car c'est un paramètre clé, comme on l'a vu dans l'Équation II.4. Afin d'étudier l'influence de W_N, on a adapté la dose d'implantation de Bore d_B autour des tranchées pour chaque valeur de W_N. Ces valeurs sont reportées dans le Tableau II.2. Il est important de noter que ces valeurs restent valables uniquement dans le cas où les valeurs de N_D et W_P sont celles données dans le Tableau II.1.

Tableau II.2 : Dose de Bore d_B optimale pour obtenir l'équilibre des charges pour différentes valeurs de W_N

W_N (µm)	6,5	7,5	8,5	9,5	10,5	11,5	12,5
d_B (10^{12} cm^{-2})	1,13	1,25	1,43	1,5	1,7	1,84	1,92

La Figure II.8 montre que la résistance à l'état passant diminue à mesure que W_N augmente, ce qui était prévisible au vu de l'équation I.4. Néanmoins, on observe sur la Figure II.10 que la tenue en tension diminue aussi. Une des conditions pour que la superjonction fonctionne est que la profondeur D_T doit être largement supérieure à W_N. Lorsque l'on augmente W_N, le rapport D_T/W_N diminue, entraînant ainsi une altération des performances de la superjonction. Afin de pallier cet inconvénient, il est possible d'augmenter D_T mais cela augmenterait également la résistance à l'état passant.

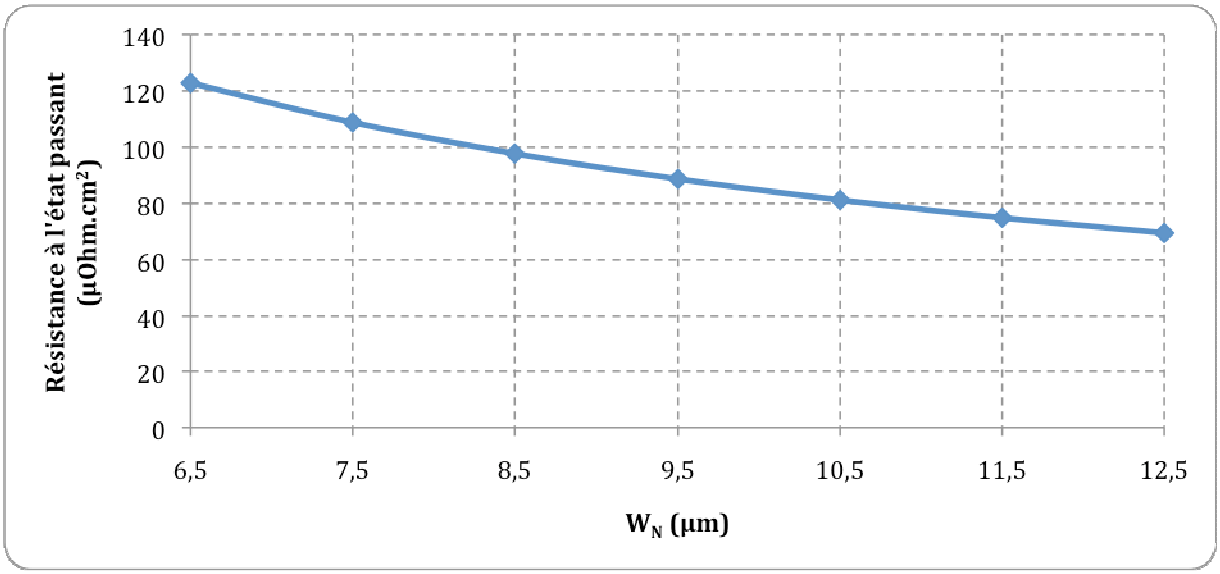


Figure II.8 : Variations de la résistance à l'état passant en fonction de W_N

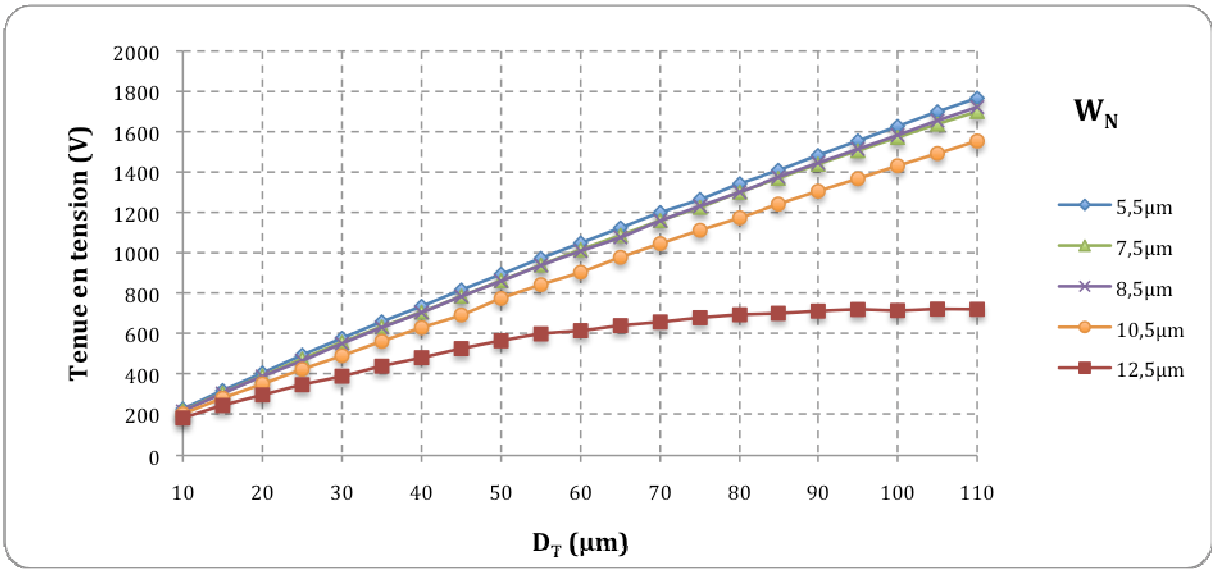


Figure II.9 : Variations de la tenue en tension en fonction de D_T pour différentes valeurs de W_N

Nous avons reporté sur la Figure II.9 les variations de la tenue en tension en fonction de D_T pour plusieurs valeurs de W_N. Il apparaît clairement qu'en augmentant W_N, il est nécessaire d'augmenter D_T pour obtenir une même tenue en tension. A partir de W_N = 12,5 µm, même en augmentant D_T, une saturation apparaît et il devient alors impossible d'atteindre 1200 V. Cela provient d'un déséquilibre local en haut et en bas de la tranchée, induit par les bandes P^+ et N^+. En augmentant la largeur de bande N, la balance des charges n'est plus assurée et cela induit un claquage prématuré dans ces zones.

II.3.3 Influence de la Dose de bore diffusée d_B

La dose de Bore implanté autour des tranchées est également un paramètre clé pour l'équilibre des charges de la superjonction (Equation II.4). Diminuer la résistance nécessite d'augmenter W_N ; dans ce cas, il faut également augmenter la dose d'implantation de Bore autour des tranchées afin de rétablir la balance des charges. Nous avons donc décidé d'étudier l'effet d'un déséquilibre des charges pour plusieurs valeurs de W_N. Des études ont déjà été réalisées sur le déséquilibre des charges [44] mais il nous semblait intéressant d'étudier cet aspect afin d'optimiser la structure en vue d'une réalisation technologique.

La Figure II.10 présente les variations de la tenue en tension en fonction de l'écart de dose (en pourcentage) par rapport à la dose optimale. Afin d'estimer la réelle influence de ces variations, nous avons ajusté la profondeur de jonction afin que la structure ait une tenue en tension proche de 600 V lorsque la dose est optimale.

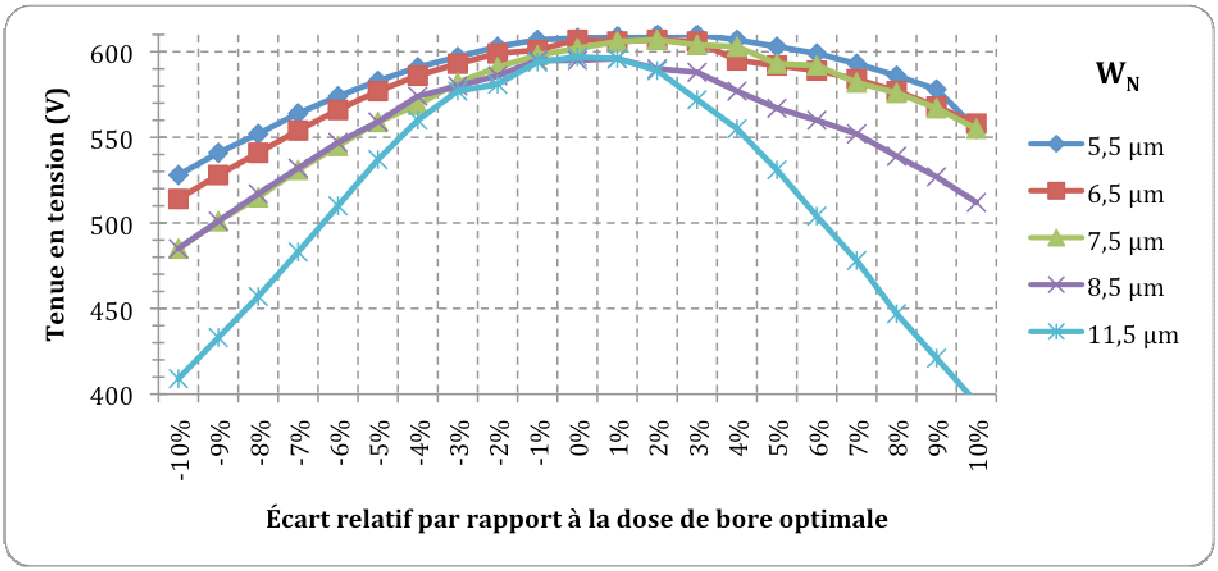


Figure II.10 : Variations de la tenue en tension en fonction de l'écart de dose par rapport à la dose optimale pour différentes valeurs de W_N pour une structure 600 V

Nous constatons que la sensibilité est dépendante de la dose d'implantation de bore. En effet, lorsque d_B augmente, un écart, même petit par rapport à la dose optimale, entraîne une baisse non négligeable de la tenue en tension. Si l'écart devient important, la tenue en tension chute fortement. Par exemple, un écart de 5% lorsque W_N = 7,5 µm entraine une chute de 30 V alors que, lorsque W_N = 11,5 µm, cela entraîne une baisse de 100 V. Lors de la réalisation de l'implantation autour des tranchées, le contrôle de la dose est difficile à ce degré

de précision. Il faudra donc prendre en compte ce facteur lors de la conception du composant afin de faciliter cette étape critique de la réalisation.

II.3.4 Optimisation de la DT-SJDiode

Dans le but d'obtenir le meilleur compromis « tenue en tension / résistance à l'état passant », il est donc nécessaire d'optimiser le couple D_T/W_N tout en prenant en considération l'influence de la dose d_B. L'augmentation de D_T permet l'augmentation de la tenue en tension au détriment de la résistance à l'état passant tandis que W_N conduit à l'effet inverse. En corrélant les figures II.8 et II.9, on obtient la Figure II.11 qui représente les variations de la résistance à l'état passant en fonction de W_N pour différentes tenues en tension souhaitées.

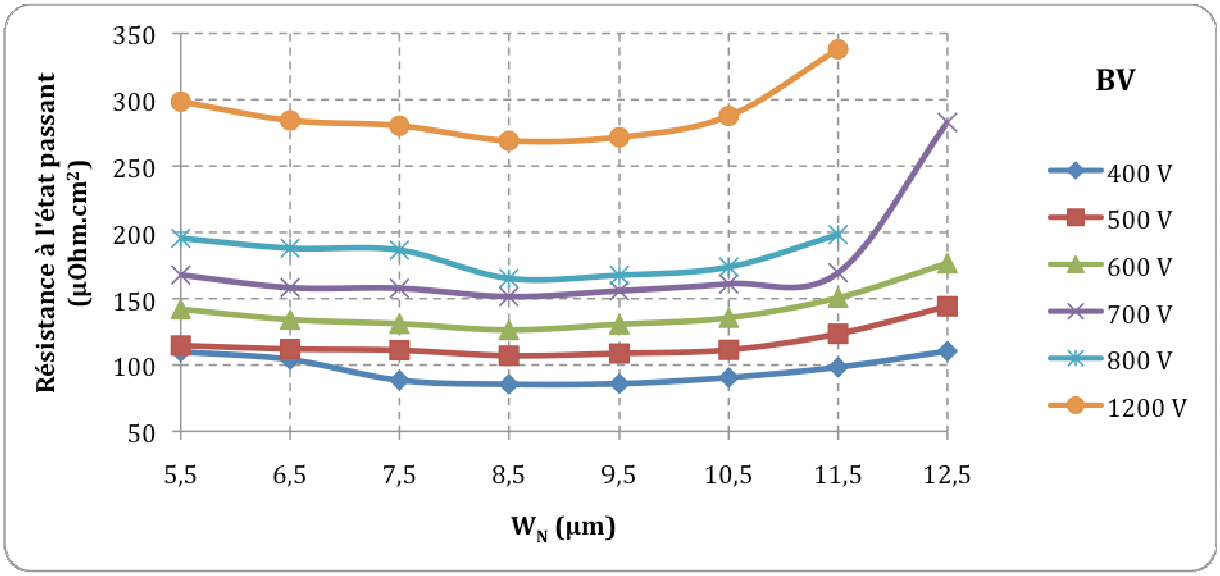


Figure II.11 : Variations de la résistance à l'état passant en fonction de la largeur W_N pour différentes tenues en tension

Cette figure montre qu'un optimum existe pour une largeur de bande N égale à 8,5 µm dans le cas d'une tenue en tension souhaitée de 600 V ou de 1200 V. En se référant à la Figure II.10, on peut observer que pour W_N = 8,5 µm, un écart de 5% par rapport à la dose optimale entraîne une baisse de tenue en tension inférieure à 50 V. Afin de pallier cette contrainte, lors de la réalisation, le composant sera sur-dimensionné afin de compenser une éventuelle baisse de la tenue en tension liée à la réalisation des composants. En nous reportant à la Figure II.9, on peut y voir que, pour W_N = 8,5 µm, on obtient une tenue en tension de 610 V lorsque D_T = 32 µm et 1215 V lorsque D_T = 71 µm. Les valeurs des paramètres de la structure optimisée sont reportées dans le Tableau II.3.

Tableau II.3 : Valeurs des paramètres technologiques optimisés de la DT-SJDiode

Paramètres	Désignation	Valeurs
Concentration de l'épitaxie	N_D	3.10^{15} cm^{-3}
Dose de bore diffusée	d_B	$1{,}13.10^{12}$ cm^{-2}
Profondeur de la jonction après diffusion	W_P	1 µm
Largeur des bandes N	W_N	8,5 µm
Largeur des tranchées	W_T	6 µm
Profondeur des tranchées	D_T	32 µm / 71 µm
Profondeur de l'épitaxie	D_{EPI}	35 µm / 74 µm

II.4 Etude de la terminaison

L'optimisation des paramètres de la diode à superjonction étant faite, nous allons nous intéresser à la protection de ce composant en périphérie. Au premier chapitre, nous avons évoqué la terminaison DT² qui est la plus adaptée au composant à superjonction et à tranchées profondes. En effet, elle permet de délocaliser la courbure des lignes de potentiel dans une cuve de diélectrique grâce à une plaque de champ. Le diélectrique ayant un champ de claquage largement supérieur au silicium, cela prévient un claquage prématuré. La répartition des lignes de potentiel dans cette terminaison est présentée sur la Figure II.12.

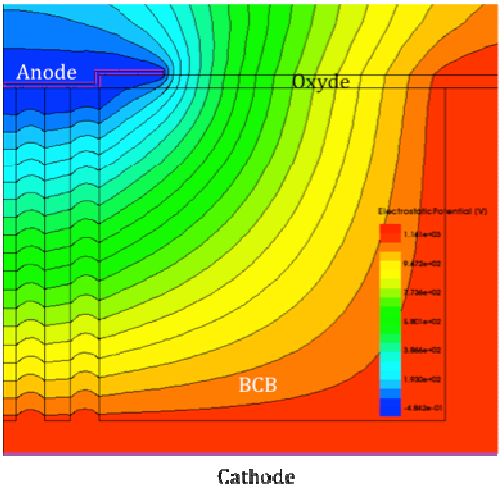


Figure II.12 : Répartition des lignes de potentiel dans la terminaison DT²

Cette figure montre que les lignes de potentiel sont confinées à l'intérieur de la cuve de diélectrique. Les bandes P sur les flancs étant connectées à la source, elles se trouvent au même potentiel que celle-ci, créant un phénomène d'autoblindage qui ne permet pas l'étalement des lignes de potentiel. De plus, grâce à la plaque de champ, les lignes de potentiel sont étalées dans le diélectrique et ne peuvent pas de remonter près des dernières cellules centrales, évitant ainsi une augmentation du champ électrique à leurs abords. Néanmoins, la fin de la plaque de champ est le siège d'un resserrement des lignes de potentiel, induisant ainsi une augmentation localisée du champ électrique.

Dans cette partie, nous allons donc nous focaliser sur l'étude de la terminaison DT^2 afin de déterminer l'influence des paramètres géométriques sur son efficacité. L'efficacité est définie comme étant le rapport de la tenue en tension avec la terminaison sur la tenue en tension obtenue idéalement avec une cellule centrale. Les trois paramètres prépondérants sont la profondeur de la tranchée de terminaison D_{TT}, sa largeur W_{TT} et la longueur de la plaque de champ W_{FP}. Afin d'étudier leur influence, nous effectuons des simulations de plusieurs cellules élémentaires de la DT-SJDiode optimisée précédemment avec sa terminaison associée. Une vue en coupe schématique de la structure simulée est présentée sur la Figure II.4. L'ajout de la terminaison sur la simulation entraîne un léger déséquilibre de la balance des charges provoquant une baisse de la tenue en tension optimale obtenue lors de l'optimisation. Afin de rétablir cette balance des charges, nous avons adapté la dose d_B à $1{,}15.10^{12}$ cm^{-3}. Comme précédemment, nous avons fixé les autres paramètres et leurs valeurs sont recensées dans le Tableau II.4.

Tableau II.4 : Paramètres de la terminaison de jonction et ses valeurs pour une protection à 600 V et 1200 V

Paramètres	Désignation	600 V	1200 V
Dose de bore diffusée	d_B	$1{,}15.10^{12}$ cm^{-2}	$1{,}15.10^{12}$ cm^{-2}
Profondeur des tranchées	D_{TT}	32 µm	71 µm
Largeur des tranchées	W_{TT}	40 µm	80 µm
Longueur de la plaque de champ	W_{FP}	0,65 x W_{TT}	0,65 x W_{TT}
Référence de tenue en tension optimale	$BV_{idéale}$	610 V	1215 V

II.4.2 Influence de la profondeur de la terminaison

Dans un premier temps, nous nous intéressons à la profondeur minimale nécessaire pour protéger des composants 600 V et 1200 V. La Figure II.13 montre l'évolution de l'efficacité de la terminaison en fonction de la profondeur D_{TT}. On détermine l'efficacité de la terminaison grâce au rapport « tenue en tension obtenue avec la terminaison / tenue en tension optimale obtenue avec les cellules centrales seules ». On peut voir qu'à partir de D_{TT} = 30 µm, la terminaison commence à protéger le composant 600 V et dans le cas du composant 1200 V, à partir de D_{TT} = 70 µm.

Cela ne provient pas directement de la profondeur D_{TT} mais, encore une fois, de l'équilibre des charges qui n'est pas assuré en périphérie lorsque la profondeur D_{TT} est inférieure à la profondeur D_T. En effet, si l'on simule cette structure avec la terminaison sans avoir l'implantation autour des flancs de celle-ci, même si D_{TT} = D_T, la protection en périphérie n'est pas assurée. On peut donc conclure que, pour protéger des composants à superjonction et à tranchées profondes, il est obligatoire d'avoir une implantation sur les flancs de la tranchée de terminaison et sa profondeur doit être au moins égale à la profondeur des cellules centrales.

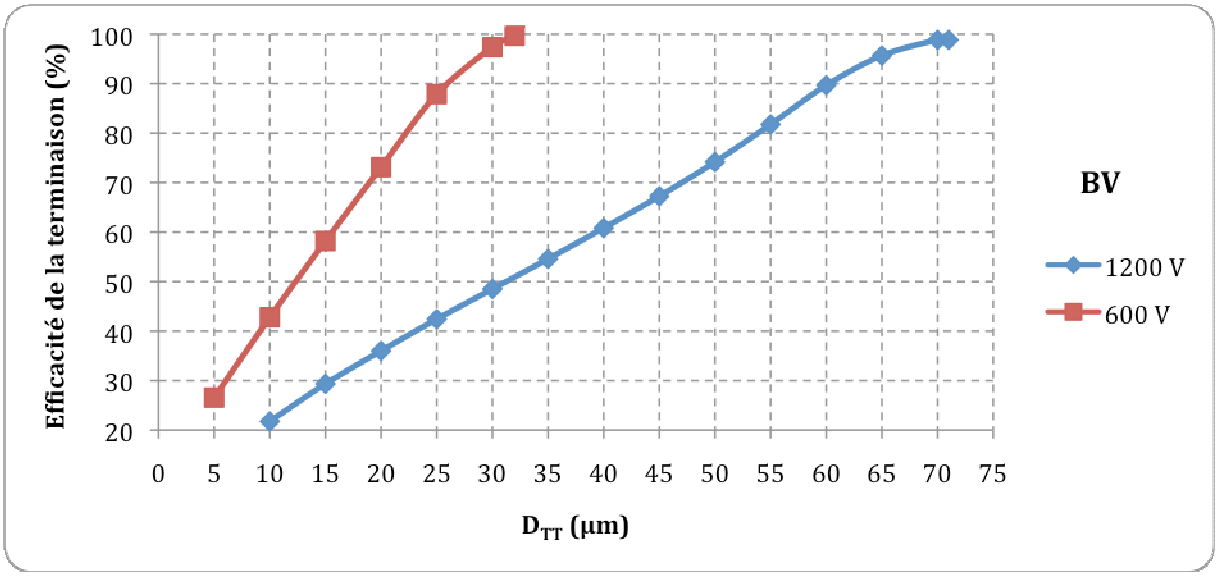


Figure II.13 : Détermination de la profondeur minimale nécessaire pour activer l'effet de protection en périphérie pour des composants 600 V et 1200 V

Il est également intéressant d'estimer l'influence de la profondeur D_{TT} dans le cas où elle est plus importante que la profondeur des tranchées des cellules centrales. En effet, lors de la réalisation technologique, la vitesse de gravure des tranchées dépend de la taille

d'ouverture des motifs : plus l'ouverture est importante, plus la vitesse augmente, entraînant une différence de profondeur entre les tranchées. Il est donc important d'étudier ce cas pour déterminer s'il faut effectuer la gravure des tranchées des cellules centrales et de la terminaison simultanément ou séparément. La Figure II.14 présente l'influence de la profondeur D_{TT} sur la tenue en tension dans le cas où la profondeur d'épitaxie D_{EPI} est toujours plus grande que D_{TT} et dans le cas où D_{TT} pénètre dans la région N^+ pour des composants 600 V.

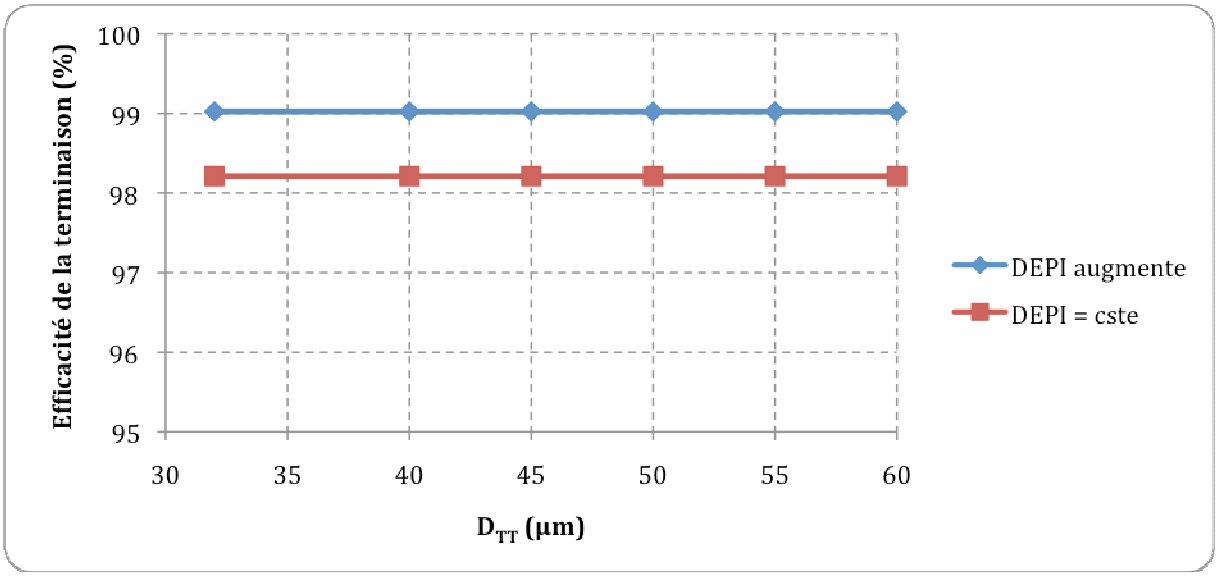


Figure II.14 : Variations de l'efficacité de la terminaison en fonction de D_{TT} pour des composants 600 V

Cette figure montre que, dans les deux cas, la variation de D_{TT} au-delà de D_T n'a que très peu d'influence sur l'efficacité de la terminaison. Il est donc possible de réaliser les tranchées de terminaison en même temps que celles des cellules centrales sans altérer l'efficacité de la terminaison.

En conclusion, la seule condition sur la profondeur D_{TT} est qu'elle doit être au moins égale à la profondeur D_T pour garantir une efficacité optimale.

II.4.3 Influence de la largeur de la terminaison

Nous allons maintenant nous intéresser à l'influence de la largeur de la terminaison. La Figure II.15 présente les variations de l'efficacité de la terminaison en fonction de la largeur W_{TT} pour des tenues en tension visées de 600 V et 1200 V. La largeur W_{TT} a un rôle prépondérant sur l'efficacité de la terminaison. En effet, les lignes de potentiel se répartissant

sur toute la largeur de la terminaison, celle-ci doit être suffisamment large pour les contenir. On constate également sur cette figure que la largeur nécessaire pour obtenir une efficacité élevée varie en fonction de la tenue en tension souhaitée. En effet, avec une largeur de 30 µm par exemple, on atteint une efficacité de 98 % pour 600 V alors que l'on n'obtient que 85 % pour 1200 V. Il faut donc adapter la largeur de la tranchée à la tenue en tension voulue.

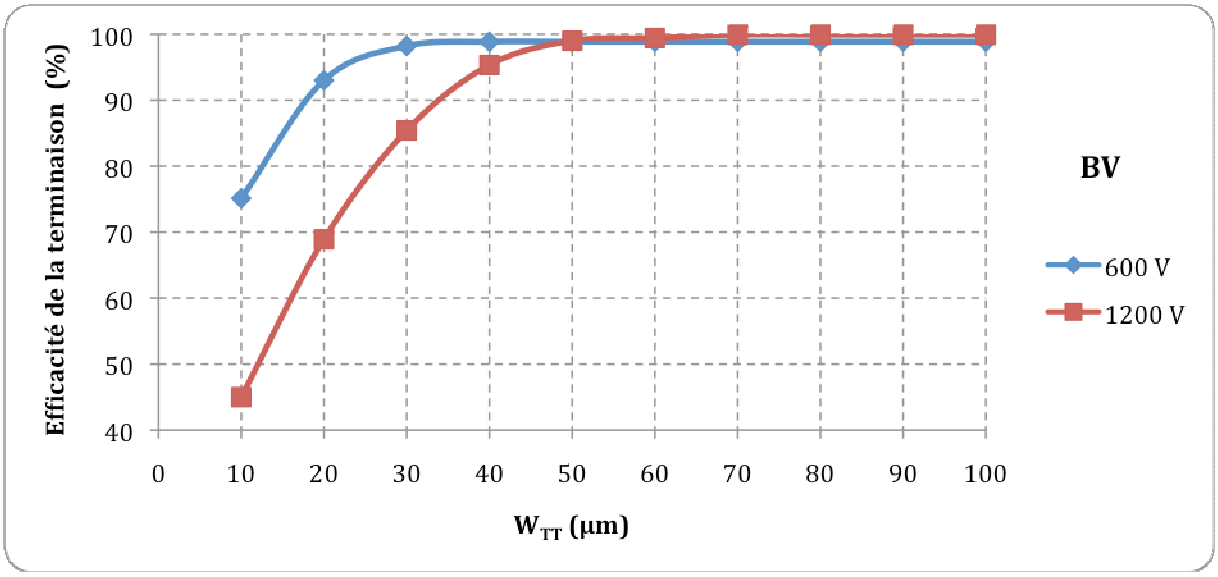


Figure II.15 : Variations de l'efficacité de la terminaison en fonction de la largeur W_{TT} pour des tenues en tension visées de 600 V et 1200 V

II.4.4 Influence de la longueur de la plaque de champ

Le dernier paramètre étudié est la longueur de la plaque de champ W_{FP}. L'augmentation de W_{FP} a pour effet d'éloigner la courbure des lignes de potentiel des cellules centrales, diminuant ainsi le champ électrique proche de ces dernières et retardant l'apparition du phénomène d'avalanche. En revanche, les lignes de potentiel en surface sont resserrées, ce qui a pour effet d'augmenter le champ électrique à la fin de la plaque de champ (Figure II.16).

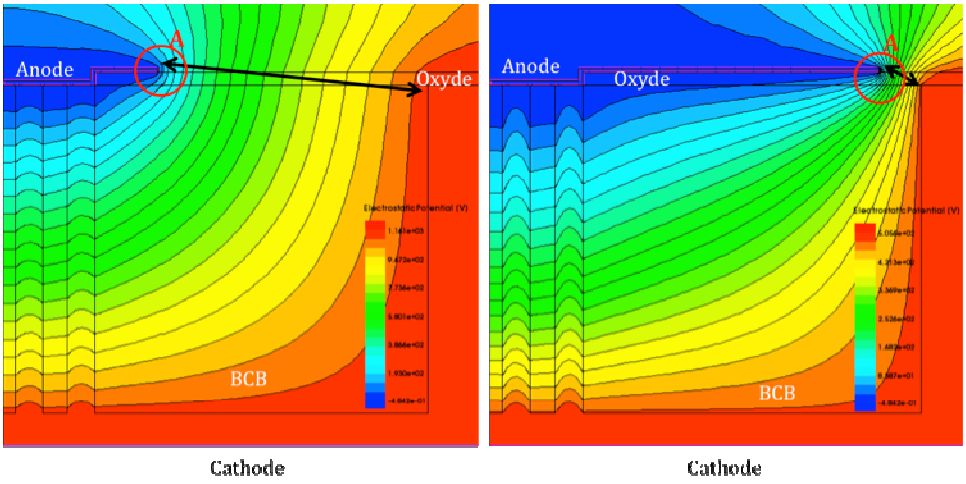


Figure II.16 : Distribution des lignes de potentiel dans la terminaison pour deux valeurs de W_{FP} (10 µm à gauche et 75 µm à droite)

La Figure II.17 présente l'évolution de l'efficacité de la terminaison et du champ électrique E au point A de la Figure II.16 lorsque l'on fait varier W_{FP} pour les tensions 600 V et 1200 V. L'augmentation de W_{FP} permet d'améliorer l'efficacité de la terminaison mais augmente également le champ électrique au point A. Au bout d'un moment, l'efficacité de la terminaison devient constante alors que le champ électrique continue d'augmenter. Il sera donc judicieux de privilégier une plaque de champ de longueur faible permettant une efficacité que l'on estimera suffisante pour limiter le pic de champ électrique en surface.

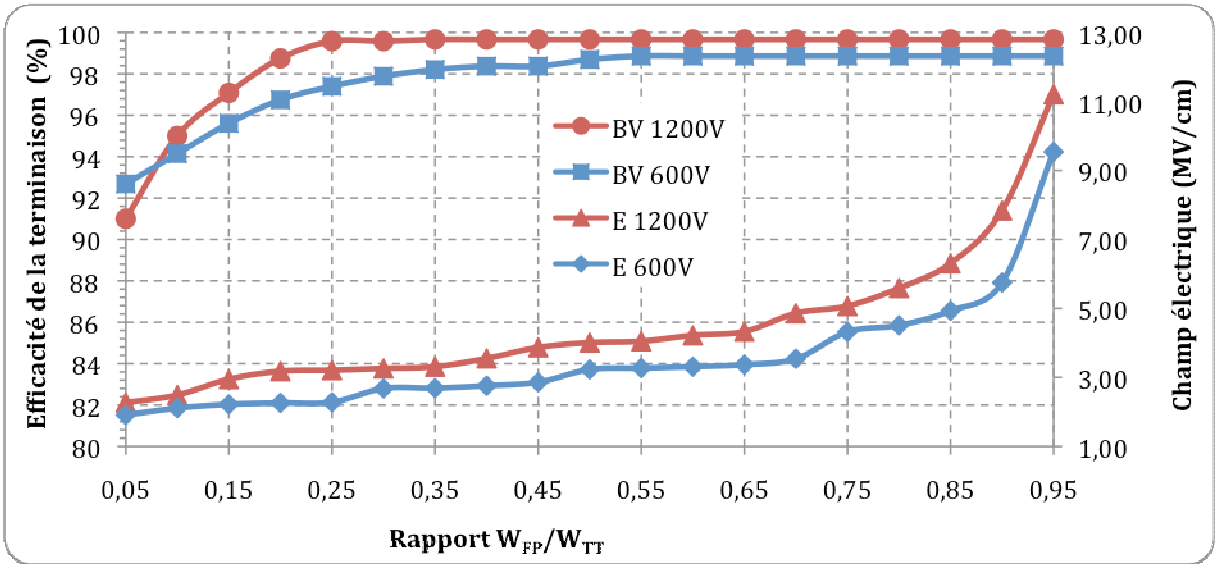


Figure II.17 : Variations de l'efficacité de la terminaison et du champ électrique au point A en fonction du rapport W_{FP}/W_{TT} pour des tenues en tension de 600V et 1200V

II.4.5 Optimisation de la terminaison DT²

Les simulations précédentes ont été effectuées avec un critère d'arrêt basé sur le courant de fuite, qui nous a permis d'identifier le moment où le composant part en avalanche et de déterminer sa tenue en tension. Or, la longueur de la plaque de champ influence le champ électrique à la fois dans le composant mais également en surface. L'influence de la variation de W_{FP} sur le champ électrique dans le composant peut être quantifiée grâce au courant de fuite car un champ électrique trop important déclenche le phénomène d'avalanche. En revanche, le champ électrique en surface peut provoquer un arc électrique entre la fin de la terminaison et la fin de la plaque de champ, ce qui sera destructif pour le composant. Pour prévenir cela, nous allons utiliser un deuxième critère d'arrêt qui sera le champ électrique, fixé à 3.10^6 $V.cm^{-1}$. Ce critère permet d'éviter un claquage intrinsèque aux matériaux se trouvant en surface de notre composant, à savoir, le BCB ou un éventuel matériau d'encapsulation. En effet, bien que le BCB possède une rigidité diélectrique de 5,3 $MV.cm^{-1}$, cette valeur peut être affectée par la température ou l'état de ce dernier en surface.

II.4.5.1 Optimisation pour des composants 600 V

Pour optimiser cette terminaison, nous nous concentrons uniquement sur la largeur de la terminaison W_{TT} et la longueur de la plaque de champ W_{FP}, la profondeur de la terminaison D_{TT} étant fixée à 32 µm, c'est-à-dire identique à la profondeur des cellules centrales, afin de ne pas en altérer l'efficacité (cf § II.4.1). La Figure II.18 présente les variations de l'efficacité de la terminaison en fonction de ces deux autres paramètres pour un composant 600 V.

Nous pouvons distinguer trois zones :

- Lorsque W_{FP} est inférieur à 15 µm, la fin de la plaque de champ est trop proche de la dernière cellule élémentaire. Cela a pour conséquence d'augmenter le champ électrique dans cette dernière cellule et de provoquer le phénomène d'avalanche prématurément, diminuant ainsi l'efficacité de la terminaison.

- Au-delà de 15 µm, la terminaison atteint une efficacité proche de 100% mais l'augmentation de W_{FP} augmente également la valeur du pic de champ électrique au bout de la plaque de champ.

- Lorsque le ratio W_{FP}/W_{TT} atteint une valeur comprise entre 0,5 et 0,6, le pic de champ électrique atteint 3 MV.cm^{-1}. A mesure que l'on augmente W_{FP} au-delà de ce ratio, le champ critique est atteint de plus en plus tôt, dégradant ainsi la tenue en tension.

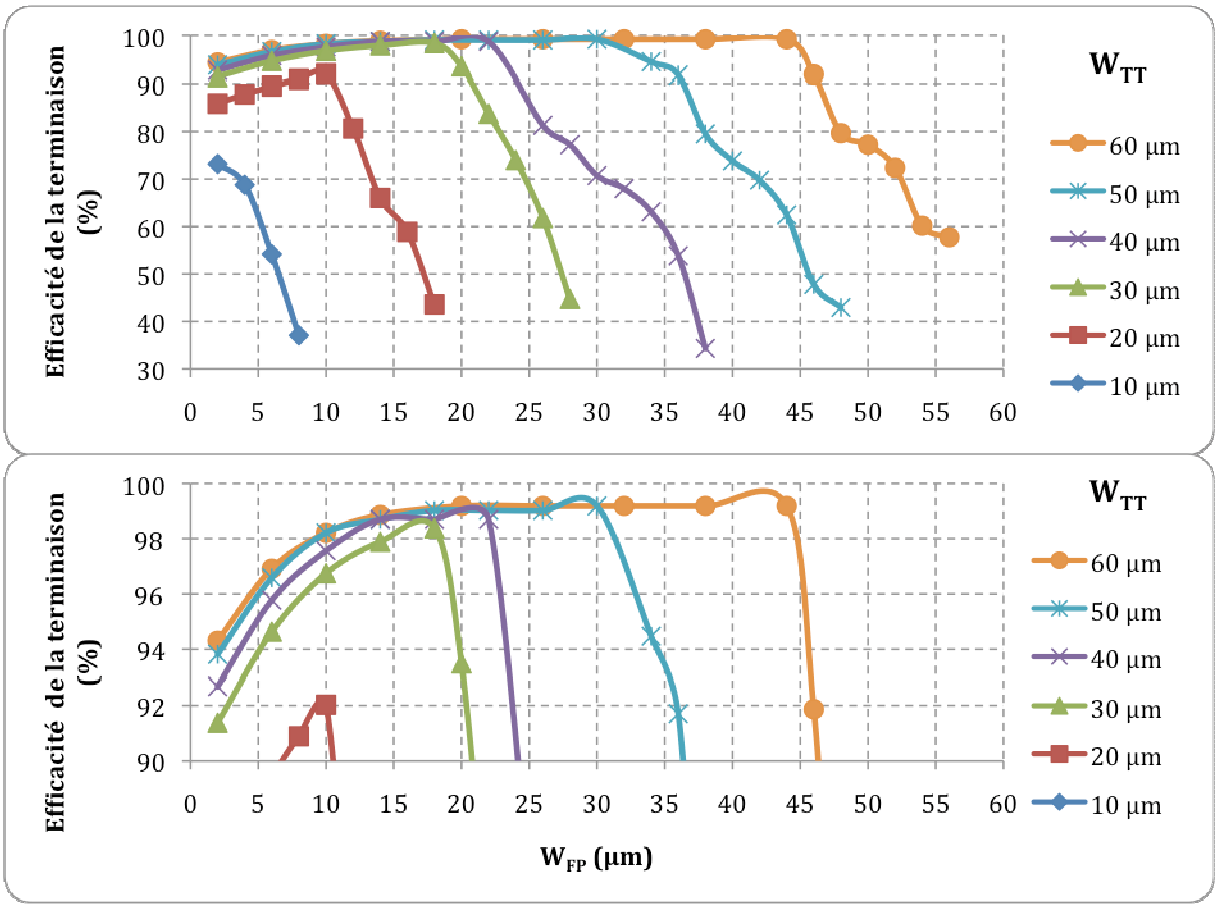


Figure II.18 : Variations de l'efficacité de la terminaison en fonction de W_{FP} pour différentes valeurs de W_{TT} pour 600 V (avec un focus entre 90 % et 100 % d'efficacité)

Afin d'obtenir la meilleure efficacité, il faut donc une longueur de plaque de champ supérieure à 15 µm. Toujours dans un souci d'optimiser l'espace utilisé, le couple W_{TT} = 30 µm et W_{FP} = 18 µm permet de garantir une efficacité proche de 100 %.

II.4.5.2 Optimisation pour des composants 1200 V

De la même manière que pour les composants 600 V, nous focalisons l'optimisation sur les deux paramètres W_{TT} et W_{FP}. La Figure II.20 présente l'efficacité de la terminaison en fonction de ces deux paramètres pour des composants 1200 V. Nous pouvons constater que l'efficacité de la terminaison n'atteint pas les 100 % quelles que soient les valeurs de W_{FP} et de W_{TT} choisies. Cela vient du fait que le champ électrique atteint bien plus rapidement la

limite de 3 MV.cm^{-1}. Pour une largeur de terminaison de 80 µm, on obtient une efficacité de 90% mais, au-delà, l'augmentation de l'efficacité n'est pas significative. Dans un souci de conserver le meilleur ratio « efficacité / espace », nous garderons les valeurs de W_{TT} = 80 µm et W_{FP} = 10 µm.

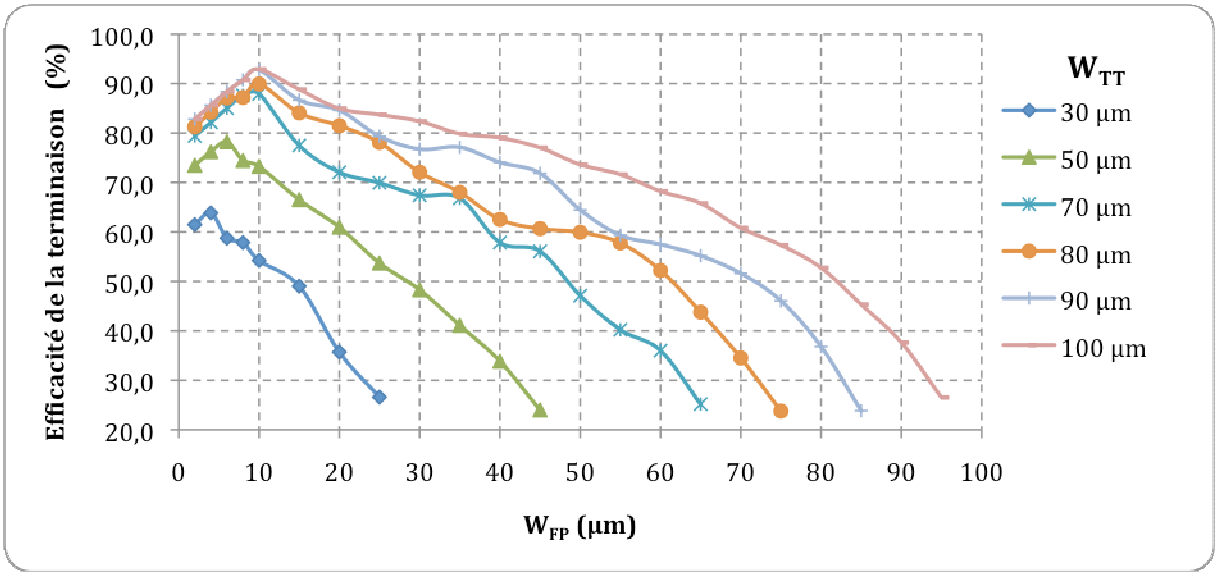


Figure II.19 : Variations de l'efficacité de la terminaison en fonction de W_{FP} pour différentes valeurs de W_{TT} pour 1200 V

II.4.6 Amélioration de la terminaison

Une des limites de la terminaison DT² est le champ électrique en surface induit par le resserrement des lignes de potentiel à la fin de la plaque de champ. Ce champ électrique pouvant provoquer un arc électrique, il est nécessaire de trouver une solution pour prévenir ce phénomène, dans le but d'améliorer la fiabilité et l'efficacité de la terminaison. La couche de passivation permet d'éviter des phénomènes de surface et notamment de prévenir les arcs électriques : plus l'épaisseur de cette couche sera importante, plus elle empêchera le passage du courant. L'augmentation de e_{DI} affecte légèrement la tenue en tension, comme le montre la Figure II.20, car la plaque de champ est éloignée des cellules centrales, et son effet de champ est donc plus faible.

Il est à noter que l'augmentation de l'épaisseur de la couche de passivation permet une légère diminution du champ électrique en surface, même si, dans ce cas, le composant part en avalanche avant d'atteindre les 3 MV.cm^{-1} au bout de la plaque de champ. Il est donc

intéressant de corréler la longueur de la plaque de champ et l'épaisseur de la passivation pour savoir s'il est possible d'améliorer l'efficacité de la terminaison.

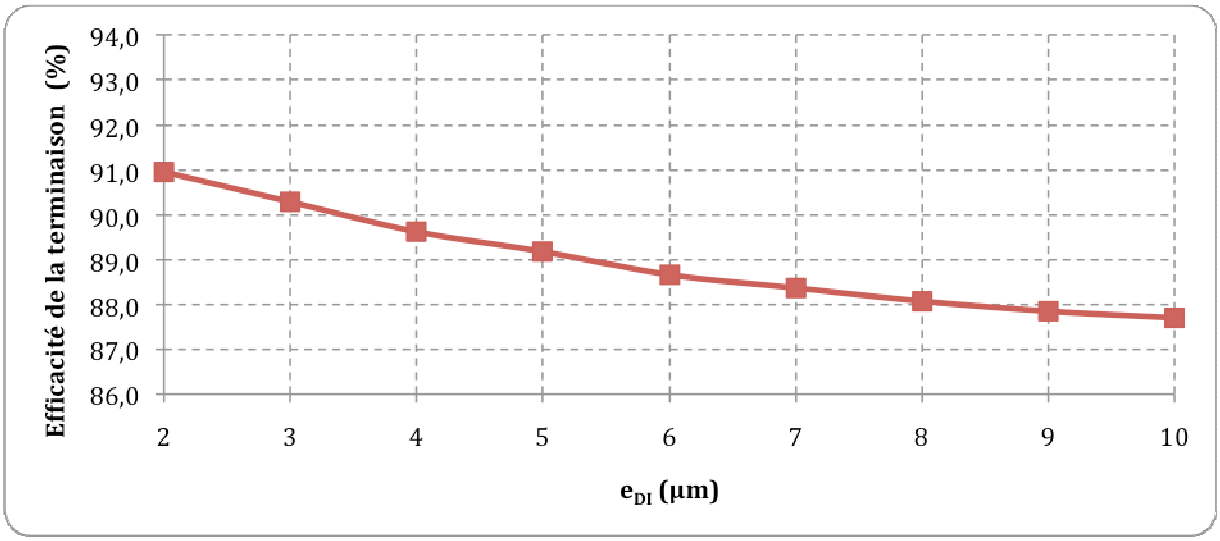


Figure II.20 : Variation de l'efficacité de la terminaison en fonction de l'épaisseur de la couche de passivation e_{DI} pour W_{TT} = 80 µm et W_{FP} = 10 µm

La Figure II.21 présente les variations de l'efficacité de la terminaison lorsque l'on fait varier ces deux paramètres. Il apparaît qu'on n'améliore pas l'efficacité maximale de la terminaison en augmentant e_{DI} car on atteint une efficacité proche des 90% mais avec une diminution du champ électrique. En effet, l'efficacité moyenne est supérieure pour une épaisseur de la couche de passivation plus importante.

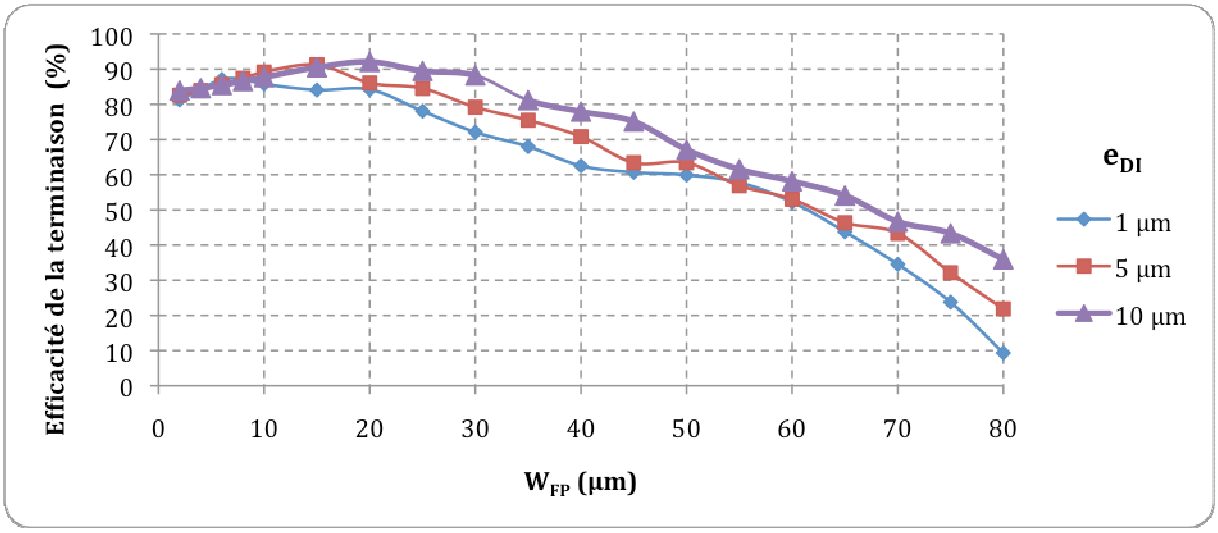


Figure II.21 : Variations de l'efficacité de la terminaison en fonction de W_{FP} pour différentes valeurs de e_{DI}

Afin d'améliorer l'efficacité de la terminaison et de réduire le champ électrique à la fin de la plaque de champ, nous proposons d'ajouter une épaisseur de diélectrique e_{DI-FP} uniquement en dessous de la plaque de champ (Figure II.22). Ce nouveau design permet une meilleure distribution des lignes de potentiel autour de la fin de la plaque de champ, réduisant ainsi le pic de champ électrique.

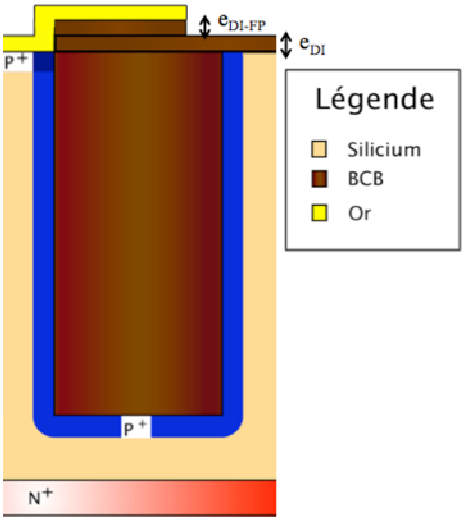


Figure II.22 : Coupe schématique de la nouvelle forme de la terminaison proposée

La Figure II.23 présente l'évolution de l'efficacité de la terminaison en fonction de la longueur de la plaque de champ W_{FP} pour les deux structures étudiées. Les épaisseurs de diélectrique e_{DI} et e_{DI-FP} sont fixées à 1 µm et la largeur de la terminaison W_{TT} est fixée à 80 µm.

La nouvelle structure permet d'atteindre une efficacité de terminaison proche de 100%. Lorsque W_{FP} < 35 µm, la proximité de la plaque de champ avec la dernière cellule centrale augmente le champ électrique dans celle-ci, provoquant ainsi un phénomène d'avalanche prématuré car la tenue en tension est inférieure à celle obtenue idéalement avec les cellules centrales seules. Lorsque W_{FP} > 35 µm, le champ électrique atteint 3 $MV.cm^{-1}$ au bout de la plaque de champ avant que le phénomène d'avalanche n'apparaisse. La longueur de plaque de champ optimale est donc de 35 µm.

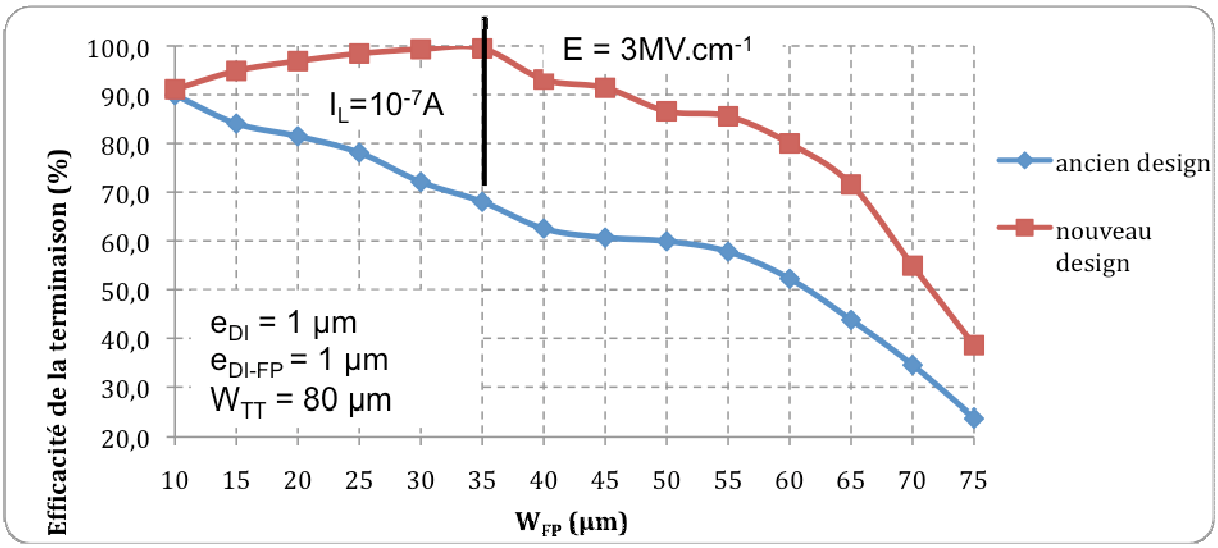


Figure II.23 : Influence du design de la structure sur l'efficacité de terminaison en fonction de la longueur de plaque de champ W_{FP}

Dans ce nouveau design, l'augmentation d'e_{DI-FP} entraîne l'augmentation de l'espace de distribution des lignes de potentiel. La Figure II.24 présente l'évolution de l'efficacité de la terminaison en fonction de W_{FP} pour différentes valeurs de e_{DI-FP}. Il est à noter que toutes les simulations se sont arrêtées sur le critère d'arrêt du courant de fuite.

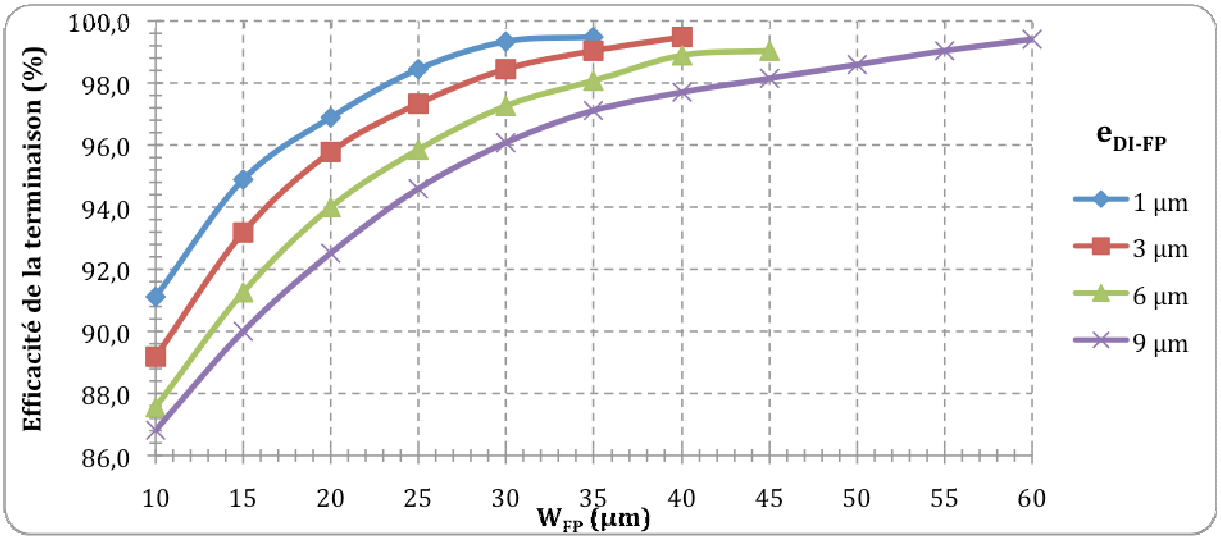


Figure II.24 : Evolutions de l'efficacité de la terminaison en fonction de la longueur de la plaque de champ W_{FP} pour différentes valeurs d'e_{DI-FP}

L'augmentation de e_{DI-FP} entraîne une diminution de la valeur du champ électrique permettant ainsi de prolonger la longueur de la plaque de champ. Néanmoins, cela diminue l'effet de champ de la plaque de champ, réduisant ainsi l'efficacité de la terminaison.

II.5 Conclusion

L'étude théorique de la diode à superjonction et à tranchées profondes a permis de déterminer l'influence des paramètres géométriques sur la tenue en tension mais également sur la résistance à l'état passant. La tenue en tension dépend principalement de l'équilibre des charges et de la profondeur de la jonction. Avec les forts dopages mis en œuvre dans cette structure, une faible variation de la dose d'implantation par rapport à celle nécessaire pour obtenir le parfait équilibre des charges peut entraîner d'importantes baisses de la tenue en tension. La réalisation des bandes P autour des tranchées est donc une étape critique du procédé de fabrication.

La résistance à l'état passant dépend, quant à elle, essentiellement de la largeur des bandes N et plus précisément du ratio de conduction entre la surface de la zone N et la surface totale. Or, l'augmentation de ce ratio entraîne également l'augmentation de la dose de bore à implanter. Nous avons donc, en prenant en compte tous ces éléments, optimisé la structure pour obtenir des composants 600 V et 1200 V affichant le meilleur compromis théorique « tenue en tension / résistance à l'état passant ».

Afin de protéger en périphérie la DT-SJDiode, nous avons choisi d'étudier la terminaison DT^2 (Deep Trench Termination) qui a déjà fait l'objet de travaux antérieurs au sein de l'équipe et qui semble la plus adaptée à ce composant. Elle permet en effet de conserver l'équilibre des charges même en périphérie et d'assurer sa protection malgré les forts dopages mis en œuvre. Nous avons donc étudié l'influence de chacun des paramètres caractéristiques de cette terminaison afin d'assurer une protection optimale pour des composants 600 V et 1200 V.

Les deux paramètres agissant sur l'efficacité de la terminaison sont la longueur de la plaque de champ et la largeur de la terminaison. Nous avons déterminé que les valeurs de ce couple accordant une protection optimale sont W_{TT} = 30 µm et W_{FP} = 18 µm. Cependant, la limite de cette terminaison est qu'elle induit un pic de champ électrique à la fin de la plaque de champ, pouvant provoquer un arc électrique entre celle-ci et la fin de la terminaison, ce qui est destructif pour le composant.

Nous avons donc proposé un nouveau design de la terminaison permettant de réduire de champ électrique en surface afin de prévenir cet arc électrique, grâce à une couche de diélectrique placée uniquement sous la plaque de champ. Ce changement permet une

meilleure répartition des lignes de potentiel, réduisant ainsi le pic de champ électrique à la fin de la plaque de champ. Il serait intéressant de poursuivre l'étude de ce nouveau design afin d'étudier le comportement du champ électrique dans le cas d'une terminaison sphérique grâce à des simulations en trois dimensions.

Chapitre III . Optimisation du procédé de fabrication des diodes à superjonction et à tranchées profondes

III.1 Introduction 75

III.2 Description des structures de test 75

III.3 Développement des briques technologiques de fabrication d'une diode à superjonction et à tranchées profondes 78

III.3.1 Gravure des tranchées 78

III.3.1.1 Choix de la résine photosensible 79
III.3.1.2 Verticalité des tranchées 80
III.3.1.3 Elimination du « scalloping » 82
III.3.1.4 Réduction de l'effet ARDE 83

III.3.2 Implantation P^+ autour des tranchées 86

III.3.3 Remplissage des tranchées par un diélectrique 88

III.3.3.1 Dépôt du BCB par « spin-coating » 89
III.3.3.2 Dépôt du BCB par sérigraphie 92
III.3.3.3 Planarisation du BCB par nano-impression 94

III.3.4 Retrait du surplus de BCB 98

III.3.4.1 Amincissement par polissage mécano-chimique 99
III.3.4.2 Amincissement par gravure plasma 101

III.4 Conclusion 104

III.1 Introduction

Dans le second chapitre, nous avons pu identifier l'influence des paramètres géométriques sur la tenue en tension et sur la résistance à l'état passant. La tenue en tension dépend essentiellement de la balance des charges et de la profondeur de jonction. La résistance, quant à elle, dépend du dopage de l'épitaxie et de la largeur des bandes N. Nous avons optimisé les structures 600 V et 1200 V dans le but d'obtenir le meilleur compromis tenue en tension / résistance à l'état passant. Dans ce chapitre, nous allons étudier le procédé de fabrication de ces structures afin de valider l'étude théorique.

Dans un premier temps, nous présenterons le design des composants, défini à partir des résultats de simulation, qui a servi à l'optimisation des différentes étapes technologiques de fabrication des diodes. Après avoir déterminé les étapes technologiques critiques (gravure des tranchées, implantation ionique de type P autour des tranchées, remplissage de ces dernières avec le diélectrique), nous présenterons les différents travaux menés afin de les optimiser ainsi que les choix technologiques qui en découlent.

Pour finir, nous présenterons le procédé de fabrication complet des diodes à superjonction avec une description de l'enchainement des étapes.

III.2 Description des structures de test

Suite aux travaux de H. Mahfoz-Kotb et de L. Théolier, nous avons choisi de réaliser des cellules comportant douze diodes de dimensions différentes afin d'analyser l'influence de leur géométrie sur la mise au point des briques technologiques ainsi que sur les performances électriques.

H. Mahfoz-Kotb a mis en évidence l'importance de l'étape de gravure des tranchées dans le choix de leur largeur : en effet, pour une ouverture de masque fixée à 4 µm, la largeur résultante de la tranchée après la gravure ionique réactive est de 6 µm, soit une surgravure latérale de 1 µm de chaque côté. Nous avons pris en compte l'observation de ce phénomène en dessinant des composants dont les ouvertures de masque pour la réalisation des tranchées centrales sont de 4 µm et 5 µm : la finalité est de prévenir les effets de surgravure qui pourraient être inhérents à notre équipement de gravure sèche et d'obtenir au final une largeur de tranchée de 6 µm.

L'autre brique technologique à développer est l'implantation ionique sur les flancs des tranchées. Le contrôle de cette étape et, en particulier, de la dose implantée influence fortement les performances électriques du composant au travers du respect de la balance des charges. Afin d'analyser l'impact de la profondeur d'implantation, nous avons donc choisi de réaliser des diodes ayant différentes largeurs inter-tranchées W_{IT} ($W_{IT} = W_P + W_N$) soit 6,5 µm, 9,5 µm et 12,5 µm. En prévoyant des implantations qui donneront 0,5 µm de largeur de zone P sur chaque flanc, les largeurs résultantes des zones N seront respectivement : 5,5 µm, 8,5 µm et 11,5 µm.

Notre objectif étant de réaliser des composants ayant des tenues en tension de 600 V et 1200 V, la moitié des diodes d'une même cellule est dédiée au développement de diodes 600 V avec une largeur de terminaison W_{TT} de 40 µm et l'autre moitié est dédiée au développement de diodes 1200 V avec W_{TT} égal à 80 µm. La Figure III.1 illustre la répartition des différentes diodes au sein d'une cellule de base et le Tableau III.1 présente leurs dimensions. Chaque diode a une superficie de 1 mm^2. La cellule est répétée 177 fois sur le wafer.

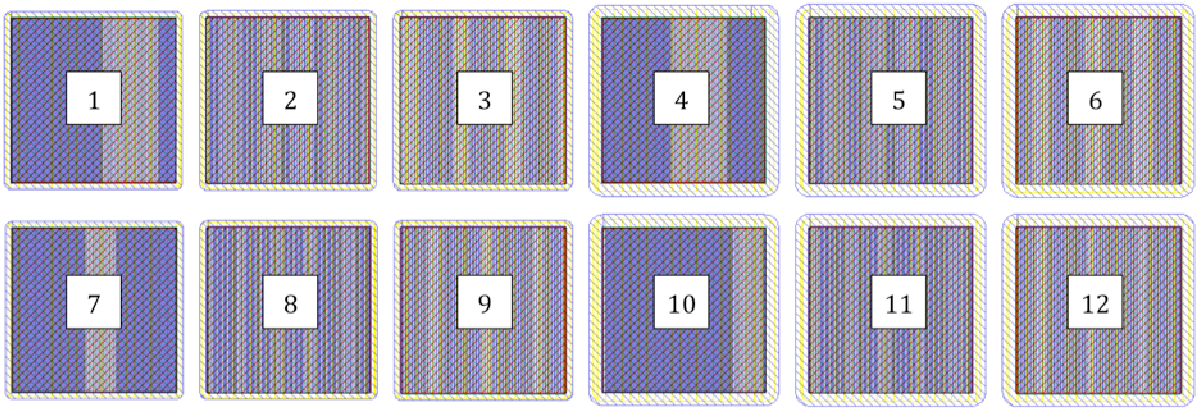


Figure III.1 : Cellule de base des diodes à superjonction

Tableau III.1 : Dimensions des composants de test

N° Diode	1	2	3	4	5	6	7	8	9	10	11	12
W_T (µm)	4	4	4	4	4	4	5	5	5	5	5	5
W_{IT} (µm)	8,5	11,5	15,5	8,5	11,5	15,5	8,5	11,5	15,5	8,5	11,5	15,5
W_{TT} (µm)	38	38	38	78	78	78	39	39	39	79	79	79

Selon l'étude théorique menée au second chapitre, la profondeur minimale des tranchées des cellules centrales D_T varie en fonction de la largeur W_N pour obtenir les tenues en tension souhaitées. En effet, pour une tenue en tension souhaitée de 600 V, lorsque W_N = 11,5 µm, D_T doit être au minimum de 44 µm contre 32 µm lorsque W_N = 5,5 µm. Il est donc nécessaire d'avoir une profondeur d'épitaxie supérieure à la plus importante valeur de D_T. Cependant, afin de prendre une certaine marge d'erreur lors de la réalisation pour assurer une tenue en tension proche des 600 V, nous avons opté pour une profondeur d'épitaxie de 55 µm pour les composants 600 V et de 110 µm pour les composants 1200 V. Théoriquement, cela permettrait d'avoir une tenue en tension de 750 V et 1350 V. Il est à noter par contre que, pour les composants dont la largeur W_N est inférieure à 11,5 µm, la tenue en tension théorique ainsi que la résistance à l'état passant seront plus élevées. Les caractéristiques théoriques de ces composants sont reportées dans le Tableau III.2.

Tableau III.2 : Caractéristiques théoriques des composants de la cellule

N°	W_N (µm)	D_T (µm)	Dose D_B (10^{12} cm^{-2})	BV théorique (V)	R_{ON} théorique (mΩ.cm^{-2})
1	5,5	55	0,83	890	165
2	8,5	55	1,37	860	114
3	11,5	55	1,73	750	98
4	5,5	110	0,83	1700	370
5	8,5	110	1,37	1650	255
6	11,5	110	1,73	1350	194
7	5,5	55	0,83	890	165
8	8,5	55	1,37	860	114
9	11,5	55	1,73	750	98
10	5,5	110	0,83	1700	370
11	8,5	110	1,37	1650	255
12	11,5	110	1,73	1350	194

III.3 Développement des briques technologiques de fabrication d'une diode à superjonction et à tranchées profondes

L'étude préliminaire menée par H. Mahfoz-Kotb et L. Théolier pour la réalisation d'un transistor DT-SJMOS a permis de valider le concept de terminaison à tranchée large et profonde remplie de diélectrique. La mise au point du procédé de fabrication a mis en évidence que certaines étapes technologiques étaient critiques : la gravure des tranchées, leur remplissage par du diélectrique, l'élimination du diélectrique en excès à la surface du silicium et le contrôle de la diffusion du bore implanté le long des tranchées.

Ces travaux sont à la base du procédé de fabrication que nous avons développé. Cependant, il nous a semblé pertinent de revoir certaines étapes dans un souci de simplification technologique en vue d'une industrialisation possible. En effet, deux étapes de gravure profonde étaient nécessaires pour obtenir à la fois les tranchées étroites de la cellule centrale et la tranchée large de la terminaison de jonction, conséquence de l'effet ARDE (Aspect Ratio Dependent Etching) typique d'une gravure profonde. De même, une étape de polissage mécano-chimique permettait d'éliminer le diélectrique en surface après le remplissage des tranchées. Cette technique ne nous paraissant pas adaptée au développement d'une technologie « MOS compatible », principalement à cause des contaminations possibles inhérentes à l'utilisation de poudre d'alumine comme matériau de polissage, nous avons cherché à développer des solutions alternatives.

Nous présentons dans cette partie les travaux que nous avons menés afin de maîtriser les différentes étapes technologiques critiques permettant la réalisation de diodes à superjonction et à tranchées profondes (cf Figure II.4), à la fois pour les composants 600 V et 1200 V, et ce dans un souci d'obtenir un procédé de fabrication compatible avec les outils technologiques dédiés aux procédés MOS.

III.3.1 Gravure des tranchées

La gravure des tranchées profondes dans le silicium est une des étapes critiques de notre procédé de fabrication, l'enjeu le plus important étant d'obtenir une forte anisotropie avec un rapport de forme H/L (hauteur/largeur) élevé. La gravure est effectuée par gravure ionique réactive profonde (DRIE) sur l'équipement Alcatel-AMS4200 ICP (Inductively Coupled Plasma) à l'aide du procédé Bosch qui comprend deux cycles : un cycle de gravure à

base de SF_6 suivi d'un cycle de passivation des parois des tranchées à base de C_4F_8/O_2 [45]. Les paramètres du plasma tels que débit des gaz, puissance, pression ainsi que le ratio temps de passivation / temps de gravure agissent directement sur les caractéristiques des tranchées obtenues à savoir : le fort rapport de forme (HAR), les pertes de dimensions critiques (pertes CD), la rugosité des flancs de gravure et la dépendance au rapport de forme (effet ARDE) [46].

Loïc Théolier a montré, lors de ses travaux de thèse, qu'il était nécessaire de maîtriser à la fois la profondeur et la largeur des tranchées mais également leur verticalité [1]. Nous présentons ici les études menées afin d'optimiser chacun de ces points.

III.3.1.1 Choix de la résine photosensible

Dans un premier temps, nous avons déterminé la sélectivité de gravure entre le silicium et la résine photosensible de masquage ainsi que la vitesse de gravure du silicium. Pour ces essais, nous sommes partis d'un procédé de gravure profonde déjà validé au laboratoire pour des précédents travaux et dont les paramètres sont reportés dans le Tableau III.3.

Tableau III.3 : Paramètres du plasma de gravure profonde

Paramètres du plasma	Valeurs
Gravure : SF_6	250 sccm
Temps de gravure	2 s
Passivation : C_4F_8 / O_2	250 sccm / 35 sccm
Temps de passivation	2 s
Puissance pulsée	2500 W
Puissance Bias	60 W
Pression	50 mb

La sélectivité de gravure entre le silicium et la résine est de 19. Une épaisseur minimale de résine de 2,8 µm sera donc nécessaire pour atteindre des profondeurs de gravure de 55 µm et une épaisseur de 5,5 µm pour des gravures de 110 µm. Notre choix s'est donc porté sur la résine photosensible AZ40XT [47] d'épaisseur 14 µm, communément utilisée au

laboratoire pour les gravures profondes, qui permet de développer les deux types de composant.

III.3.1.2 Verticalité des tranchées

Lorsque les tranchées ne sont pas verticales, cela entraîne un déséquilibre local des charges, provoquant ainsi une baisse de la tenue en tension. De plus, une variation de la largeur de tranchée provoque une variation de W_N, la largeur de bande N, paramètre clé de la superjonction.

Partant des paramètres standards définis dans le Tableau III.3, nous avons analysé l'influence du temps de passivation sur la verticalité des tranchées [48]. Nous l'avons fait varier entre 1,5 s et 6 s et nous avons mesuré, pour chaque ouverture de tranchée 6 µm, 40 µm ou 80 µm, la différence de largeur de tranchée entre le haut et le bas après gravure, ΔW. Les résultats des mesures sont reportés dans le Tableau III.4. La valeur optimale du ratio temps de passivation / temps de gravure est 1,75. En-dessous de cette valeur, les tranchées sont plus larges en leur fond qu'en haut (profil sortant) ; au-delà, les tranchées se resserrent en bas (profil rentrant) comme le montrent les vues au MEB de la Figure III.3. Pour un ratio de 1,75, à savoir un temps de gravure de 2 s et un temps de passivation de 3,5 s, les tranchées présentent une faible perte en dimension critique et les tranchées sont verticales (cf Figure III.2). Ces valeurs seront donc considérées comme optimales pour la suite des travaux.

Tableau III.4 : Résultats des gravures en fonction du ratio temps de passivation/gravure

Temps C_4F_8 / SF_6	Ratio	Ouverture 6 µm ΔW (W_{BAS}-W_{HAUT})	Ouverture 40 µm ΔW (W_{BAS}-W_{HAUT})	Ouverture 80 µm ΔW (W_{BAS}-W_{HAUT})
6 s / 2 s	3	- 1 µm	- 5 µm	- 6 µm
5 s / 2 s	2,5	- 0,8 µm	- 4 µm	- 5 µm
4 s / 2 s	2	- 0,4 µm	- 1 µm	- 1 µm
3,5 s / 2 s	1,75	- 0,1 µm	- 0,3 µm	- 0,2 µm
3 s / 2 s	1,5	0,01 µm	0,5 µm	0,4 µm
1,5 s / 2,5 s	0,6	0,4 µm	4 µm	5 µm

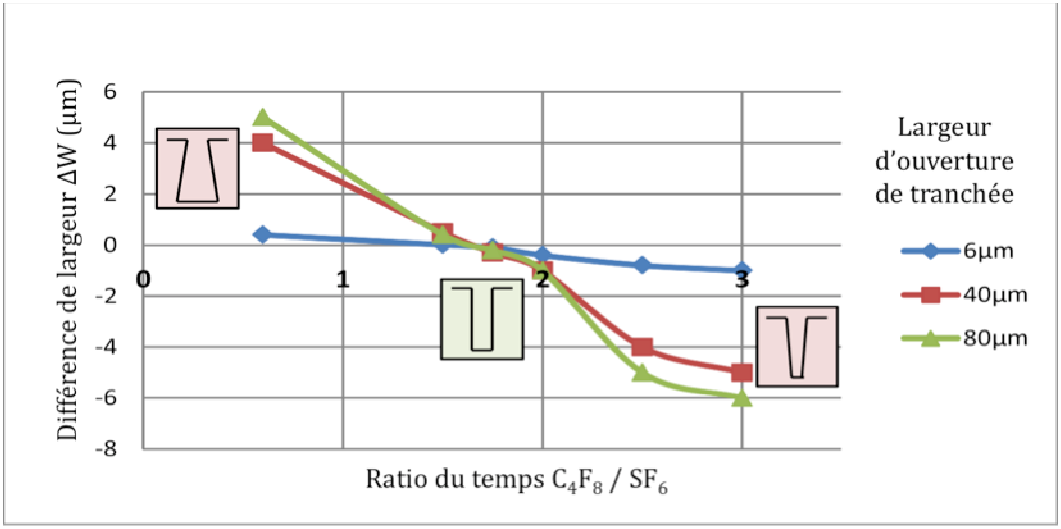
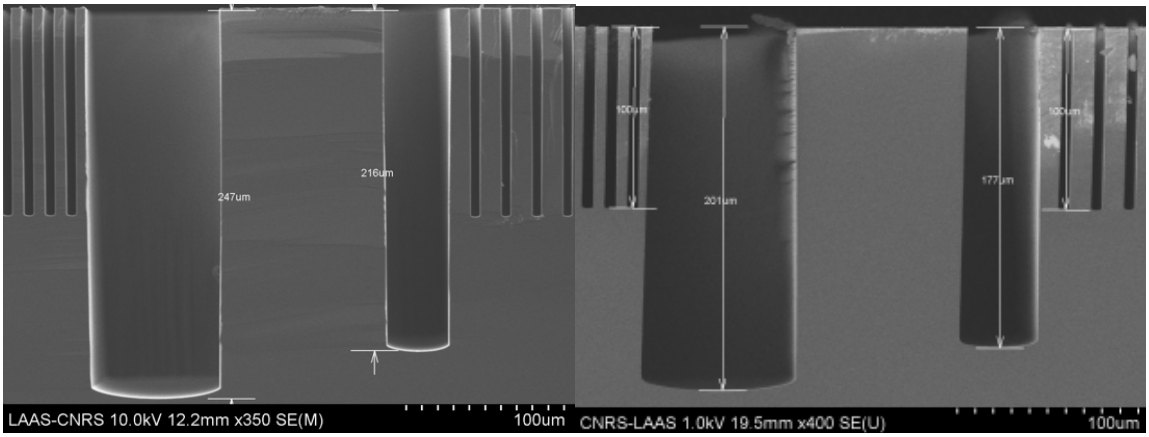
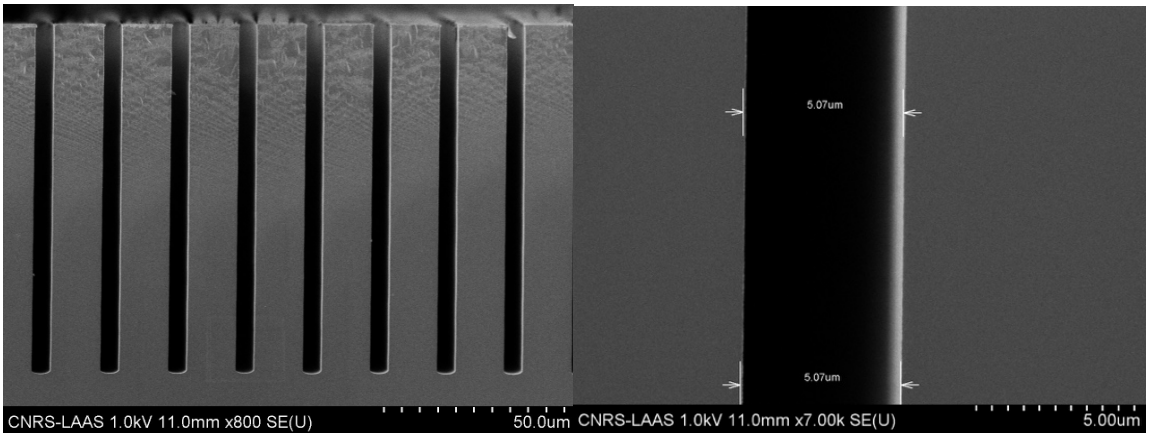


Figure III.2 : Influence du ratio temps de passivation (C_4F_8) / temps de gravure (SF_6) sur les pertes en dimensions critiques



SF_6/C_4F_8 ratio= 3 - ΔW >0 SF_6/C_4F_8 ratio = 1,3 - ΔW<0



SF_6/C_4F_8 ratio= 1,75 - ΔW >0

Figure III.3 : Images MEB de la gravure des tranchées en fonction du ratio temps de passivation C_4F_8 / temps de gravure SF_6

Nous avons déterminé les temps de gravure nécessaires pour obtenir des profondeurs de tranchées des cellules centrales de 55 µm et de 110 µm. La vitesse de gravure diminue à mesure que le temps de gravure augmente. En effet, il faut 25 min pour graver 55 µm, ce qui donne une vitesse de gravure de 2,2 µm/min, et il faut 65 min pour graver 110 µm, ce qui donne une vitesse de gravure de 1,7µm/min.

III.3.1.3 Elimination du « scalloping »

Le « scalloping » est une caractéristique du procédé Bosch. Il apparaît sur les flancs des tranchées après la gravure profonde et il est la résultante de la succession des étapes de passivation et de gravure. Ce phénomène est illustré sur la Figure III.4 : il se manifeste par une ondulation résiduelle avec des pics pouvant atteindre 100 nm pour des gravures de 65 min. Cela peut être gênant pour les étapes suivantes, notamment pour l'implantation ionique de type P autour des tranchées, qui est une étape critique. En effet, ces irrégularités peuvent entrainer une inhomogénéité de l'implantation devant être réalisée par la suite par immersion plasma à faible dose.

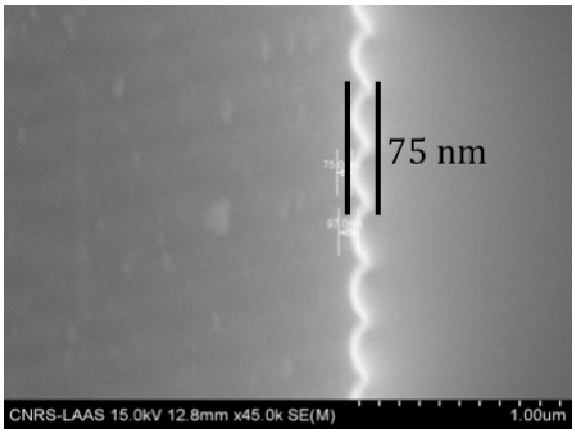


Figure III.4 : Vue MEB d'un flanc de tranchée mettant en évidence le phénomène de scalloping.

Nous avons donc cherché à éliminer ou tout au moins à réduire cet effet. Pour cela, nous avons effectué une oxydation du silicium après la gravure profonde : en effet, une croissance d'oxyde SiO_2 d'épaisseur e_{ox} conduit à une consommation du matériau silicium de 0,4 e_{ox}. Etant donné que le scalloping a une largeur moyenne de 100 nm, il faut donc effectuer une croissance d'oxyde de 250 nm. Cet oxyde est ensuite éliminé par attaque chimique à l'aide d'un bain de Buffer HF. La Figure III.5 montre une vue MEB des flancs de tranchée

après l'oxydation et le retrait de l'oxyde. L'ondulation résiduelle est alors de l'ordre de 10 nm.

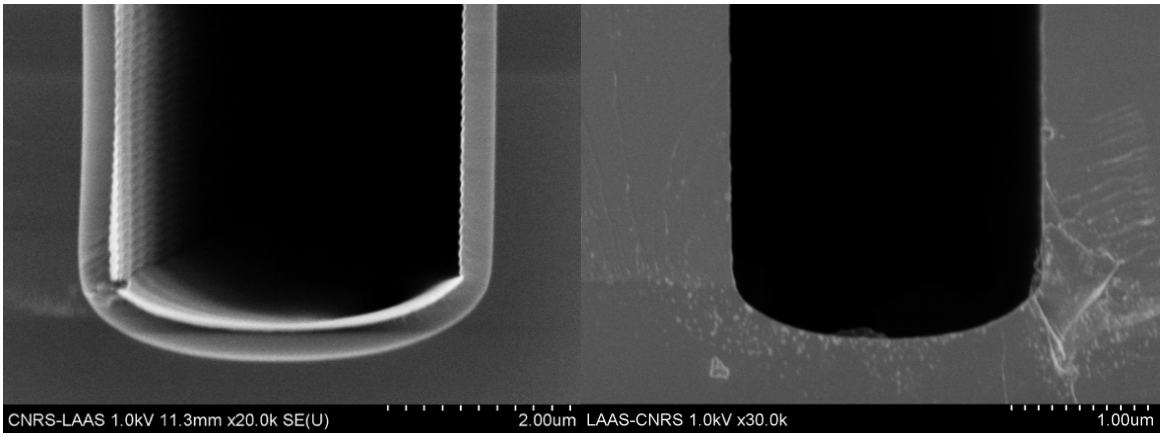


Figure III.5 : Croissance de 250 nm de SiO_2 sur les flancs de gravure et élimination au buffer HF

III.3.1.4 Réduction de l'effet ARDE

Lors de la gravure des tranchées, la vitesse de gravure et donc la profondeur de gravure dépendent de la largeur des ouvertures : il s'agit de l'effet « ARDE » (Aspect Ratio Dependent Etching) caractéristique de la gravure plasma [49]–[51]. Les tranchées de terminaison ayant une largeur de 40 µm ou 80 µm, leur profondeur résultante sera plus importante que celle des tranchées centrales, comme le montre la Figure III.6.

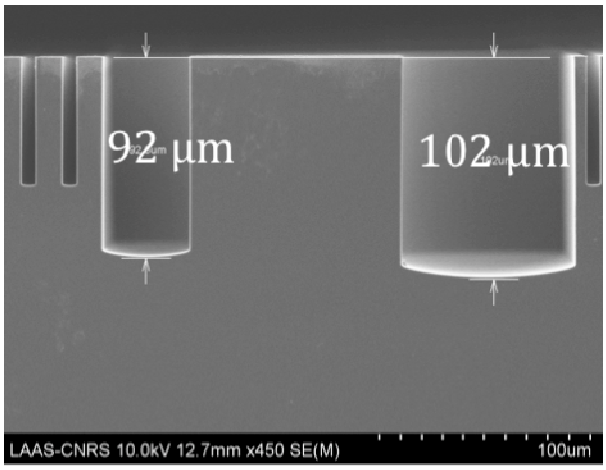


Figure III.6 : Image MEB illustrant l'effet « ARDE »

Si, d'un point de vue électrique, la profondeur des terminaisons n'a pas d'influence sur leur efficacité tant qu'elle n'est pas inférieure à celle des cellules centrales comme cela a été vu au Chapitre II (cf § II.4.1), d'un point de vue technologique, la différence de profondeur peut se révéler problématique lorsqu'il s'agira de procéder au remplissage avec un diélectrique. Il est donc nécessaire de chercher à réduire l'effet ARDE.

Nous avons choisi pour cela d'utiliser une technique développée au laboratoire pour d'autres projets [52], qui consiste à utiliser un masque d'oxyde sur les ouvertures les plus larges afin d'y retarder le début de la gravure sèche.

Dans le but de déterminer les épaisseurs d'oxyde nécessaires pour réduire l'effet ARDE pour les terminaisons de 40 µm et de 80 µm, nous avons mis en place un plan d'expérience. Nous avons fait croître des oxydes de 300 nm et 800 nm d'épaisseur sur deux wafers et nous avons effectué des gravures profondes de 25 min et 65 min avec un masque de résine possédant les deux types de terminaisons souhaitées et les conditions de gravure optimales précédemment définies (temps de gravure de 2 sec et temps de passivation de 3,5 sec). Les résultats sont présentés dans le Tableau III.5 et la Figure III.7.

Tableau III.5 : Profondeurs de gravure en fonction de la largeur des tranchées pour des temps de gravure de 25 min et 65 min, et deux épaisseurs d'oxyde de masquage

Temps (min)	Oxyde (nm)	Ouverture 6 µm : Profondeur (µm)	Ouverture 40 µm : Profondeur (µm)	Ouverture 80 µm : Profondeur (µm)
25	300	44	72	80
25	800	26	43	74
65	300	112	188	217
65	800	92	158	180

Nous avons ainsi déterminé que, pour que les terminaisons de 40 µm aient une profondeur de 55 µm, l'épaisseur d'oxyde nécessaire est d'environ 600 nm. Pour les terminaisons de 80 µm, une épaisseur d'oxyde de 1,6 µm permettrai d'atteindre une profondeur de 110 µm. Nous avons donc mené une série de gravure avec des oxydes de protection ayant une épaisseur de 600 nm et 1,6 µm. La Figure III.7 présente les images MEB mettant en évidence la réduction de l'effet ARDE et la Figure III.8 présente les résultats

obtenus grâce à ces essais. Cependant, ces expériences ont démontré qu'il était nécessaire d'avoir une épaisseur un peu plus importante pour obtenir les profondeurs de 55 µm et 110 µm. Néanmoins, nous avons choisis de conserver ces valeurs d'épaisseur d'oxyde pour la suite du procédé car elles permettent de réduire suffisamment l'effet ARDE et de conserver une profondeur de terminaison supérieure à celle des cellules centrales.

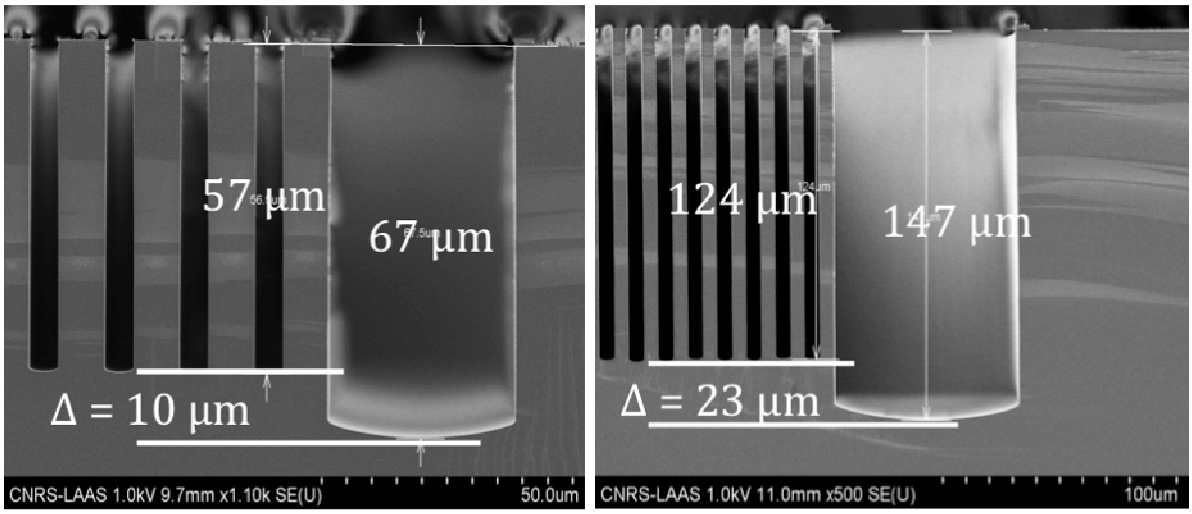


Figure III.7 : Terminaison de 40 µm de large avec 600 nm d'oxyde de protection après 25 min de gravure (à gauche) et terminaison de 80 µm de large avec 1,6 µm d'oxyde de protection après 65 min (à droite)

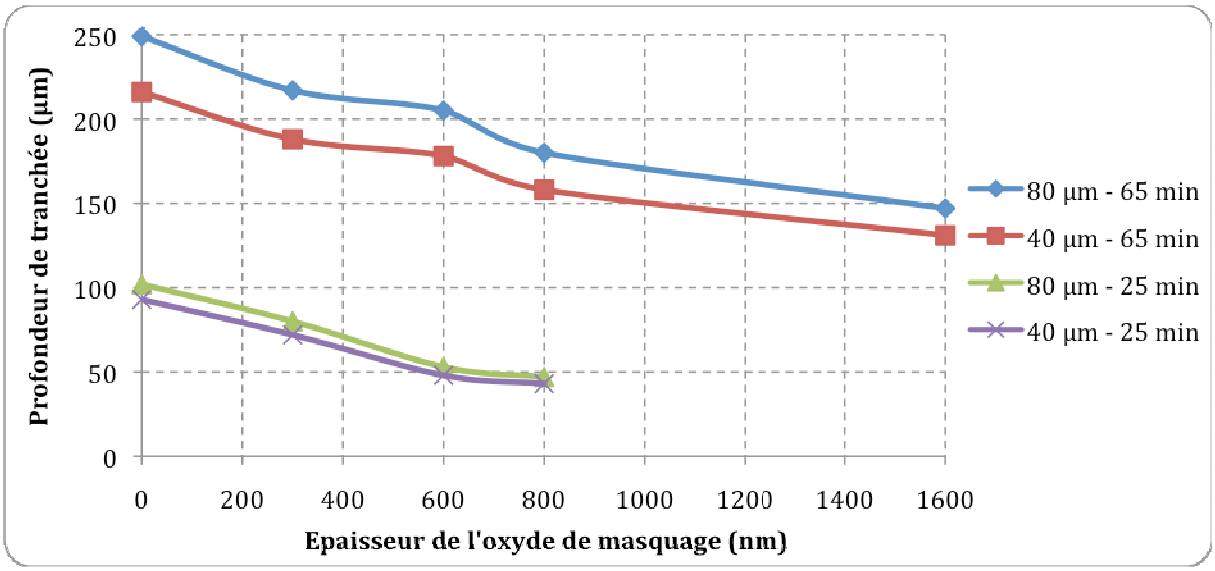


Figure III.8 : Variations de la profondeur de tranchée en fonction de l'épaisseur du masque d'oxyde, de la taille d'ouverture et du temps de gravure

III.3.2 Implantation P^+ autour des tranchées

La technique retenue pour la réalisation du dopage de type P sur les flancs des tranchées est l'implantation ionique par immersion plasma (PIII) car elle permet une implantation sur des objets en 3D [53][54]. L'inconvénient des techniques d'implantation dites « classiques » est qu'elles sont unidirectionnelles : elles utilisent un faisceau qui transporte les ions dopants bombardés à la surface du substrat. Les tranchées étant perpendiculaires à la surface, ces techniques ne conviennent pas pour la réalisation de la superjonction. En revanche, la PIII permet une implantation dans toutes les directions puisque les ions ne sont pas véhiculés par un faisceau mais ils immergent le substrat à l'aide d'un plasma. En appliquant une tension négative sur le porte substrat, le wafer étant polarisé négativement, les ions positifs sont attirés et implantés dans le wafer. La Figure III.9 présente le principe de fonctionnement d'une implantation ionique par immersion plasma. Cette implantation est effectuée par l'entreprise Ion Beam Service après la gravure des tranchées.

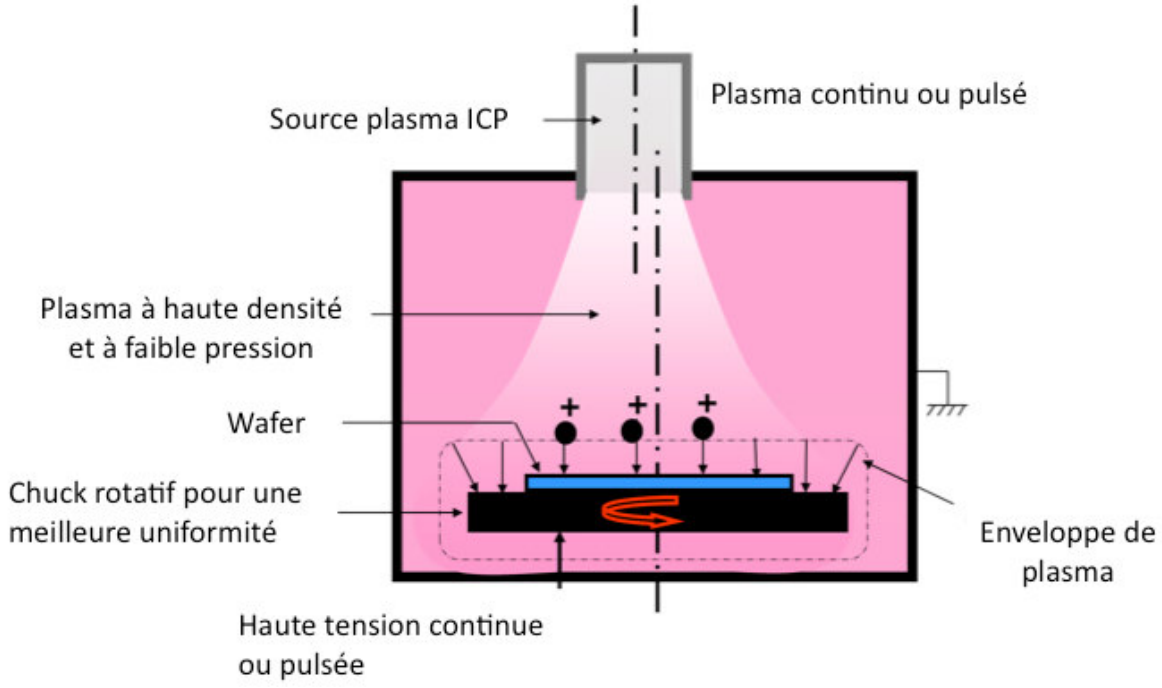


Figure III.9 : Schéma du principe de fonctionnement de la PIII [55]

Le wafer est placé sur un chuck rotatif permettant d'obtenir une meilleure uniformité de l'implantation sur l'ensemble du substrat. Le plasma et la tension appliquée sur le wafer peuvent être continus ou pulsés. Il est préférable d'utiliser le mode pulsé afin de réduire les risques de dégât lors de l'application de la tension sur le substrat En effet, grâce à la pulsion,

la température de traitement est moins élevée. La dose d'implantation dépend du temps d'exposition du wafer au plasma.

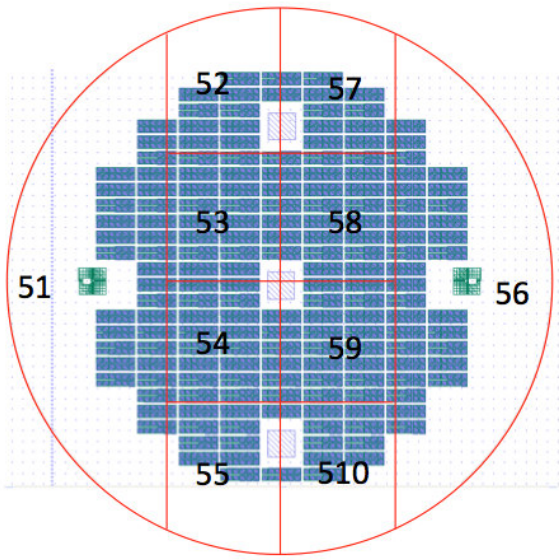
En parallèle, nous avons travaillé avec le laboratoire GREMAN, qui effectue des travaux de recherche sur l'implantation ionique à incidence rasante. Cela consiste à effectuer une implantation ionique sur un wafer incliné, ce qui permet d'assurer la pénétration des dopants sur le flanc des tranchées. Cependant, l'implantation n'est pas entièrement homogène car, le flanc incident de la tranchée et le flanc opposé ne sont pas exposés de la même manière au faisceau d'ions. De plus, cette technique est limitée par le haut facteur de forme des tranchées.

L'étape d'implantation de Bore sur le flanc des tranchées est cruciale pour le fonctionnement de la superjonction : en effet, il a été vu dans le Chapitre II qu'une variation de quelques pourcents de la dose d'implantation par rapport à la dose optimale entrainerait une baisse de la tenue en tension des dispositifs. Cependant, avec cette technique, le contrôle de la dose implantée est difficile pour des valeurs faibles de dose de Bore (de l'ordre de 10^{12} cm^{-2}) déterminées comme optimales, rendant ainsi cette étape encore plus critique.

Afin de maitriser cette étape, nous effectuerons des implantations avec différentes conditions sur un même wafer, ce qui permettra d'identifier les conditions permettant d'approcher la valeur de dose optimale. Dans un premier temps, des implantations sont effectuées sur des surfaces planes afin de déterminer les paramètres de l'implanteur permettant d'obtenir les doses souhaitées. Puis, les paramètres de l'implanteur sont déterminés grâce à des calculs menés en fonction de la topographie du wafer.

Dans le but d'avoir un grand panel d'essais d'implantation, les wafers ont reçu une dizaine de conditions d'implantation différentes pour chaque wafer. Comme il a été vu dans le chapitre II, chaque composant ayant une largeur inter tranchée différente, il est nécessaire d'avoir plusieurs conditions d'implantation pour tester les différents composants. Ces conditions d'implantation sont décrites dans le Tableau III.6.

Tableau III.6 : Conditions d'implantation de la PIII



SAMPLE	IMPLANTATION
51	BF3 2kV 1.8e14
52	BF3 0.35kV 1.8e14
53	BF3 2kV 3.3e14
54	BF3 0.35kV 3.3e14
55	BF3 2kV 7.5e14
56	BF3 0.35kV 7.5e14
57	BF3 1kV 7.5e14
58	BF3 2kV 3e13
59	BF3 0.35kV 3e13
510	BF3 2kV 6e13

Il peut être observé que ces valeurs d'implantation ne correspondent pas aux valeurs optimales présentées dans le Chapitre II. Ces valeurs sont plus grandes car ce sont les paramètres machines. En effet, elles ont été calculées en prenant en compte le facteur de forme des composants, permettant ainsi d'approcher les valeurs optimales souhaitées.

III.3.3 Remplissage des tranchées par un diélectrique

Lors des travaux précédents réalisés au LAAS pour le développement de diodes à superjonction [35], [43], différents matériaux ont été étudiés comme le Spin On Glass 500F et l'oxynitrure : le remplissage des tranchées n'a pas pu être obtenu. H. Mahfoz-Kotb a alors envisagé l'utilisation de BCB -Benzocyclobutène-, matériau largement utilisé en circuits intégrés comme couche inter-métaux ou comme matériau d'encapsulation pour la réalisation de MEMS [56]–[58]. En effet, il possède une constante diélectrique de 2,65 et un champ électrique critique de $5{,}3.10^{6}$ $V.cm^{-1}$ qui en font un diélectrique idéal pour des applications de puissance.

Lors de ces travaux, le remplissage des terminaisons, par leurs tailles et leurs profondeurs, nécessitait deux dépôts de BCB. Chacun de ces dépôts était suivi d'une étape de polissage mécano-chimique afin d'enlever le surplus de BCB en surface. Afin de simplifier le procédé de fabrication et d'éviter cette étape de polissage nécessitant l'utilisation de poudres d'alumine comme abrasifs, nous avons choisi de développer une technique de remplissage des

tranchées en une seule étape. Nous présentons dans cette partie les différentes expérimentations menées pour ce faire.

III.3.3.1 Dépôt du BCB par « spin-coating »

Le dépôt de BCB s'effectue à la tournette comme pour les résines photosensibles. Dans un premier temps, nous avons appliqué le procédé utilisé dans les précédents travaux : pré-dépôt de promoteur d'adhérence AP 3000 suivi d'un recuit sur plaque chauffante à 120 °C afin de permettre l'adhérence du BCB sur le silicium ; dépôt de 5 ml de BCB en statique (le wafer n'est pas en rotation) ; temps de repos de 5 à 10 min afin que le BCB pénètre dans les tranchées ; actionnement de la tournette selon les cycles décrits dans le Tableau III.7. La plaque subit ensuite un recuit à 80°C pendant 5 min sur plaque chauffante.

Tableau III.7 : Paramètres de dépôt du BCB à la tournette

N° étape	Description des cycles
1	vitesse = 200 tr/min, accélération = 200 tr/min^2 pendant 30 s
2	vitesse = 500 tr/min, accélération = 500 tr/min^2 pendant 20 s
3	vitesse = 1000 tr/min, accélération = 1000 tr/min^2 pendant 10 s

Avec ces paramètres, le dépôt n'est pas homogène et ne permet pas de recouvrir l'intégralité du wafer : les tranchées de terminaison des cellules situées au centre du wafer sont plus remplies que celles situées vers le bord du wafer. Nous sommes donc passés à un dépôt dynamique (wafer en rotation pendant le dépôt) qui permet de répartir le BCB pendant la première étape de manière progressive. Pour cela, on réduit la vitesse de cette étape à 100 tr/min et on augmente la durée à 1 min : cela favorise l'étalement du BCB sur le substrat. On réduit également la vitesse de rotation de la deuxième étape à 200 tr/min. Grâce à ce dépôt, nous obtenons des tranchées qui sont remplies de manière homogène sur la totalité du wafer : cependant, on observe la formation de bulles dans le BCB au niveau des tranchées de terminaison comme illustré sur la Figure III.10.

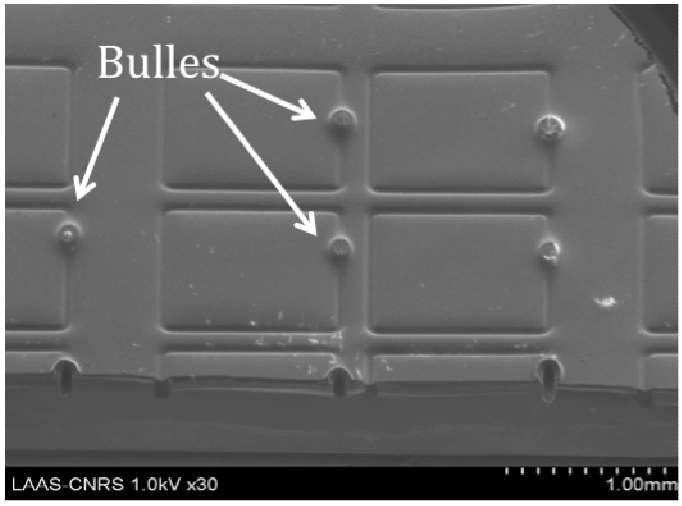


Figure III.10 : Image MEB du remplissage des tranchées avec formation de bulles

L'apparition de ces bulles peut être due à la viscosité importante du BCB (1100 cSt [59]) : il pénètre difficilement dans les tranchées et des bulles d'air peuvent se former dans ces dernières. L'autre hypothèse est le dégazage des solvants présents dans le BCB lors du post-recuit à 80 °C. Nous avons modifié le procédé de dépôt en insérant un temps de repos de 5 min entre les étapes 2 et 3 afin que le BCB puisse pénétrer dans les tranchées. Nous laissons ensuite reposer la plaque pendant 5 min après la rotation finale de l'étape 3 qui permet l'évacuation du surplus de BCB. L'image MEB de la Figure III.11 montre le résultat obtenu avec un remplissage correct à la fois des tranchées larges de 40 µm et des tranchées des cellules centrales.

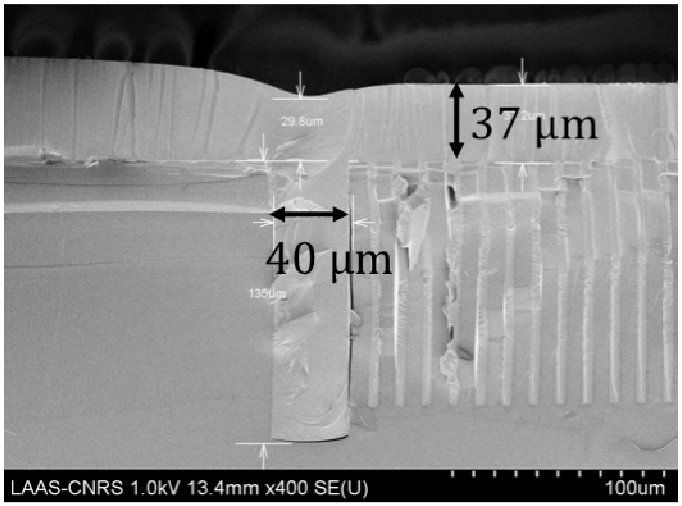


Figure III.11 : Image MEB du remplissage des tranchées sans bulles

Les tranchées des terminaisons d'une largeur de 80 µm, quant à elles, ne sont pas complètement remplies malgré la diminution de l'effet ARDE lors de la gravure (cf Figure III.12). Nous observons également que l'épaisseur du BCB en surface, au-dessus des cellules élémentaires, est de 40 µm en moyenne. Cette épaisseur varie en fonction des composants : l'écart peut atteindre une dizaine de microns. Cela s'explique par la différence de topographie des composants. Pour chaque composant qui fait 1 mm^2 de surface, l'espace inter-tranchée diffère d'où un nombre de tranchées à remplir qui n'est pas le même. De plus, les composants 1200 V possèdent une terminaison 2 fois plus large que celle des composants 600 V. Tous ces paramètres influent sur le volume de BCB nécessaire pour le remplissage des tranchées.

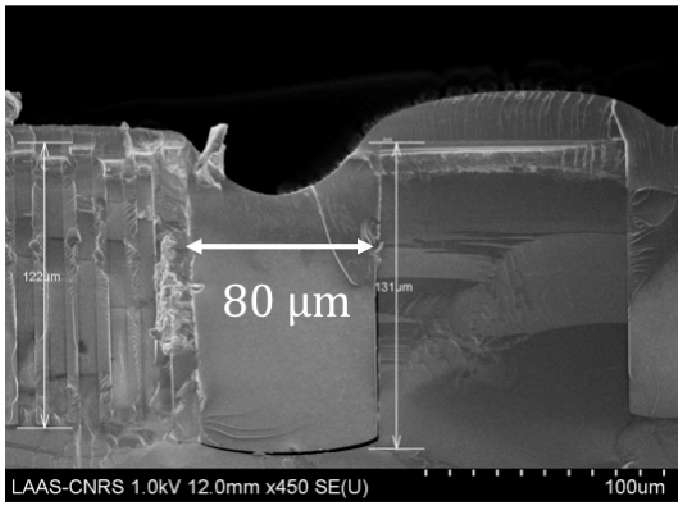


Figure III.12 : Image MEB de la terminaison large de 80 µm

Pour la réalisation de la diode, il est nécessaire d'enlever le BCB au-dessus des cellules centrales afin de prendre le contact électrique. Nous avons donc cherché à réduire l'épaisseur de BCB en surface. Dans un premier temps, nous avons augmenté la vitesse et l'accélération de la dernière étape de dépôt du BCB tout en conservant les mêmes étapes de repos. Pour des vitesses de 1500 tr/min et 2000 tr/min, l'épaisseur moyenne de BCB est de 35 µm et 25 µm respectivement. Cependant, nous observons également une diminution de quantité de BCB dans les tranchées, notamment dans les terminaisons. Comme le montre la Figure III.13, à 1500 tr/min, les terminaisons de 40 µm ne sont pas entièrement remplies et à 2000 tr/min, les tranchées des cellules centrales ne sont pas remplies entièrement contrairement aux dépôts précédents.

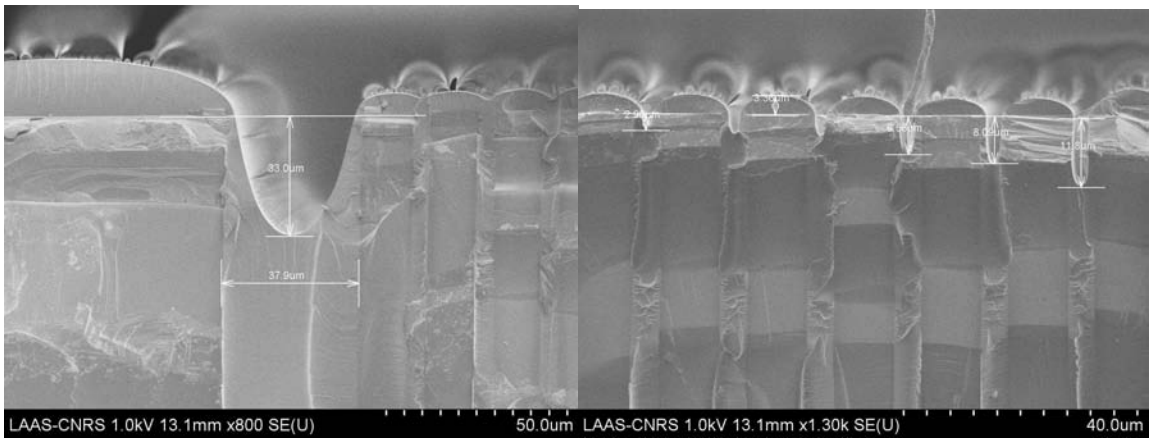


Figure III.13 : Image MEB du remplissage des tranchées avec du BCB pour des vitesses de rotation lors de l'étape 3 de 1500 tr/min (à gauche) et 2000 tr/min (à droite)

III.3.3.2 Dépôt du BCB par sérigraphie

L'augmentation de la vitesse de rotation n'étant pas la solution idéale pour réduire l'épaisseur du BCB en surface, nous nous sommes intéressés à un autre procédé disponible dans la salle blanche du LAAS : la sérigraphie. Initialement, la sérigraphie est une technique permettant d'imprimer des motifs sur un support en faisant passer de l'encre à travers un pochoir à l'aide d'une racle. Elle est également utilisée en micro-électronique pour effectuer des dépôts de polymère et de métallisation pour la réalisation de MEMS et de contacts électriques pour des cellules solaires [60].La sérigraphie, grâce au passage de la racle, devrait permettre de réduire l'épaisseur de BCB en surface à la dizaine de microns, facilitant ainsi l'étape technologique suivante.

Nous avons voulu déterminer la faisabilité d'un dépôt de BCB par sérigraphie sur nos structures. La machine utilisée est la DEK01i. Les paramètres qui influencent le dépôt sont la pression de la racle et la vitesse de la racle. Dans un premier temps, nous avons appliqué une pression de 5 kg sur la racle et imposé une vitesse de 2 mm/s. Les résultats de ce dépôt sont présentés sur la Figure III.14.

Les tranchées ne sont pas remplies, laissant supposer que la vitesse de la racle est trop élevée et que le BCB n'a pas le temps d'y pénétrer Il est également probable que la pression de la racle est trop importante, ce qui entraîne une légère déformation de la structure. Cependant, l'épaisseur de BCB en surface est d'environ 350 nm, démontrant ainsi l'intérêt qu'il y aurait à utiliser la sérigraphie. Nous avons donc diminué à la fois la vitesse et la pression de la racle. La pression de la racle a été ramenée à 1 kg et nous avons fixé la vitesse à

la valeur minimale de la machine, soit 1 mm/s (cf Figure III.15). Bien que le remplissage se soit amélioré, le résultat n'est pas satisfaisant.

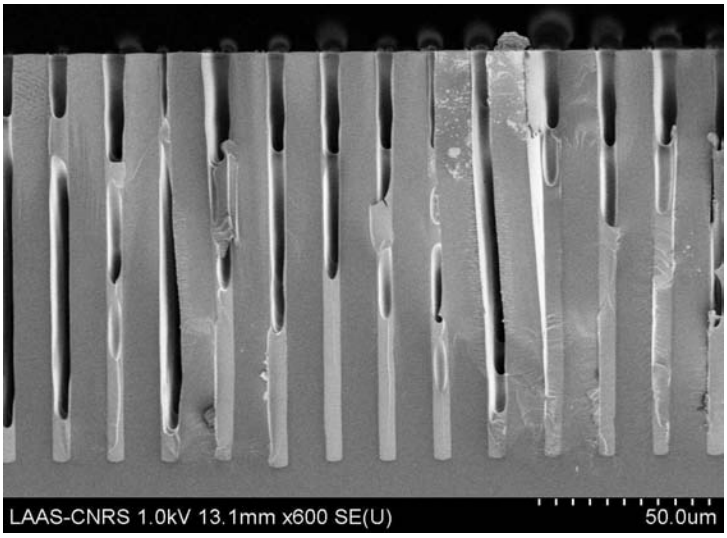


Figure III.14 : Image MEB d'un dépôt par sérigraphie pour une pression de racle de 5 kg et une vitesse de 2 mm/s

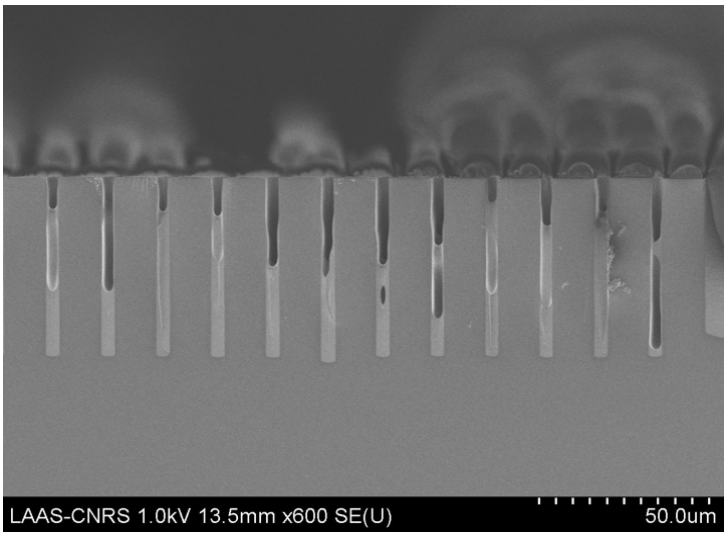


Figure III.15 : Image MEB d'un dépôt par sérigraphie pour une pression de racle de 1 kg et une vitesse de 1 mm/s

Nous avons alors envisagé de combiner le dépôt de BCB à la tournette pour assurer le remplissage des tranchées avec la sérigraphie pour enlever le surplus de BCB de manière homogène. Pour ce faire, nous avons utilisé les conditions de dépôt du Tableau III.7 car celles-ci garantissent le remplissage des tranchées : la forte épaisseur de BCB obtenue en surface n'est pas pénalisante puisqu'elle sera enlevée par la racle. La sérigraphie est effectuée avant le recuit à 80 °C, sinon le BCB durcit car il commence à polymériser et il ne peut pas

être enlevé par sérigraphie par la suite. La pression de la racle et sa vitesse sont fixées respectivement à 1 kg et 1 mm/s.

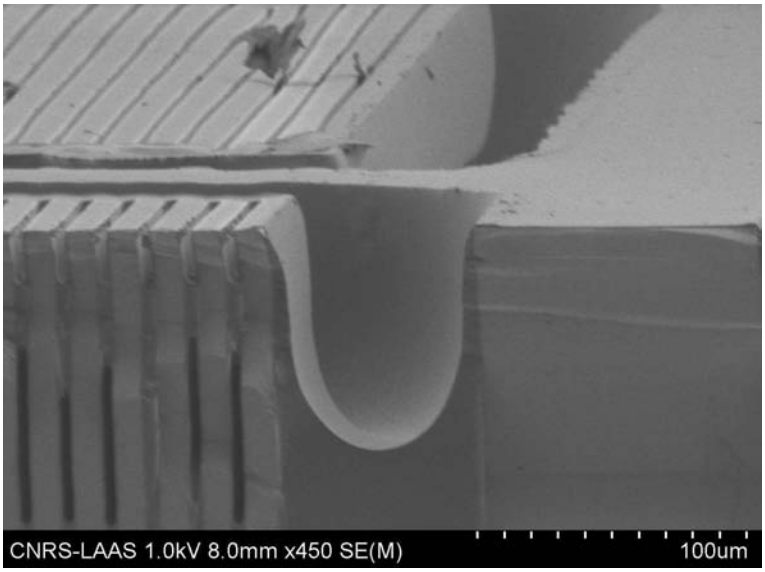


Figure III.16 : Image MEB du dépôt de BCB par spin-coating suivi d'une étape de sérigraphie pour une pression de racle de 2 kg et une vitesse de 1 mm/s

Les résultats reportés sur la Figure III.16 montrent que les tranchées ne sont pas remplies malgré le dépôt fait par spin-coating. A cause de son coefficient de viscosité, le BCB est comme « aspiré » hors des tranchées lors du passage de la racle. Nous avons donc abandonné l'idée d'utiliser la sérigraphie.

III.3.3.3 Planarisation du BCB par nano-impression

Nous nous sommes alors intéressés à la nano-impression, technique utilisée pour des applications en nano-biotechnologies et en photonique, qui consiste à reproduire des motifs nanométriques. La plateforme de micro et nanotechnologies du laboratoire s'est équipée d'une machine Nanonex NX2500 [61], dédiée à la lithographie par nano-impression, qui permet des procédés thermiques et/ou UV. L'équipement est doté de deux membranes souples entre lesquelles sont placés les échantillons à presser quelle que soit leur dimension, et d'une presse à coussin d'air (technique ACP : Air Cushion Press) qui favorise l'application d'un gaz sous pression de façon uniforme et conforme sur toute la surface de l'ensemble moule / substrat. Cette technique présente des résultats nettement meilleurs que celle qui consiste en deux plaques solides parallèles pressant le moule et le substrat [62]. La Figure III.17 montre une vue schématique du principe de la presse à coussin d'air de la Nanonex NX2500. Une

résistance chauffante permet également de contrôler la température à laquelle s'effectue le pressage.

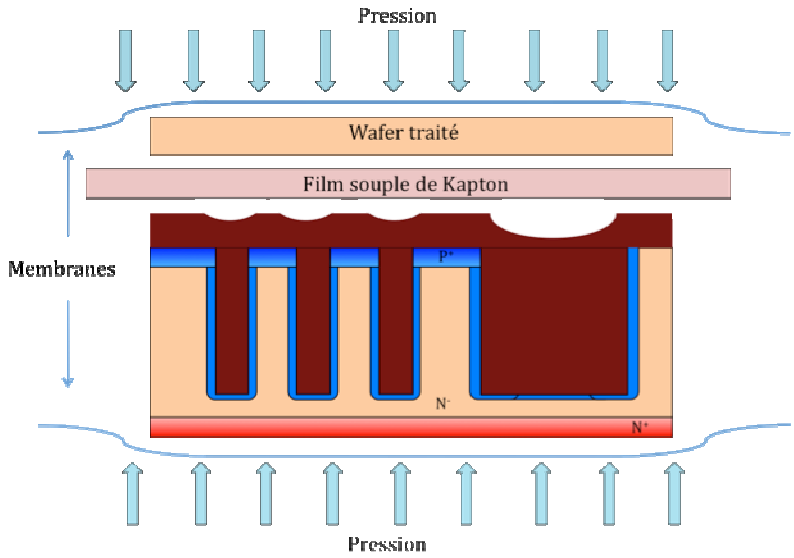


Figure III.17 : Schéma du principe de fonctionnement de la Nanonex

La nano-impression est utilisée au laboratoire pour la fabrication de VCSEL's par l'équipe Photonique qui a ainsi développé une méthode de planarisation du BCB [63]. Nous sommes donc partis du protocole mis au point par cette équipe et nous l'avons adapté à notre cas.

Le substrat, recouvert de BCB après dépôt à la tournette, est posé sur la membrane inférieure de la chambre ; un substrat de silicium massif traité anti-adhésion au préalable est placé au-dessus et fait office de presse ; la membrane supérieure recouvre l'ensemble. Dans un premier temps, une pression de 200 psi est appliquée sur les deux membranes souples une fois que la température atteint 90 °C. La durée de l'étape est fixée à 6 min, limite maximale imposée par l'équipementier. Au bout des 6 min, la température redescend à 25°C et la pression est relâchée. Il est nécessaire de redescendre la pression après avoir réduit la température pour diminuer l'effet de bonding entre les deux substrats. Ce premier essai s'est révélé infructueux puisque les deux wafers sont restés collés.

Nous avons donc intercalé un film souple de Kapton entre les deux wafers afin d'éviter le collage et nous avons reconduit l'essai avec les mêmes conditions de pression et température. Le film de Kapton n'a pas adhéré au substrat et le substrat supérieur a pu jouer son rôle de presse. La couche de BCB en surface est planarisée et elle est moins épaisse que

celle obtenue après dépôt à la tournette, de l'ordre de 30 µm, comme le montre la Figure III.18. La différence d'épaisseur de surplus de BCB en surface entre les cellules centrales et la terminaison est réduite à quelques microns.

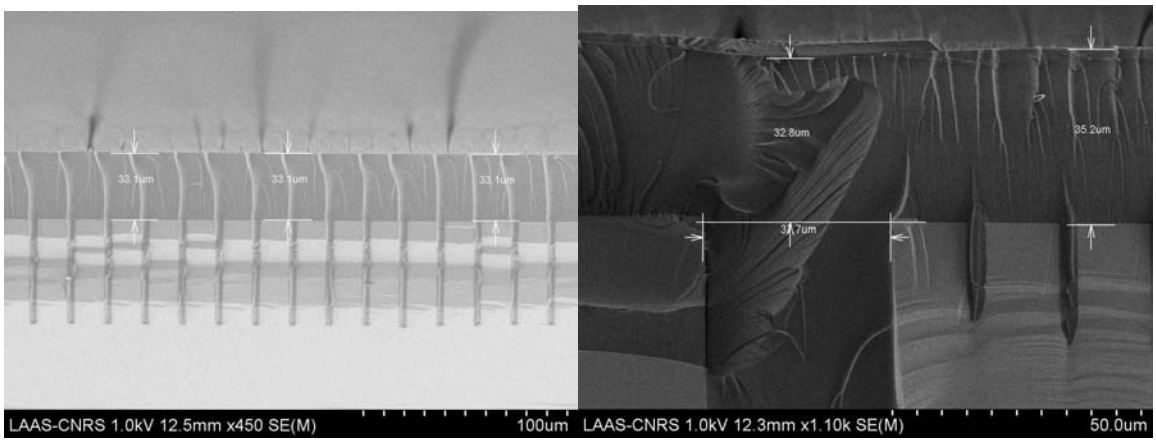


Figure III.18 : Vue au MEB d'une couche de BCB après une étape de nano-impression (pression : 200 psi ; température : 90°C)

En augmentant la température à 100 °C et la pression à 300 psi, nous avons constaté une légère diminution de l'épaisseur du BCB d'environ 2-3 µm. Nous avons également effectué deux étapes de nano-impression successives pour augmenter le temps de pressage à 12 min sans amélioration significative. Les bons résultats obtenus en ce qui concerne la planarisation de la couche de BCB nous ont conduits à envisager de nouvelles conditions de dépôt à la tournette, en augmentant la vitesse de rotation de l'étape 3 afin de réduire l'épaisseur de la couche finale. La Figure III.19 montre la variation de l'épaisseur de BCB mesurée après nano-impression au-dessus des cellules centrales pour trois vitesses de rotation et différents espacements inter-tranchées.

Nous pouvons en premier lieu remarquer l'influence de l'espacement inter-tranchées : quand il augmente, le nombre de tranchées dans les cellules centrales diminue et la quantité de BCB nécessaire pour les remplir est moindre. L'épaisseur résultante de BCB en surface augmente donc.

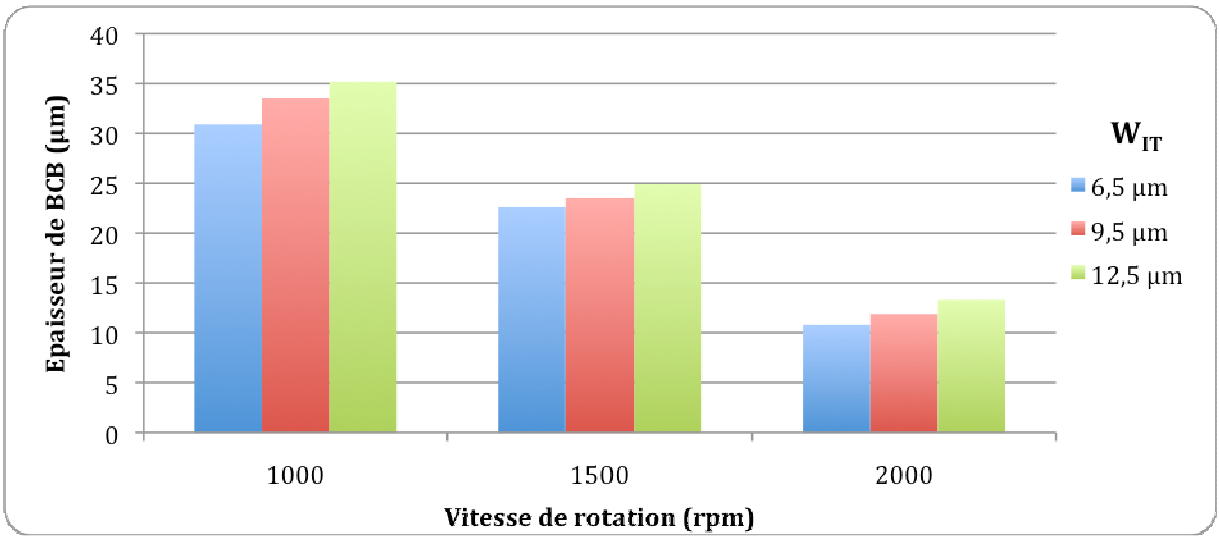


Figure III.19 : Epaisseur du BCB mesurée après nano-impression au-dessus des cellules centrales pour différentes valeurs de rotation lors du dépôt et différents espacements inter-tranchées

En augmentant la vitesse de rotation, l'épaisseur de BCB en surface diminue. Nous obtenons en moyenne un surplus de BCB de 23 µm à 1500 tr/min et de 11 µm pour 2000 tr/min. Cependant, dans ce dernier cas, la différence d'épaisseur de BCB en surface entre les cellules centrales et les terminaisons est d'environ 5µm (Figure III.20) contrairement à ce que l'on obtient pour 1500 tr/min où les tranchées de terminaison des stuctures 600 V profondes de 60 µm sont correctement remplies et planarisées (Figure III.20). Nous avons donc décidé de conserver une vitesse de rotation de 1500 tr/min pour le développement des diodes 600 V.

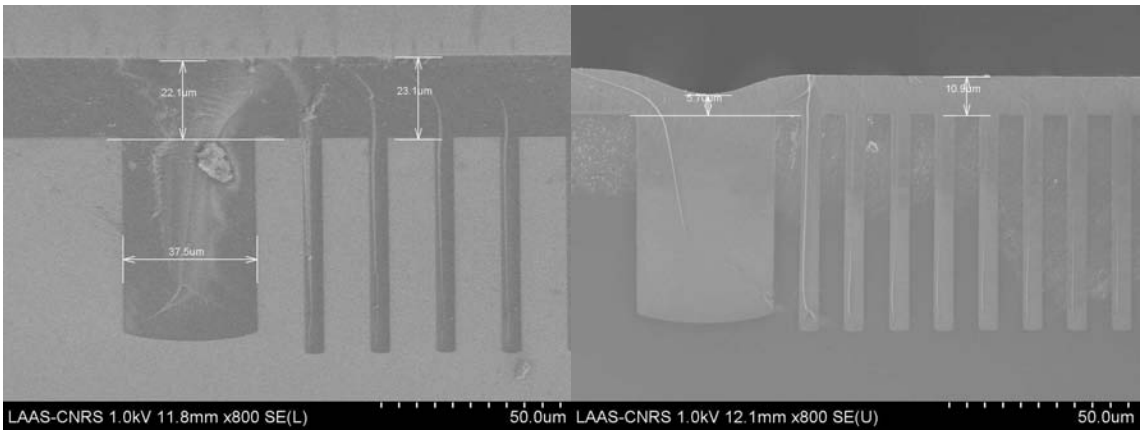


Figure III.20 : Image MEB d'un dépôt de BCB à 1500 tr/min (à gauche) et 2000 tr/min (à droite) suivi d'une étape de nano-impression pour des terminaisons de 40 µm de large

En ce qui concerne les diodes 1200 V, les résultats obtenus par nano-impression après dépôt du BCB à 1500 tr/min sont encourageants, comme le montre la Figure III.21. La tranchée de terminaison large de 80 µm et ici profonde de 100 µm est entièrement remplie. Il persiste cependant une diminution de l'épaisseur de BCB d'au moins 15 µm dans le cas présenté, par rapport à l'épaisseur au-dessus des cellules centrales. De plus, la profondeur des cellules centrales est plus faible dans le cas présenté que pour les composants 1200 V, facilitant ainsi le remplissage de la terminaison. Il est donc nécessaire de poursuivre l'optimisation du dépôt et de la planarisation pour les diodes 1200 V.

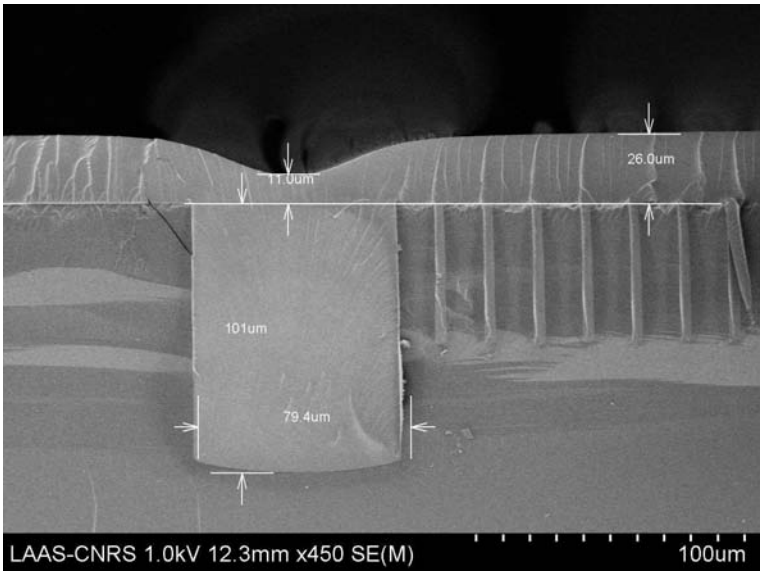


Figure III.21 : Terminaison aux dimensions proches de celles des terminaisons 1200 V remplie

III.3.4 Retrait du surplus de BCB

L'étape de remplissage des tranchées avec du BCB conduisant à un excès de matière en surface des diodes, il est nécessaire de l'enlever afin de pouvoir assurer la prise de contact électrique sur les cellules centrales. Nous avons envisagé plusieurs techniques pour ce faire : le polissage mécano-chimique (ou CMP) et la gravure plasma. A noter que l'enlèvement du BCB s'effectue après le dépôt, la planarisation et l'étape de polymérisation qui consiste en un recuit sous azote soit à 210°C pendant 1 h (soft cure), soit à 250 °C pendant 1 h (hard cure). Les caractéristiques de ce recuit sont standards et seront présentées dans le Chapitre IV.

III.3.4.1 Amincissement par polissage mécano-chimique

Nous avons dans un premier temps étudié la technique de polissage mécano-chimique (CMP) utilisée lors des travaux effectués précédemment par H. Mahfoz-Kotb. L'équipement ayant changé, nous avons dû effectuer une nouvelle optimisation de ce procédé pour l'appliquer à notre dispositif.

Le principe du CMP est reporté sur la Figure III.22 : le système est composé de deux parties en rotation (un plateau contrôlé en vitesse et une tête sur laquelle le wafer est maintenu par le vide). Une partie fixe amène une solution appelée « slurry », constituée de parties minérales en suspension de dimensions contrôlées, qui vient modifier les propriétés de surface du wafer. La machine utilisée est la Logitech PM5 qui permet soit l'amincissement soit le polissage de substrats [64]. Les paramètres modifiables qui vont influer sur l'amincissement du BCB sont la vitesse de rotation du plateau, la nature du plateau, la pression appliquée sur le wafer ainsi que la composition du slurry et son débit.

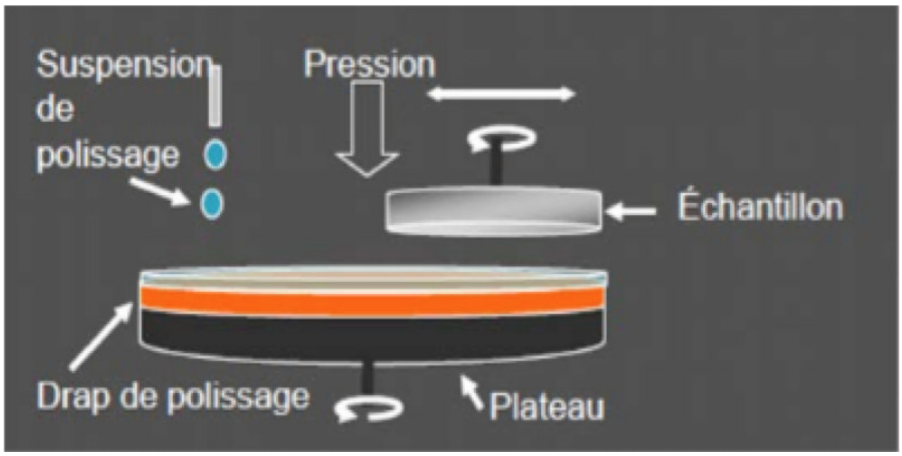


Figure III.22 : Principe de fonctionnement de la CMP [64]

Le slurry est composé de Klébosol [65] favorisant l'attaque chimique, de grains d'alumine Al_2O_3 permettant l'attaque mécanique ainsi que d'eau désionisée. Pour les premiers essais d'amincissement, nous avons utilisé une solution comportant 1 l d'eau DI, 1,5 l de Klébosol et 100 g de poudre d'alumine avec des grains de 3 µm. Afin d'évaluer l'influence de ces paramètres sur l'amincissement, nous avons mené plusieurs essais en ne faisant varier qu'un seul des paramètres à chaque fois. Les résultats sont reportés dans le Tableau III.8.

Tableau III.8 : Vitesse d'enlèvement du BCB pour différents paramètres de polissage mécano-chimique

Paramètres	Essai 1	Essai 2	Essai 3	Essai 4	Essai 5
Type de plateau	granite	granite	granite	granite	fonte
Vitesse de rotation (tr/min)	50	70	50	50	50
Pression (kg)	2	2	2	1,5	2
Slurry (µm)	3	3	9	3	3
Vitesse d'enlèvement (nm/min)	180	50	180	90	180

Quel que soit le type de plateau (granite ou fonte), la vitesse d'enlèvement du BCB est de 180 nm/min (essais 1 et 5). L'augmentation de la taille des grains d'alumine de 3 µm à 9 µm ne contribue pas à une augmentation de la vitesse d'enlèvement du BCB (essais 1 et 3). Nous avons vérifié si l'augmentation de la vitesse de rotation du plateau de 50 tr/min à 70 tr/min induisait une augmentation de la vitesse d'amincissement (essais 1 et 2) : au bout de 2 h, seulement 6 µm de BCB sont enlevés, ce qui conduit à une diminution de la vitesse qui passe à 50 nm/min. L'hypothèse est que, pour une vitesse plus importante, le slurry est trop rapidement évacué du plateau et moins de quantité de slurry reste en contact avec le substrat, ce qui réduit l'attaque chimique et l'attaque mécanique. La diminution de la pression appliquée sur le wafer de 2 kg à 1,5 kg induit une diminution de moitié de la vitesse d'enlèvement, qui est alors de 90 nm/min (essais 1 et 4).

Ces différents essais montrent la difficulté d'éliminer le BCB par cette technique car la vitesse d'enlèvement maximale obtenue est faible, de l'ordre de 180 nm/min : il faudrait plus de 2 h de CMP pour enlever la vingtaine de microns de BCB obtenue en surface des diodes après planarisation (cf § III.3.3.3).

Différents problèmes apparaissent également lors de l'utilisation du CMP : le « noircissement » de la couche de BCB après le polissage ainsi que l'usure des plateaux. Les particules d'alumine et du plateau, si elles ne sont pas correctement évacuées, peuvent pénétrer dans le BCB (cf Figure III.23). Le procédé tel que développé semble donc être

polluant, ce qui compromet le retour du substrat dans les équipements de la salle blanche pour les étapes suivantes.

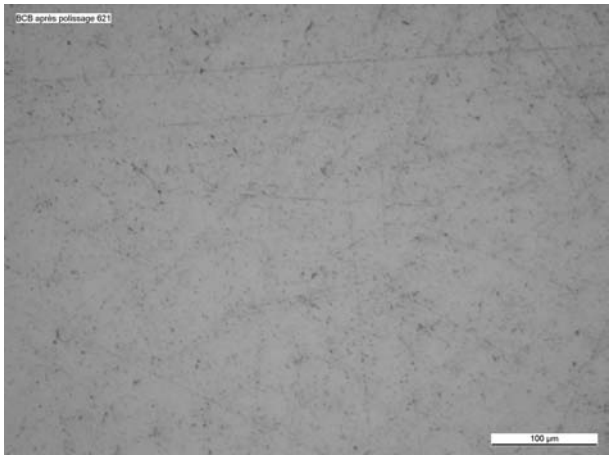


Figure III.23 : Etat de surface du BCB après polissage chimico-mécanique (grains d'alumine et rayures)

Nous avons également constaté une dégradation des composants suite au polissage comme illustré sur la Figure III.24. En effet, certaines parties de composant sont arrachées lors du CMP, provocant, en plus de la défaillance du composant, des rayures sur le BCB, pénalisant l'homogénéité du retrait. Nous avons donc envisagé une autre solution pour enlever le surplus de BCB en surface.

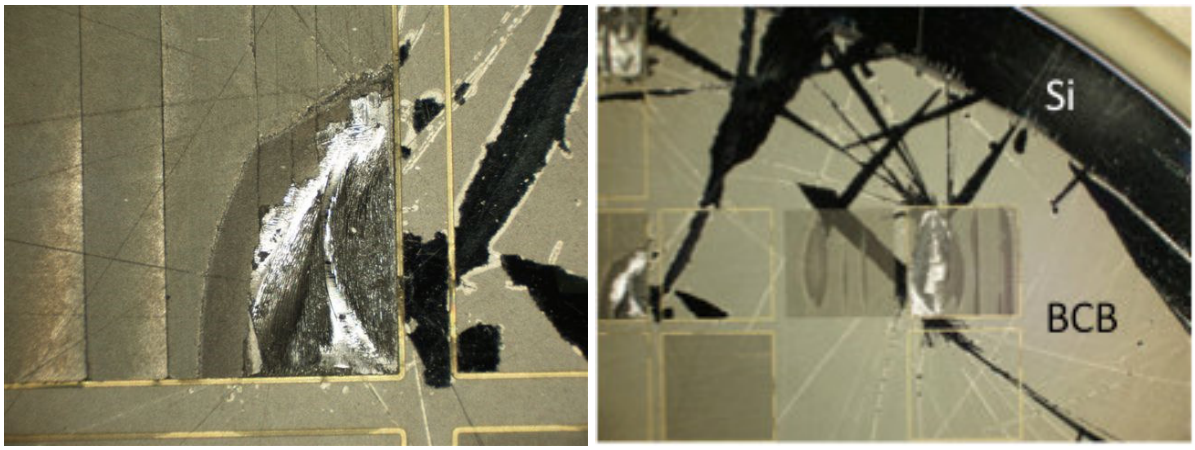


Figure III.24 : Image de la couche de BCB après CMP

III.3.4.2 Amincissement par gravure plasma

L'étape de polissage mécano-chimique n'ayant pas donné les résultats attendus, nous avons étudié la possibilité d'enlever le surplus de BCB par gravure plasma. Contrairement au

CMP qui enlève la matière sur toute la surface du wafer, la gravure plasma permet d'enlever le BCB localement, ce qui nous permettra d'effectuer l'ouverture des contacts électriques au-dessus des cellules centrales et de laisser le BCB au-dessus des terminaisons et entre les diodes pour la passivation des structures.

La planarisation du BCB par nano-impression a permis de réduire la différence d'épaisseur du diélectrique au-dessus des terminaisons et des cellules centrales, ce qui devrait faciliter la gravure plasma qui nécessite que les couches à graver soient homogènes en épaisseur.

La gravure plasma du BCB n'ayant pas encore été étudiée au laboratoire, nous avons effectué une étude bibliographique qui nous a permis de déterminer les conditions de gravure afin de mener des premiers essais [66]–[68]. Le BCB étant un polymère composé de silicium, les gaz qui composent le plasma sont le SF_6 (utilisé pour la gravure du silicium) et l'oxygène O_2. Le procédé utilisé est une gravure ionique réactive ICP (Inductively Coupled Plasma) avec le réacteur TRIKON Omega 201, dont les principaux paramètres sont reportés dans le Tableau III.9. L'addition d'azote N_2, gaz neutre, sert à diluer la quantité de SF_6 pour combler les limites de la machine de RIE qui ne permet pas de fournir un débit plus faible de SF_6.

Tableau III.9 : Paramètres du plasma pour la gravure ICP-RIE du BCB

Paramètres	Valeurs
SF_6 / O_2 / N_2	6 sccm / 50 sccm / 50 sccm
Puissance ICP	500 W
Puissance Bias	40 W
Pression	90 mT
Temps	10 min

Nous avons dans un premier temps déterminé la sélectivité de gravure entre le BCB, déposé sur un substrat massif de silicium et polymérisé, et la résine AZ 40XT de 14 µm d'épaisseur. La Figure III.25 présente les profils de la résine et du BCB avant et après 10 min de gravure. La sélectivité entre la résine et le BCB est de 1, les deux matériaux s'attaquant à la même vitesse dans les conditions du Tableau III.9, et la vitesse de gravure obtenue est de l'ordre de 750 nm/min.

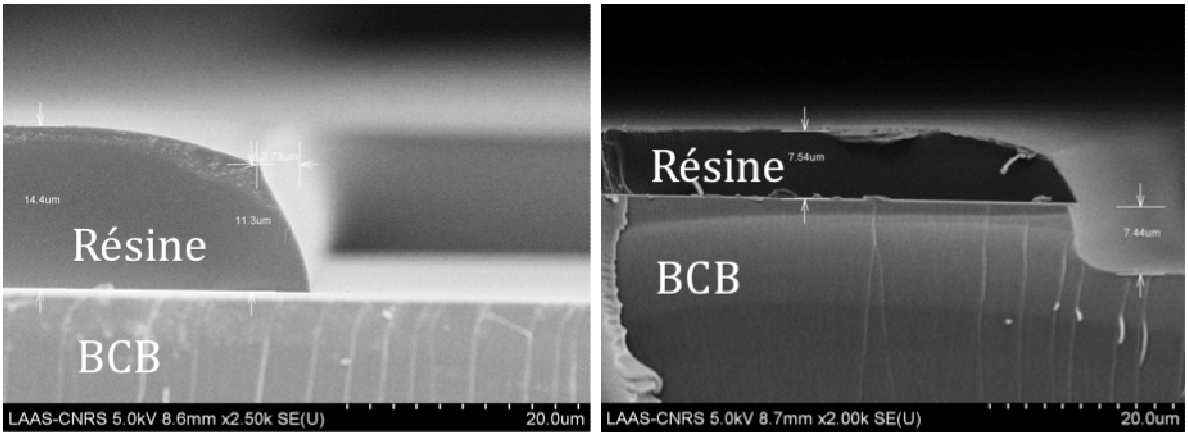


Figure III.25 : Images MEB des profils de résine et du BCB avant gravure (à gauche) et après 10 min de gravure (à droite)

L'étalonnage de la vitesse de gravure étant fait, nous avons effectué des essais sur des substrats comportant des tranchées de cellules centrales et de terminaison. L'épaisseur de BCB à enlever étant de l'ordre de 20-25 µm (cf § III.3.3.3), un temps d'environ 33 min est nécessaire pour graver le BCB au-dessus des cellules centrales.

Lors de la gravure, nous avons constaté une gravure du silicium (cf Figure III.26). Cela ne poserait aucun problème si l'épaisseur de BCB en surface était identique quel que soit le composant. Cependant, comme on a pu le constater sur la Figure III.18, l'épaisseur en surface dépend de la largeur inter-tranchée. Il y aura obligatoirement une surgravure du BCB sur les composants 6,5 µm de largeur inter-tranchée si le temps de gravure est de 33 min.

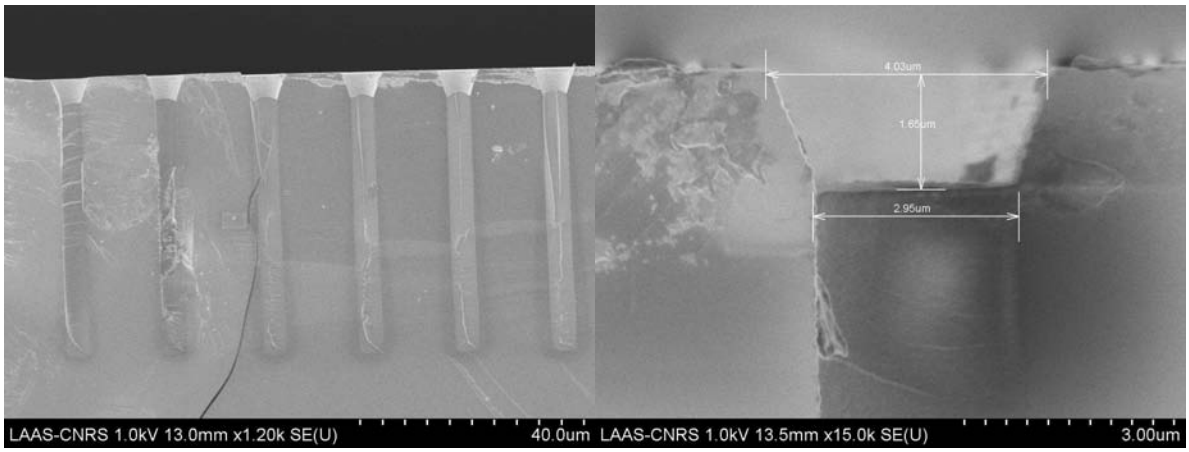


Figure III.26 : Surgravure du BCB et du silicium lors de l'étape d'ouverture des contacts

Afin d'améliorer la sélectivité entre le BCB et le silicium et pallier à la surgravure du Silicium en haut des tranchées, nous avons mené une série d'essais en modifiant la recette de

gravure. Pour cela, nous avons placé dans le bâti de gravure un échantillon silicium vierge et un échantillon avec du BCB en surface. Sur chacun des échantillons, nous avons apposé du Kapton adhésif afin d'en protéger une partie et ainsi avoir la possibilité de mesurer l'épaisseur de BCB gravée. Ces essais sont décrits dans le Tableau III.10, sachant que chacune de ces gravures a duré 15 min et a été effectuée à une pression de 50 mT. Il peut être constaté que le remplacement du SF_6 par du CF_4 a permis d'améliorer la sélectivité entre le silicium et le BCB qui passe de 5,4 à des valeurs pouvant atteindre 30. Cela a également permis d'augmenter légèrement la vitesse de gravure du BCB. Nous avons choisi de conserver les paramètres de l'essai n°4 pour le procédé final, à savoir, un plasma CF_4/O_2 en proportion 10/50 pour une puissance de 500 W.

Tableau III.10 : Modification de la recette de gravure

Paramètres	Essai 1	Essai 2	Essai 3	Essai 4	Essai 5
Recette (sccm)	$SF_6/O_2/N_2$ (6/50/50)	CF_4/O_2 (50/50)	CF_4/O_2 (25/50)	CF_4/O_2 (10/50)	CF_4/O_2 (10/50)
Puissance (W)	500	500	500	500	200
Vitesse de gravure du BCB (nm/min)	750	530	590	860	720
Vitesse de gravure du silicium (nm/min)	80	80	53	27	20
Sélectivité	5,4	6,7	11	32,25	36

III.4 Conclusion

Dans ce chapitre, nous avons présenté les composants test qui nous ont servi à l'étude des différentes étapes technologiques pour la réalisation de diodes à superjonction. Nous avons conçu des dispositifs présentant différentes largeurs de tranchées centrales et d'espaces inter-tranchées, ce qui nous permet de comparer les résultats issus de la simulation aux résultats de la caractérisation électrique des diodes fabriquées.

Nous avons présenté l'étude des différentes étapes technologiques : la gravure, la réduction de l'effet ARDE, l'implantation autour des tranchées, le remplissage de ces dernières avec du BCB et enfin le retrait du surplus de BCB en surface. Nous avons maîtrisé la verticalité des tranchées en trouvant le bon ratio entre le temps de gravure et le temps de

passivation lors de la gravure DRIE. Nous avons également réduit l'influence de l'effet ARDE lors de cette gravure à l'aide d'un masquage par oxyde. Grâce à un plan d'expérience, nous avons pu déterminer les épaisseurs d'oxyde nécessaires pour ralentir suffisamment la gravure des terminaisons et ainsi obtenir des profondeurs de terminaison proches de celles des cellules centrales, à la fois pour des composants 600 V et 1200 V. Nous avons également optimisé les paramètres du dépôt de BCB permettant le remplissage des tranchées en un seul dépôt. L'utilisation de la technique de nano-impression, nous a permis de réduire les épaisseurs du surplus de BCB en surface et d'atteindre une planarisation satisfaisante pour les diodes 600 V. Enfin, nous avons présenté les résultats concernant l'étape de retrait du suplus de BCB. Le polissage mécano-chimique n'ayant pas donné de résultats satisfaisants, nous avons entrepris l'étude de la gravure plasma du BCB. La gravure CF_4/O_2 a été retenue car elle permet une grande sélectivité vis-à-vis du silicium.

Chapitre IV . Réalisation et caractérisation électrique des DT-SJDiodes

IV.1 Introduction 109

IV.2 Description du procédé technologique complet 109

IV.2.2 Mires d'alignement 111
IV.2.3 Oxyde de masquage pour la gravure profonde 111
IV.2.4 Implantation du caisson P^+ 112
IV.2.5 Gravure des tranchées 114
IV.2.6 Implantation par immersion plasma 115
IV.2.7 Remplissage des tranchées avec du BCB et planarisation 116
IV.2.8 Gravure du BCB 117
IV.2.9 Métallisation des contacts électriques 118

IV.3 Réalisation des DT-SJDiodes 119

IV.4 Caractérisations électriques des DT-SJDiodes 123

IV.5 Optimisation des diodes à superjonction 127

IV.5.1 Optimisation des étapes technologiques 128
IV.5.2 Optimisation du design 128

IV.6 Conclusion 131

IV.1 Introduction

Dans le chapitre précédent, nous avons présenté l'étude et l'optimisation des différentes étapes critiques pour la réalisation des diodes à superjonction : verticalité des tranchées, leur remplissage avec le BCB, planarisation du diélectrique et implantation P^+ autour des tranchées. Les autres étapes telles que les croissances d'oxydes, les recuits thermiques et la métallisation pour la prise des contacts électriques sont des procédés classiquement utilisés au laboratoire et n'ont pas nécessité d'étude particulière.

A partir de ces travaux, nous avons défini un procédé technologique optimal qui nous a permis d'envisager la réalisation de diodes à 600 V et 1200 V. La première partie de ce chapitre sera consacrée à la description de l'enchaînement des étapes technologiques conduisant au procédé complet de fabrication. Un seul run technologique ayant été mené à terme, nous présenterons les résultats obtenus d'un point de vue technologique et ceux liés à la caractérisation électrique des composants.

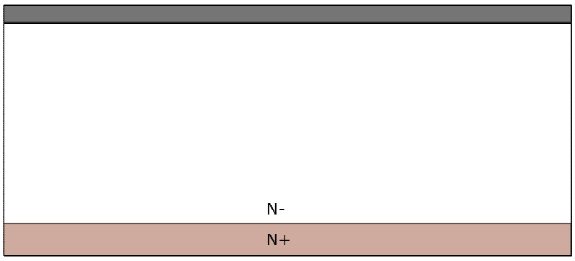
Dans un deuxième temps, en perspective à nos travaux, nous proposerons des améliorations à apporter pour la finalisation des composants.

IV.2 Description du procédé technologique complet

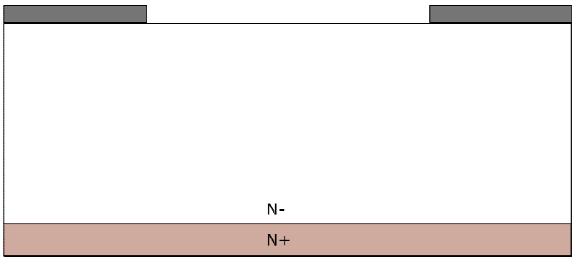
Le procédé de fabrication est effectué sur des wafers de silicium de type N dopés à 10^{19} cm^{-3} comportant une épitaxie de type N dopée Phospore à 3.10^{15} cm^{-3} et d'une épaisseur de 60 µm ou de 115 µm, en vue de fabriquer des diodes pour des applications 600 V ou 1200 V respectivement. Ces wafers ont une orientation cristalline <100> et sont polis simple face car les étapes effectuées sur la face arrière ne nécessitent pas un polissage.

La Figure IV.1 présente les vues en coupe schématique des différentes étapes du procédé de fabrication qui comprend 6 niveaux de masque, décrits en Annexe 2.

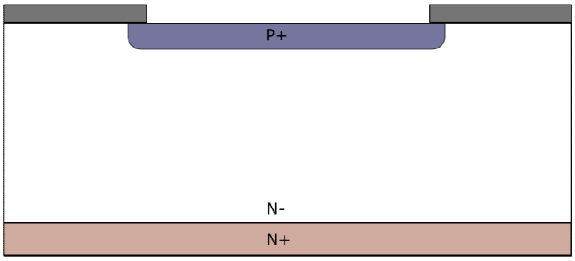
Les paramètres requis sont manquants ou erronés.



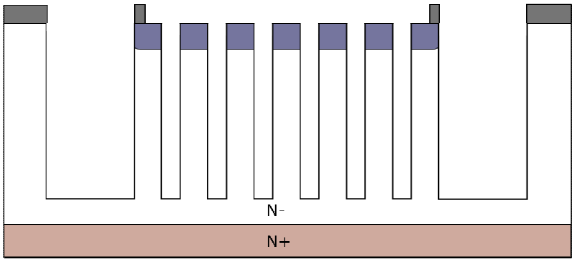
(a) Oxydation 700 nm / 1600 nm



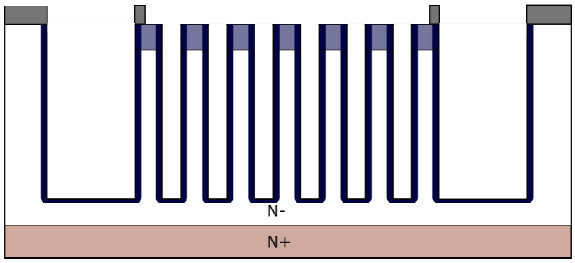
(b) Ouverture caisson P^+



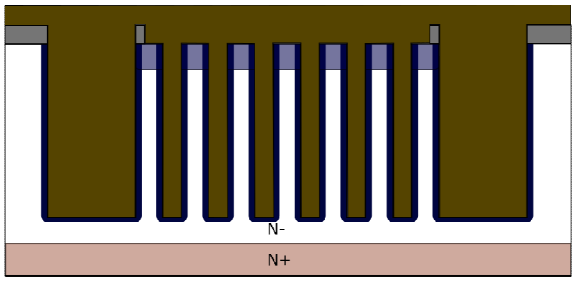
(c) Implantation et redistribution du Bore



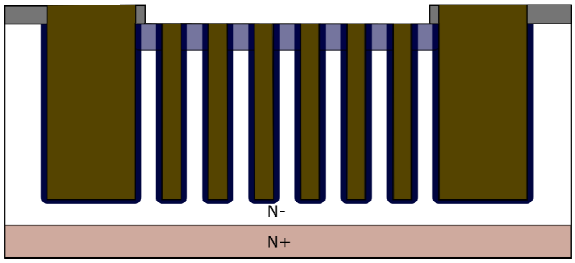
(d) Gravure des tranchées centrales et de terminaison



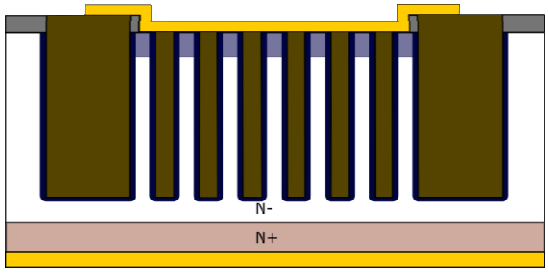
(e) Implantation P^+ autour des tranchées



(f) Dépôt du BCB et planarisation



(g) Gravure du BCB au-dessus des cellules centrales



(h) Métallisation Ti/Au face avant et face arrière

Figure IV.1 : Principales étapes de fabrication de la diode à superjonction et à tranchées profondes

IV.2.2 Mires d'alignement

La première photolithographie est le niveau de masque L.0 qui permet le marquage des mires d'alignement. Pour cela, nous déposons une résine ECI [69] d'épaisseur 1,1 µm : les conditions de dépôt et d'insolation sont standards et sont reportées dans l'Annexe 1. Nous effectuons une gravure de 30 s dans le bâti de DRIE afin d'obtenir une profondeur de quelques microns, à l'aide du programme HarVia développé pour les tranchées profondes, suffisante pour le marquage des mires.

Après la gravure, un plasma O_2 de 800 W pendant 15 min [70] permet d'éliminer la résine ECI, suivi d'un nettoyage du wafer à l'aide d'une attaque chimique H_2SO_4/H_2O_2 (classiquement appelée Piranha) pendant 2 min, puis d'un bain de buffer HF (HF 5 %) pendant 30 s.

IV.2.3 Oxyde de masquage pour la gravure profonde

La deuxième étape est la croissance thermique de l'oxyde SiO_2 qui sert pour la réduction de l'effet ARDE lors de la gravure des tranchées des cellules centrales et de la terminaison de jonction (Figure IV.1.a). Il est nécessaire d'effectuer cette oxydation avant l'implantation du caisson P^+ car elle s'effectue à haute température (> 1000°C) et elle influencerait à la fois le dopage en surface et la redistribution du dopant Bore si elle se faisait après. En effet, la formation de l'oxyde consomme du silicium en surface du wafer où se trouve le pic de concentration en atomes dopants. De plus, la température élevée engendrerait une diffusion des atomes dopants. Si l'on souhaite contrôler la profondeur de diffusion du caisson P^+, il est obligatoire d'effectuer l'étape d'oxydation avant celle d'implantation.

L'oxydation thermique s'effectue dans un four horizontal sous flux d'oxygène et d'hydrogène à 1070°C selon le profil en température reporté sur la Figure IV.2 : c'est une oxydation « humide ». L'introduction d'hydrogène pendant 75 min ou 350 min permet d'atteindre des croissances d'oxyde de 700 nm ou 1,6 µm respectivement, épaisseurs nécessaires pour retarder la gravure des tranchées de terminaison de 40 µm ou 80 µm de large (cf § III.3.1.3).

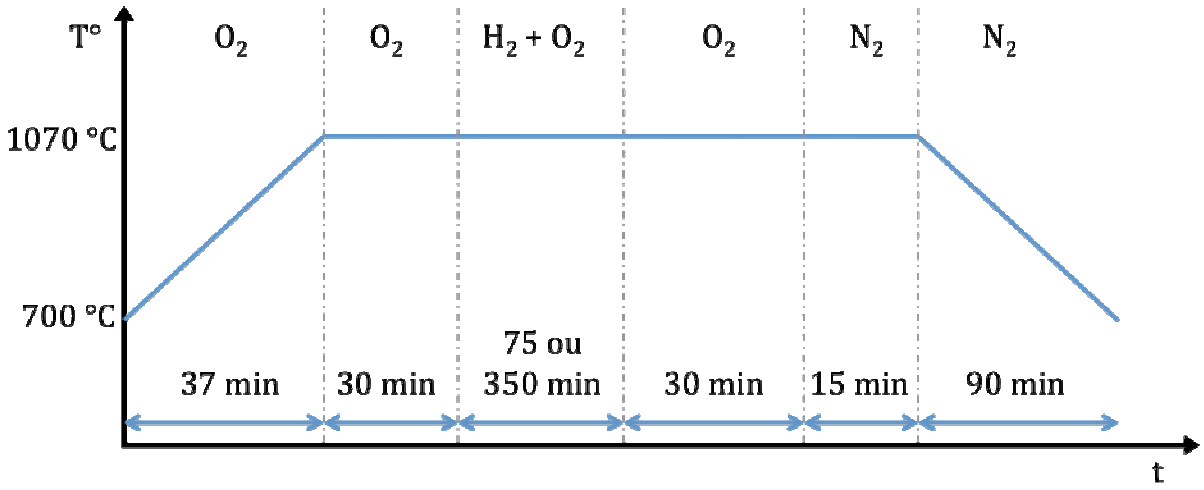


Figure IV.2 : Profil en température de l'oxydation humide permettant une croissance d'oxyde de 700 nm ou 1,6 µm

Cette étape oxyde à la fois la face avant et la face arrière du wafer. Afin d'assurer la prise de contact électrique face arrière pour réaliser l'anode des diodes, l'oxyde est enlevé dans un bâti de gravure RIE-ICP. Les conditions du plasma CHF_3 utilisé sont décrites dans le Tableau IV.1 : attaque de 5 min pour un oxyde de 700 nm et de 12 min pour un oxyde de 1,6 µm.

Tableau IV.1 : Conditions de gravure de l'oxyde dans le bâti RIE-ICP

Paramètres	Valeurs
CHF_3	50 sccm
Puissance ICP	500 W
Puissance Bias	60 W
Pression	5 mT
Temps	700 nm : 5 min / 1600 nm : 12 min

IV.2.4 Implantation du caisson P^+

L'étape suivante consiste à enlever l'oxyde de masquage localement, afin d'obtenir les caissons P^+ en surface des diodes et ce uniquement aux endroits où les cellules centrales se situeront, et le laisser sur les tranchées de terminaison et le reste du wafer. Pour cela, nous effectuons une photolithographie avec le niveau de masque L.1 qui comprend des ouvertures uniquement au-dessus des cellules centrales (cf Figure IV.1.b). La résine de protection est

l'ECI 1,1 µm (cf Annexe 1). Le wafer est transféré dans la machine RIE-ICP pour une gravure locale selon les conditions décrites dans le Tableau IV.1. L'enlèvement de la résine se fait grâce à un plasma O_2 de 800 W pendant 15 min.

Avant de pouvoir faire l'implantation des caissons P^+, il est nécessaire de faire une croissance d'une couche mince d'oxyde thermique (40nm) couramment appelé oxyde de pré-implantation. Cet oxyde mince permet d'éviter l'exodiffusion des dopants. Les conditions de cette oxydation sont présentées sur la Figure IV.3.

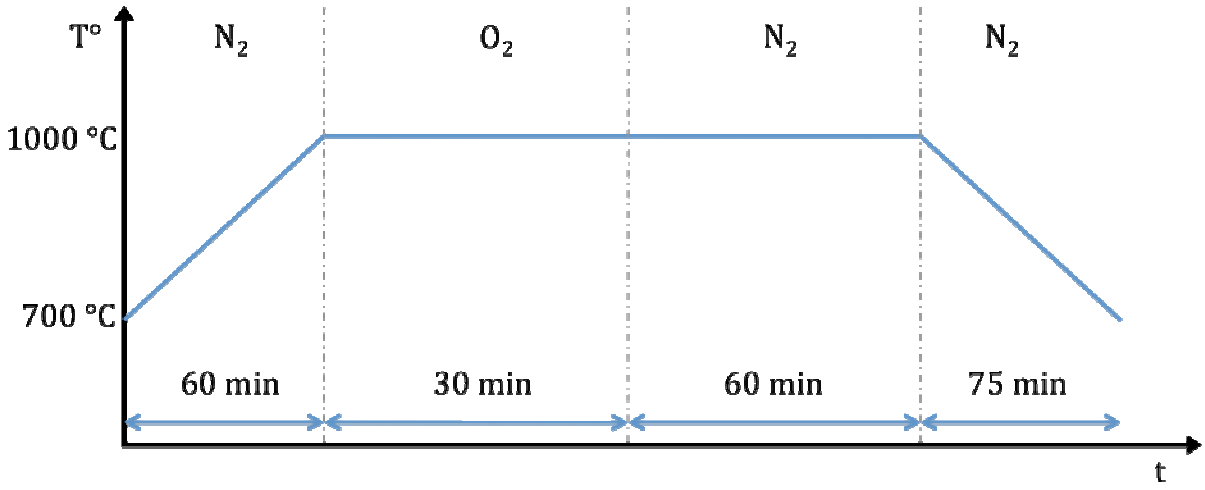


Figure IV.3 : Conditions de croissance d'une couche d'oxyde thermique de pré-implantation de 40 nm

A ce moment du process, il serait possible de faire l'implantation de Bore pour obtenir un caisson P^+ localisé, car l'oxyde de 700 nm (ou de 1,6 µm) protègerait le reste du wafer, sans passer par une étape de photolithographie et de protection avec de la résine photosensible. Cependant, la vitesse de gravure d'un oxyde s'accroit lorsqu'il est dopé [71]. L'épaisseur d'oxyde de masquage nécessaire pour obtenir des profondeurs de tranchées de terminaison et de cellules centrales ayant été optimisée à partir d'oxyde non dopé, il est préférable de faire une photolithographie. C'est le niveau de masque L.2 qui sera utilisé à l'aide d'une résine ECI de 1,1 µm.

L'implantation d'atomes dopants de Bore sur la face avant se fait avec l'équipement d'implantation ionique par faisceau d'ions Axcellis (EATON). Pour obtenir un dopage similaire aux simulations (10^{19} cm^{-3}), nous implantons une dose de Bore de 10^{16} cm^{-2} à une énergie de 50 keV. L'activation du Bore s'effectue à l'aide d'une redistribution sous flux d'azote à 1150°C pendant 180 min après avoir enlevé la résine à l'aide d'un plasma O_2 de

15 min à 800 W. L'objectif est d'obtenir une profondeur de jonction de 5 µm : une profondeur de jonction plus importante entrainerait une diminution de la zone de déplétion, réduisant ainsi la tenue en tension. Le procédé de fabrication comportant plusieurs étapes consommant du silicium en surface, il est donc nécessaire d'avoir une profondeur de jonction suffisamment importante pour conserver la couche P^+ en surface. Finalement, un bain de HF 5% pendant 1 min permet d'enlever les 40 nm d'oxyde en face avant et arrière (cf Figure IV.1.c).

IV.2.5 Gravure des tranchées

Une fois les caissons P^+ réalisés, il est maintenant possible de graver les tranchées qui permettront de réaliser les régions P^- de la superjonction ainsi que les tranchées de terminaison : une seule gravure profonde est nécessaire pour ce faire (cf Figure IV.1.d). Pour délimiter les zones à graver, on réalise une photolithographie avec le masque L.3 et la résine AZ-40XT de 14 µm [47] classiquement utilisée au laboratoire pour le masquage des gravures DRIE. Les conditions de dépôt, d'insolation et de révélation sont présentées en Annexe 1.

Le principe de la gravure profonde à partir du procédé Bosch a été décrit dans le chapitre précédent. Nous rappelons dans le Tableau IV.2 les paramètres optimaux qui seront appliqués : un ratio temps de passivation C_4F_8 / temps de gravure SF_6 de 1,75 ; des temps de gravure de 25 min et de 65 min pour obtenir des profondeurs de tranchées de 55 µm et 110 µm respectivement. La résine AZ40XT est ensuite éliminée avec un plasma O_2 de 15 min à 800 W.

Après gravure, une croissance d'une couche d'oxyde de 300 nm est effectuée afin de consommer du silicium et réduire l'apparition du scalloping sur les flancs des tranchées (cf § III.3.1.2). Les conditions de croissance de l'oxyde sont présentées sur la Figure IV.4 : cette étape consomme 200 nm de silicium en surface, y compris le silicium dopé P^+ en surface des diodes. Cela ne nuira pas au bon fonctionnement des composants car la couche P^+ atteint une profondeur d'environ 4-5 µm. Un bain de HF dilué à 5% pendant 5 min permet ensuite d'enlever l'oxyde.

Tableau IV.2 : Paramètres de la gravure des tranchées (procédé BOSCH)

Paramètres	Valeurs
Gravure : SF_6	250 sccm
Temps gravure	2 s
Passivation : C_4F_8 / O_2	250 sccm / 35 sccm
Temps passivation	3,5 s
Puissance pulsée	2500 W
Puissance Bias	60 W
Pression	50 mb
Temps total	55 µm : 25 min / 110 µm: 65 min

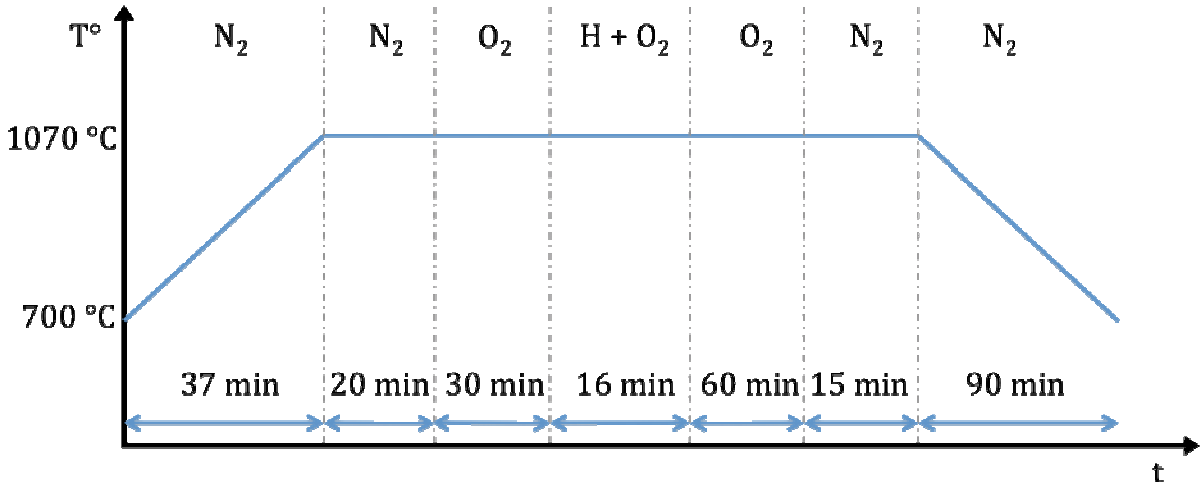


Figure IV.4 : Conditions de croissance de l'oxyde de 300 nm destiné à réduire le scalloping le long des tranchées

IV.2.6 Implantation par immersion plasma

A ce stade, les plaques sont prêtes pour être envoyées à la société IBS afin de procéder à l'implantation ionique de Bore le long des tranchées (Figure IV.1.e). L'implantation est effectuée pleine plaque, sans phase de photolithographie et donc sans masquage particulier. En effet, il reste entre chaque diode l'oxyde ayant servi au masquage de la gravure profonde d'une épaisseur réduite à 500 nm pour les composants 600 V et 1,4 µm pour les 1200 V, suite

aux différents bains de HF. Cela permet d'éviter l'implantation à ces endroits, et donc d'éviter qu'une zone P connecte tous les composants entre eux, prévenant ainsi l'apparition de courants de fuite. Après implantation, un recuit d'activation des dopants est effectué à 1150°C pendant 2 h. Différentes conditions d'implantation sont appliquées sur un même substrat (cf Chapitre 3) : en effet, plusieurs géométries de composants sont étudiées ce qui implique des doses optimales différentes pour chacun d'eux. De plus, la difficulté de mesurer la quantité d'atomes dopants présents sur le flanc des tranchées nous oblige à envisager une large gamme de conditions d'implantation.

IV.2.7 Remplissage des tranchées avec du BCB et planarisation

La superjonction étant créée, l'étape suivante est le remplissage des tranchées avec le BenzoCycloButène (cf Figure IV.1.f). Les conditions de dépôt optimisées dans le Chapitre 3 sont résumées dans le Tableau IV.3 (cf § III.3.2).

Tableau IV.3 : Conditions du dépôt de BCB pour le remplissage des tranchées.

N° étape	Description de l'étape
1	5 mL d'AP3000 : Attendre 1 min puis spin coating pendant 30 s à 2000 tr/min
2	Recuit à 120 °C pendant 1 min
3	5 mL de BCB pendant spin coating : v = 100 tr/min, acc = 100 tr/min^2 pendant 1 min
4	Spin coating à capot fermé : v = 200 tr/min, acc = 200 tr/min^2 pendant 30 s
5	Repos de 5 min à capot fermé
6	Spin coating à capot fermé : v = 1500 tr/min, acc = 1500 tr/min^2 pendant 10 s
7	Repos de 5 min à capot ouvert
8	Recuit à 80 °C pendant 5 min

Afin de faciliter l'enlèvement du BCB par RIE au-dessus des cellules centrales, nous procédons, juste après le dépôt à la tournette, à la planarisation avec l'équipement de nano-impression Nanonex NX2500. Les conditions retenues sont une pression appliquée de 300 psi en surface du wafer, à une température de 100 °C.

Pour finir, nous faisons un recuit thermique à 210 °C pendant 60 min avec une montée en température par paliers (à 100°C pendant 10 min et 150°C pendant 15 min) et des rampes en température longues afin de minimiser les contraintes mécaniques du matériau [72]. Nous effectuons un soft cure à 210 °C afin de faciliter l'étape de retrait du BCB. Les conditions du recuit de polymérisation du BCB sont présentées dans le Tableau IV.4.

Tableau IV.4 : Paramètres du profil en température du recuit du BCB

N° d'étape	Type d'étape	T° initiale	T° finale	Durée de l'étape	Temps à la fin de l'étape
1	Rampe	25°C	50°C	5 min	5 min
2	Plateau	50°C	50°C	5 min	10 min
3	Rampe	50°C	100°C	10 min	20 min
4	Plateau	100°C	100°C	10 min	30 min
5	Rampe	100°C	150°C	30 min	60 min
6	Plateau	150°C	150°C	15 min	75 min
7	Rampe	150°C	210°C	180 min	255 min
8	Plateau	250°C	210°C	60 min	315 min
9	Rampe	250°C	25°C	90 min	405 min

IV.2.8 Gravure du BCB

Cette étape consiste à ouvrir le BCB au-dessus des cellules centrales afin de favoriser la prise du contact électrique sur l'implantation P^+ (cf Figure IV.1.g). Les paramètres de gravure RIE du BCB à partir d'un plasma CF_4/O_2 ont été définis au Chapitre 3 (cf § III.3.3.2) et sont résumés dans le Tableau IV.5. Malgré la planarisation, l'épaisseur de BCB au-dessus des terminaisons reste inférieure de quelques microns à celle au-dessus des cellules centrales. Une gravure pleine plaque entrainerait une surgravure du BCB en haut de la terminaison, ce qui pourrait rendre difficile la réalisation de la plaque de champ par la suite. Pour éviter cela, nous effectuons une photolithographie avec la résine AZ40XT et le masque L.4 (cf Annexe 2) afin de ralentir la gravure du BCB au-dessus de la terminaison. A la fin de la gravure, il ne reste plus de résine puisqu'elle a une épaisseur de moitié environ celle du BCB et qu'elle est

attaquée à la même vitesse : il n'est donc pas nécessaire de faire un plasma O_2. Il restera donc du BCB au-dessus des terminaisons et entre les composants.

Tableau IV.5 : Paramètres de la gravure RIE du BCB

Paramètres	Valeurs
CF_4 / O_2	10 sccm / 50 sccm
Puissance ICP	500 W
Puissance Bias	40 W
Pression	50 mT
Temps	25 min

IV.2.9 Métallisation des contacts électriques

La dernière étape du procédé de fabrication des diodes concerne la réalisation des contacts ohmiques en face avant sur la région P et en face arrière sur le substrat N^+ (cf Figure IV.1.h). L'utilisation du BCB impose des contraintes dans le choix du métal utilisé pour prendre le contact : la température de recuit du métal ne doit pas dépasser celle maximale du BCB qui est de 250 °C ; le métal doit à la fois adhérer sur le silicium et sur le BCB. Notre choix s'est donc porté sur une métallisation Titane / Or par pulvérisation cathodique : la première couche de Titane permet l'accroche de l'Or sur le BCB. Le dépôt est pleine plaque et il s'effectue sous vide par pulvérisation cathodique avec une épaisseur de 50 nm pour le Titane et 200 nm pour l'Or. Il est donc nécessaire de faire ensuite une attaque chimique afin de ne laisser le métal que sur les cellules centrales et la terminaison de jonction pour faire la plaque de champ. Pour ce faire, nous effectuons une dernière photolithographie (masque L.5) avec une résine ECI de 1,1 µm.

Une solution de $KI+I_2$ permet de graver l'Au à une vitesse de 400 nm/min. Un bain d'environ 30 s dans cette solution permet donc d'enlever la totalité de l'or. La gravure du Ti se fait avec un bain de HF pendant 15 s. Nous enlevons la résine avec un plasma O_2 à 800 W pendant 15 min. Il est à noter que si nous souhaitions, à ce stade, améliorer la terminaison comme proposé dans le paragraphe II.4.5, il serait possible de se servir de cette résine de masquage pour effectuer une gravure du BCB afin de créer la « marche » de diélectrique (cf Figure II.23).

Pour finir, nous effectuons une métallisation de la face arrière avec le Ti/Au dans les mêmes conditions. Les métaux sont alors recuits selon le profil en température reporté sur la Figure IV.5. La seule spécificité du recuit de l'Au est qu'il doit être à 250 °C sous flux d'azote pendant 20 min. Cependant, comme il reste du BCB, il est préférable de faire des plateaux de température afin de minimiser les contraintes dans le matériau déjà polymérisé à 250°C.

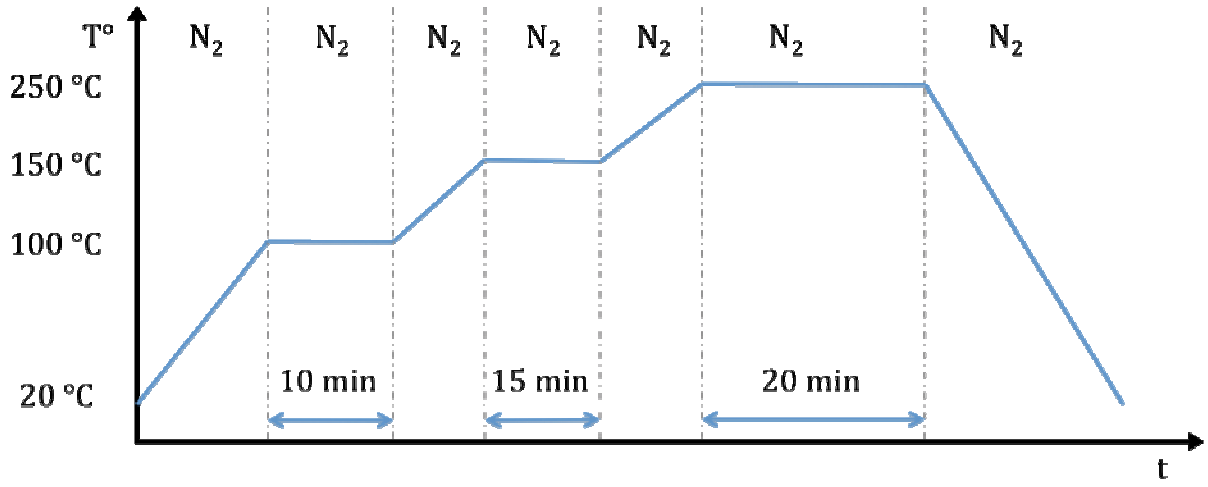


Figure IV.5 : Profil en température pour le recuit du Ti/Au

IV.3 Réalisation des DT-SJDiodes

Le procédé de fabrication des DT-SJDiodes ayant été défini, nous avons entrepris leur réalisation. Nous nous sommes concentrés sur la réalisation des composants 600 V. Des substrats témoins seront menés en parallèle des substrats épitaxiés afin de caractériser certaines étapes technologiques. Nous montrons ici les résultats obtenus sur le seul run complet que nous ayons pu effectuer.

La première étape que nous avons pu caractériser est l'épaisseur d'oxyde déposée servant à la réduction de l'effet ARDE. Cette épaisseur doit être très proche de la valeur déterminée dans le Chapitre III, à savoir 700 nm, mais ne doit pas être supérieure sous peine d'obtenir des profondeurs de terminaison inférieures à celle des cellules centrales. Nous avons mesuré une épaisseur d'oxyde de 690 nm par profilométrie mécanique.

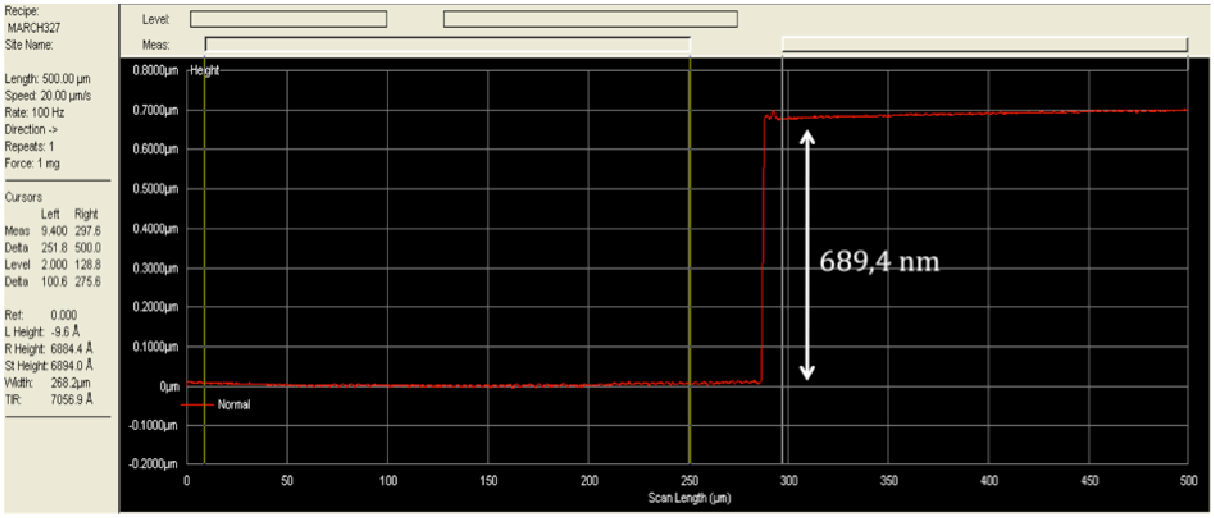


Figure IV.6 : Mesure de l'épaisseur d'oxyde par profilométrie mécanique

La caractérisation des étapes de gravure des tranchées, de dépôt du BCB et de sa planarisation nécessiterait un clivage du substrat pour une observation au MEB, afin de déterminer les profondeurs de tranchée et l'épaisseur du BCB : cela entraînerait la destruction des composants. Nous effectuons donc une inspection visuelle au microscope optique après chaque étape : l'observation au MEB sera faite après la caractérisation électrique. La Figure IV.7 montre l'état de surface du BCB après dépôt et recuit. Les quelques bulles présentes dans le film après planarisation disparaissent après le recuit thermique à 210°C.

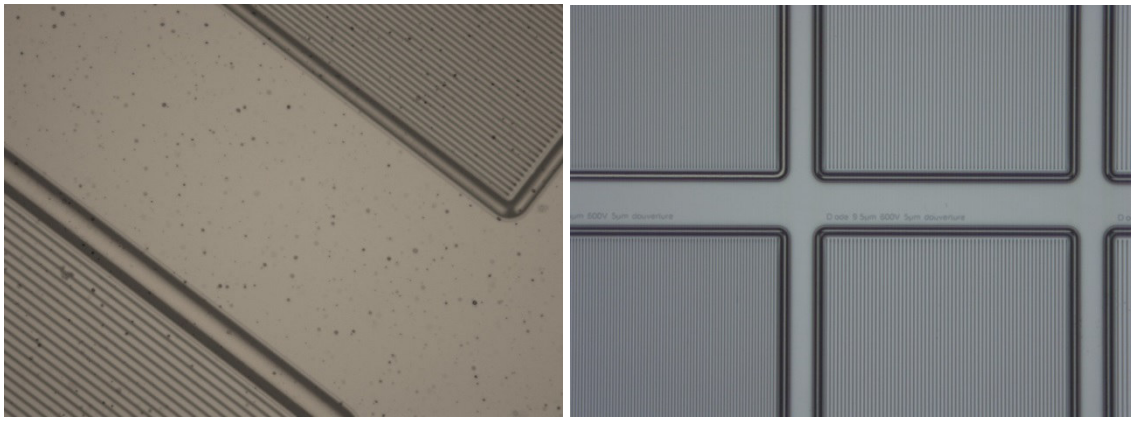


Figure IV.7 : Etat de surface du BCB après dépôt, planarisation (à gauche) et recuit thermique à 210°C (à droite)

Concernant la gravure sèche du BCB au-dessus des cellules centrales, nous effectuons un contrôle visuel de la plaque après les 25 min de gravure (cf §IV.2.7). On peut constater (cf Figure IV.7) que la gravure du BCB n'est pas homogène sur tout le wafer, il reste du BCB sur la majorité des cellules centrales ce qui laisse supposer que l'épaisseur de BCB n'est pas

uniforme. L'étape de nanoimpression n'a pas réussi à planariser complètement le BCB. Au vu de la répartition des zones gravées et non gravées, il est possible que la pression appliquée par la membrane de la machine Nanonex ne soit pas uniformément répartie sur tout le substrat. Nous avons donc décidé de ne pas chercher à ouvrir le BCB sur tous les composants pour éviter une surgravure pouvant attaquer le silicium en surface des cellules centrales, le plasma utilisé étant à base de CF_4. Nous avons donc arrêté la gravure RIE et poursuivi le process.

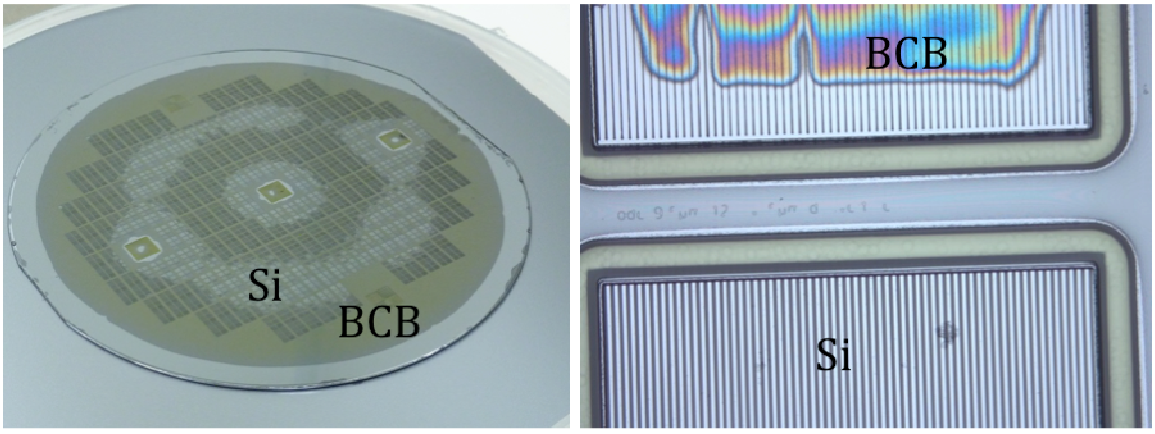


Figure IV.8 : Photo du substrat après gravure RIE du BCB

L'étape suivante est la métallisation Ti/Au suivie de la délimitation de la prise de contacts électriques. Lors du dépôt de la résine photosensible ECI 1,1 µm assurant le masquage pour la gravure chimique du métal, nous avons observé l'apparition de bulles dans la résine lors du recuit sur plaque chauffante, bulles localisées au niveau des terminaisons de jonction et dues au dégazage des solvants présents dans la résine (cf Figure IV.9).

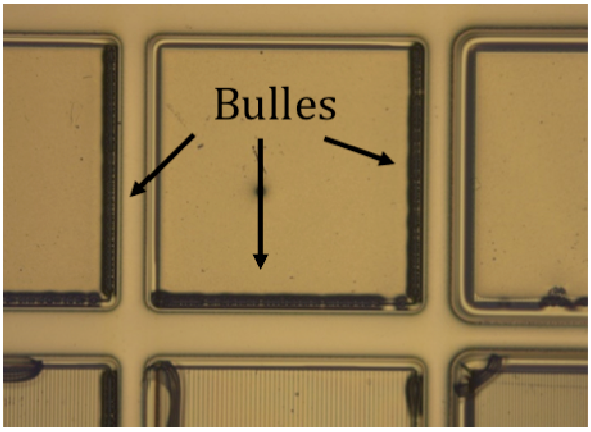


Figure IV.9 : Dépôt de résine ECI 1,1 µm après l'étape de métallisation

Nous avons donc procédé à plusieurs essais afin de trouver une résine optimale. Nous avons effectué un dépôt de résine AZ 4999 par spray-coating, cette technique permettant d'assurer un dépôt conforme, même sur des surfaces ayant un fort relief [73]. Après un recuit à 90 °C pendant 5 min, l'apparition des bulles persiste même si leur nombre est diminué. Nous avons réduit la température du recuit à 70 °C et augmenté le temps à 15 min pour assurer une bonne évaporation des solvants. Comme il peut être constaté sur la Figure IV.10, le Ti/Au présent au-dessus des cellules centrales a été protégé efficacement lors de la gravure chimique.

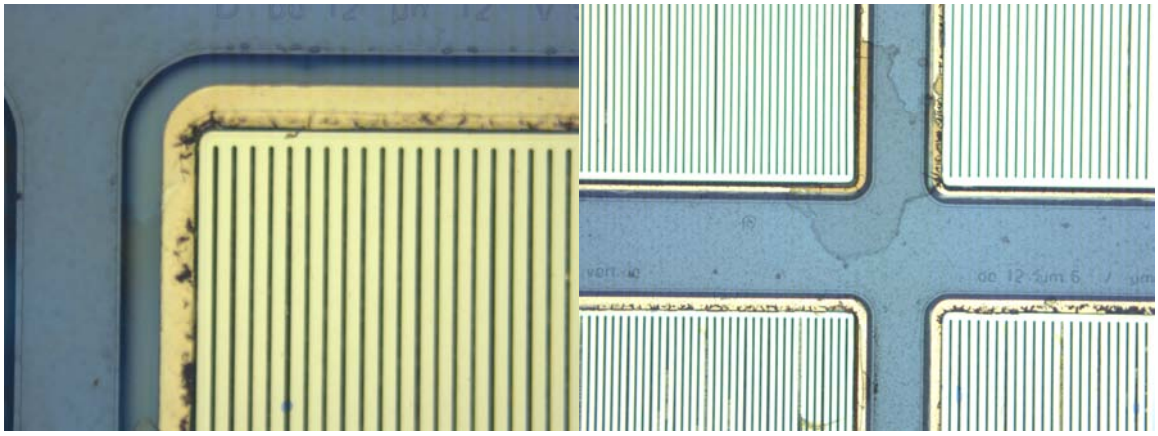


Figure IV.10 : Photographie par microscope des composants après gravure du métal

Sur une grande partie des composants, l'observation au microscope optique montre une zone noire en bordure de terminaison de jonction (Figure IV.11) : elle correspond à une zone où le BCB a été gravé en profondeur.

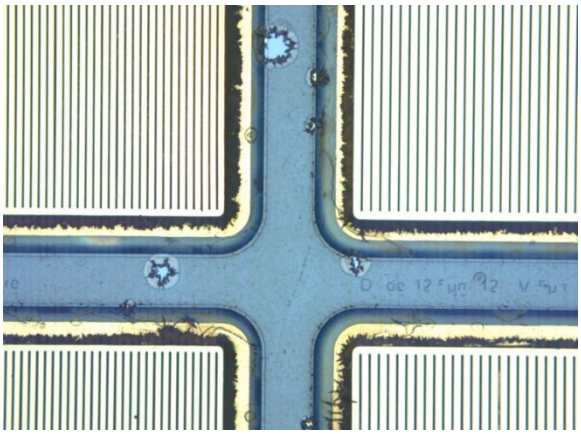


Figure IV.11 : Présence de zones gravées en profondeur dans le BCB de la terminaison de jonction

Cela laisse à penser qu'il y a une discontinuité du métal à cet endroit, compromettant le bon fonctionnement de la plaque de champ. Nous avons décidé de finaliser la réalisation des composants afin d'effectuer la caractérisation électrique.

IV.4 Caractérisations électriques des DT-SJDiodes

Avant de faire des caractérisations du procédé au MEB, ce qui nécessite de cliver le substrat, et donc de détruire les composants, nous avons effectué des caractérisations électriques.

Les mesures électriques sont faites au sein de la plateforme de caractérisation du LAAS-CNRS par tests sous pointes avec la station Agilent 4142B. Elles sont de deux types : en polarisation directe afin d'observer le comportement de la diode et mesurer la résistance à l'état passant et en polarisation inverse afin de déterminer la tenue en tension de nos composants. Ces mesures ont été réalisées sur l'intégralité des diodes dont le BCB a été ouvert en surface. Une des caractéristiques en direct obtenue à partir de mesures effectuée sur une diode slot 8 ayant vu la condition d'implantation 58 (cf Figure III.1 et Tableau III.6) est présentée sur la Figure IV.12. Nous observons un comportement caractéristique d'une diode, avec un déclenchement proche des 0,6 V, confirmant ainsi la présence de la région P^+ en surface. Nous mesurons également une résistance à l'état passant de 30 Ω, ce qui est bien plus élevé que la résistance calculée en simulation qui est d'environ 13 Ω.

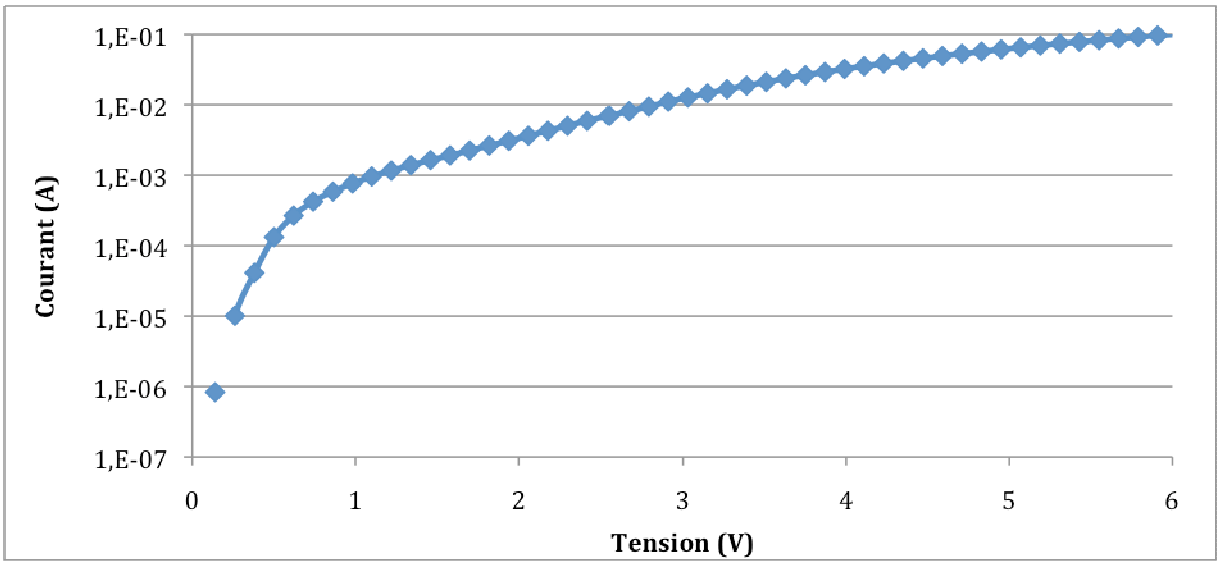


Figure IV.12 : Caractéristique logarithmique en direct d'une DI-SJDiode (slot 8)

En polarisation inverse, les diodes présentent un fort courant de fuite, de l'ordre de 10^{-3} A comme le montre la Figure IV.13, contrairement aux simulations et la littérature où le courant de fuite avoisine 10^{-9} A.

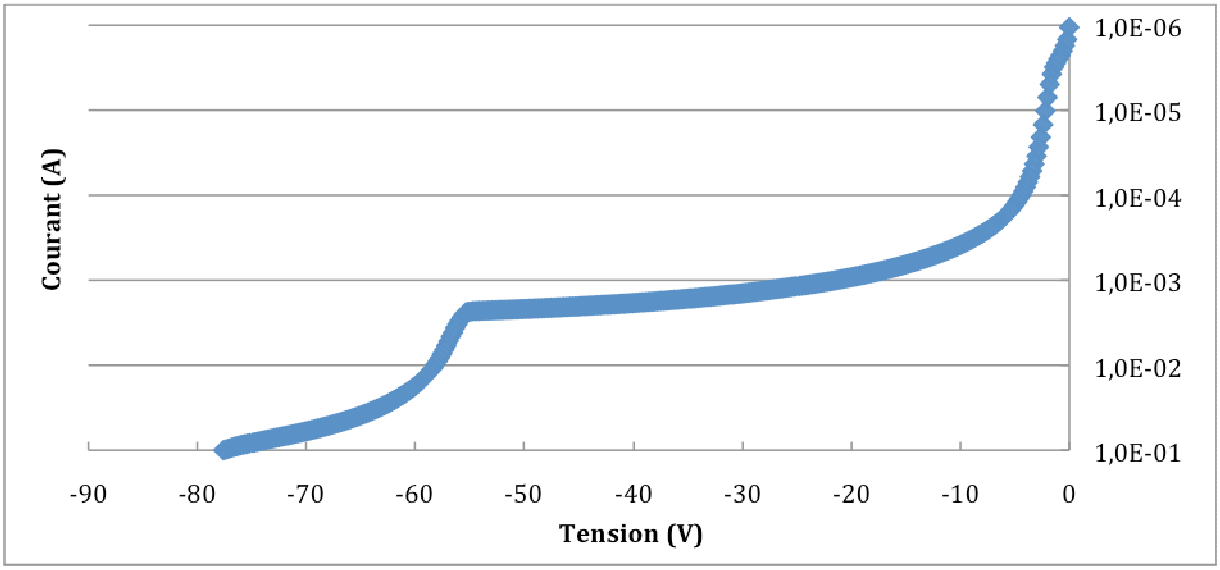


Figure IV.13 : Caractéristique d'une DT-SJDiode polarisée en inverse

Un décrochement apparaît dans la courbe I (V) entre 50 V et 60 V, ce qui correspond à la tenue en tension d'une diode PIN sans terminaison lorsque la zone intrinsèque a un dopage de 3.10^{15} cm^2. La première explication est que la terminaison n'est pas opérationnelle, notamment à cause de la cassure du métal au niveau de la plaque de champ. Cependant, même sans la plaque de champ, les simulations montrent que la tenue en tension devrait être largement supérieure à 60 V pour les DT-SJDiodes. L'autre explication est que l'étape d'implantation sur les flancs des tranchées n'a pas fonctionné correctement : soit les doses de Bore implantées par IBS sont éloignées des doses optimales nécessaires au bon fonctionnement de la superjonction, soit il n'y a pas d'implantation de Bore. La Figure IV.14 présente la cartographie du wafer en répertoriant les caractéristiques obtenues.

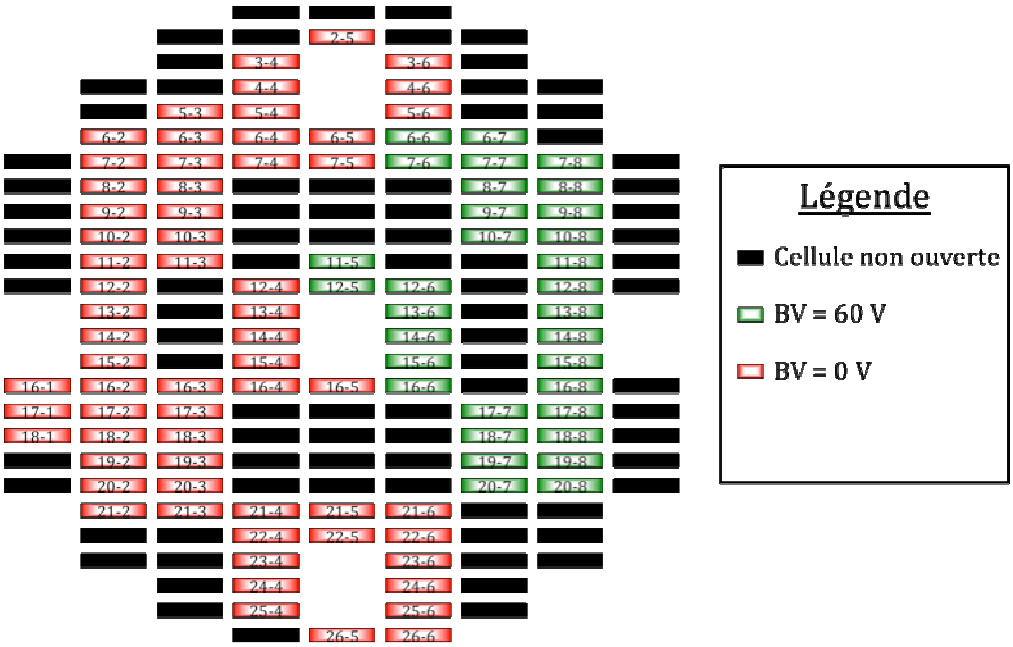


Figure IV.14 : Cartographie des mesures effectuées sur l'ensemble du wafer

Afin de déterminer les causes du mauvais fonctionnement des diodes, nous avons clivé le substrat pour observer les diodes au MEB et détecter les éventuels problèmes technologiques. Nous avons également effectué une révélation de jonction dans le but de déterminer la présence ou non de dopant sur le flanc des tranchées.

La Figure IV.15 présente une vue en coupe des cellules centrales dans le cas où le temps de gravure de 25 min a permis une gravure correcte du BCB en surface des cellules et le cas où il y a une surgravure car l'épaisseur de BCB n'est pas la même. Dans le premier cas, on constate une continuité de la métallisation Ti/Au en surface ; dans le cas de la surgravure de BCB, il y a cassure du métal au niveau du flanc des tranchées et du BCB. Malgré cela, la continuité du contact électrique est assurée par le silicium qui entoure les tranchées centrales comme le montre la Figure IV.10. Par conséquent, une légère surgravure du BCB au niveau des cellules centrales ne doit pas empêcher le bon fonctionnement des diodes.

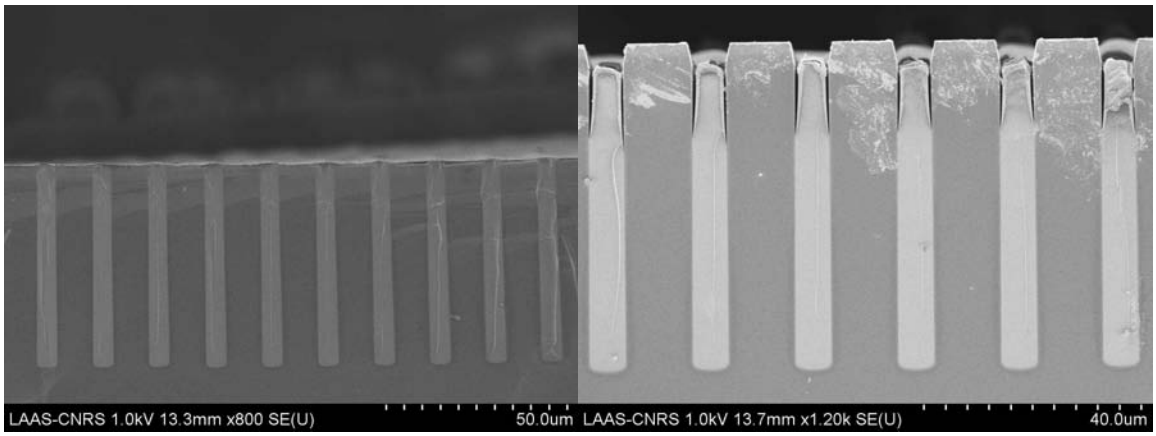


Figure IV.15 : Vues en coupe au MEB des cellules centrales dans le cas d'une gravure du BCB adéquate (à gauche) et dans le cas d'une surgravure (à droite)

La surgravure du BCB est cependant plus problématique quand cela concerne la terminaison de jonction comme le montre la Figure IV.16. En effet il y a une cassure de la métallisation Ti/Au au franchissement de la tranchée de terminaison et la plaque de champ n'assure plus sa fonction.

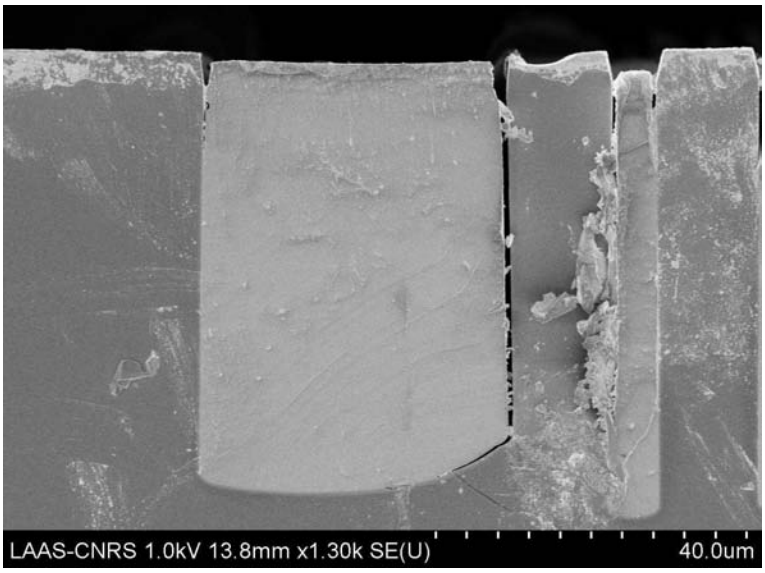


Figure IV.16 : Etat de la terminaison après gravure du surplus de BCB

Nous avons également effectué une révélation de jonction afin de confirmer la présence ou pas de dopants sur les flancs des tranchées et, le cas échéant, mesurer la profondeur de jonction. Pour cela, nous avons utilisé une solution constituée de HF (dilué à 40 %) et de $HN0_3$ (dilué à 70 %) dans des proportions égales. Cette solution a la particularité de graver plus rapidement le silicium contenant des atomes N que le silicium contenant des atomes P, permettant ainsi de créer un relief et de faire la distinction entre ces zones.

Cependant, plus la dose de dopants est faible, plus la révélation est difficile à obtenir. La Figure IV.17 présente cette révélation sur une diode ayant reçu la condition d'implantation 56 référencée dans le Tableau III.10. Il est possible d'observer grâce à ces images MEB l'implantation P^+ de Bore en surface du silicium et l'implantation P^- sur les flancs des tranchées. La profondeur de jonction est de 4 µm pour l'implantation P^+ et de 730 nm pour l'implantation P^- par PIII. Il est à noter également que cette profondeur de jonction est plus importante au fond des tranchées où elle est d'environ 1 µm.

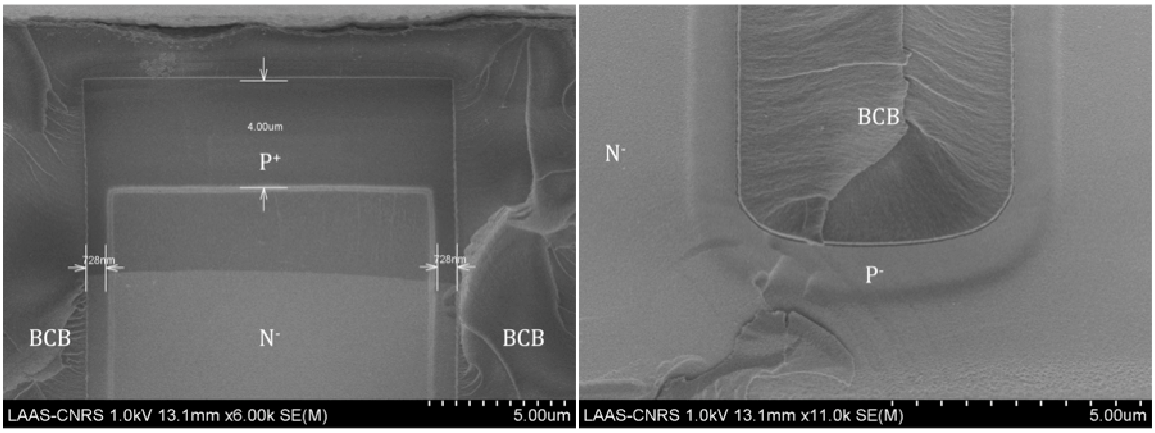


Figure IV.17 : Révélation de jonction pour la condition d'implantation 56

La révélation de jonction confirme donc la présence de dopants sur les flancs de tranchées. Suite aux caractérisations électriques, il peut être déduit que la dose est trop éloignée de la dose optimale pour pouvoir satisfaire le principe de superjonction. Bien que la révélation de jonction ne permette pas de déterminer la dose implantée, nous pouvons néanmoins déduire que la dose implantée est trop importante. En effet, on mesure une profondeur de jonction de 730 nm, ce qui est supérieur à la profondeur de jonction espérée de 500 nm. Une des caractéristiques de la PIII étant la difficulté à implanter de faibles doses, nous pouvons donc faire l'hypothèse que la dose implantée est supérieure à la dose optimale. Pour confirmer cette hypothèse, il serait nécessaire de déterminer cette dose par une mesure du dopage, ce qui est très difficile à faire sur le flanc de tranchées aussi profondes.

IV.5 Optimisation des diodes à superjonction

Le procédé de fabrication qui a été développé n'a pas permis d'aboutir au fonctionnement attendu des diodes à superjonction à savoir une tenue à tension de 600 V :

leur faisabilité a cependant été démontrée. Nous proposons ici différentes pistes technologiques et de conception afin d'améliorer le fonctionnement des diodes.

IV.5.1 Optimisation des étapes technologiques

La planarisation du BCB s'est avérée être un des points critiques de notre procédé de fabrication car cela conditionne l'étape d'enlèvement du polymère sur les cellules centrales. Il est, en effet, primordial d'avoir une couche de BCB la plus uniforme possible. La technique de nano-impression utilisée a permis d'assurer la planarisation du diélectrique localement, cependant l'épaisseur du BCB varie en fonction de la largeur inter tranchée et selon l'emplacement des cellules sur le wafer. Il serait donc nécessaire d'envisager soit une autre technique de planarisation, soit de procéder à deux dépôts successifs de BCB, chacun suivi d'une étape de planarisation à la Nanonex. Nous n'avions pas développé cette dernière voie afin de chercher à réduire le coût du procédé de fabrication.

Une autre étape à optimiser est l'enlèvement du BCB. Dans ces travaux, nous nous sommes concentré sur la gravure ICP du BCB bien que d'autres alternatives aient été explorées. Malgré une grande sélectivité de la recette utilisée, nous avons pu constater qu'une légère surgravure entraîne rapidement une surgravure du silicium en surface des cellules centrales. Il serait donc intéressant de mettre en place une couche d'arrêt entre le BCB et le silicium ou d'envisager une détection de fin de gravure.

Enfin, il serait intéressant de trouver un diélectrique alternatif pour remplir les tranchées profondes. En effet, le BCB présente de bonnes propriétés électriques mais sa mise en œuvre pour des couches épaisses reste assez lourde. De plus, de récentes études ont montré que le BCB induisait des charges à l'interface, résultant en une baisse de la tenue en tension [74]. Des analyses de fiabilité ont également montré que, après plusieurs cyclages thermiques, des fissures apparaissent dans le BCB au niveau de la terminaison [75].

IV.5.2 Optimisation du design

Un élément de design qui peut avoir une influence sur le fonctionnement des diodes est l'extrémité des tranchées des cellules centrales. Dans des travaux précédents, ces extrémités étaient confondues avec les bords de la terminaison [1]. Cependant, ce design n'est pas compatible avec la réduction de l'effet ARDE car le masquage par oxyde recouvrirait également une partie des tranchées. Cela provoquerait une diminution de la profondeur de ces

tranchées à leur extrémité diminuant ainsi la tenue en tension globale du composant. Dans un premier temps, nous avions fixé l'espace entre le bord de la terminaison et l'extrémité de la dernière cellule, W_{IT}, de la même largeur que celle entre deux cellules élémentaires afin de conserver l'équilibre de charges. Nous avons effectué des simulations en 3D afin d'étudier le comportement de la terminaison dans un angle. La structure simulée est représentée sur la Figure IV.18.

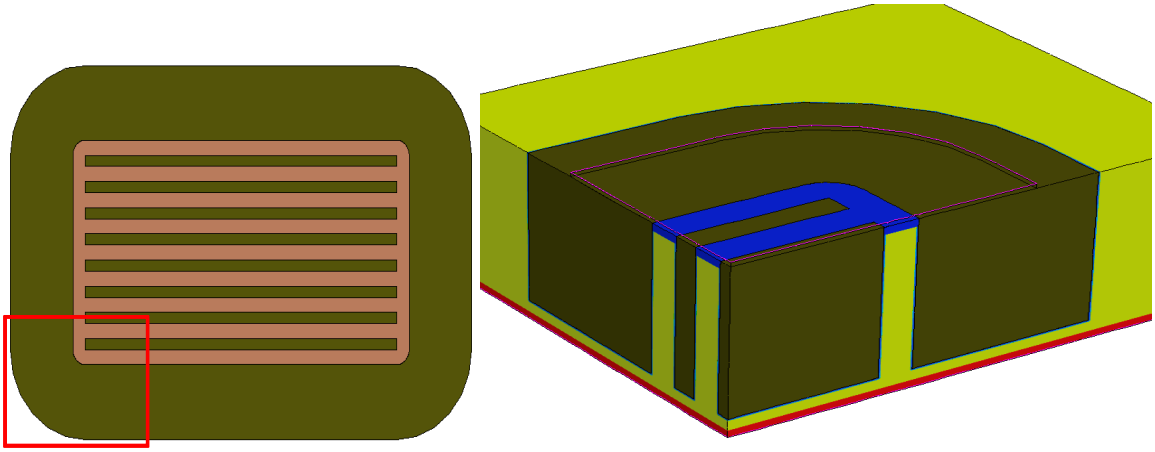


Figure IV.18 : Vue schématique du dessus du composant et vue 3D de la structure simulée

La tenue en tension est loin de la tenue en tension obtenue en simulation 2D. En effet, on observe un phénomène d'avalanche prématuré localisé entre le bord des cellules centrales et la terminaison comme on peut le voir sur la Figure IV.19. Cette baisse de la tenue en tension n'est pas vraiment due à un manque d'efficacité de la terminaison mais plutôt induite par un déséquilibre des charges.

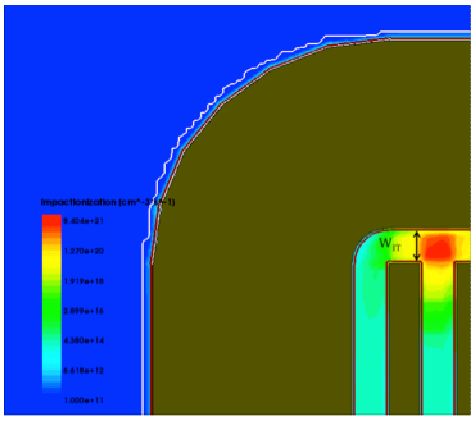


Figure IV.19 : Impact ionisation

En effet, ce phénomène apparaît car, en 3D, l'équation II.4 ne prend pas en compte le volume. L'équation de l'équilibre des charges devient donc la suivante :

(IV.1)

où les couples (V_P ; N_D) et (V_N ; N_A) représentent respectivement le volume et la concentration de dopage des régions P et N.

La tenue en tension est égale à 71 % de la tenue en tension maximale obtenue avec les cellules centrales en 2D pour les structures 600 V et 1200 V ayant un W_N de 5,5 µm. Dans l'équation IV.1, les quatre paramètres sont des paramètres clés pour l'équilibre des charges. Dans notre cas, le terme « V_P x N_A » ne peut être changé car il dépend de l'implantation PIII réalisée pleine plaque. Il n'est pas possible de changer l'implantation localement car impliquerait un déséquilibre des charges au niveau des cellules centrales. De même, le dopage de l'épitaxie ne peut être changé car cela affecterait également les cellules centrales.

Le seul paramètre sur lequel on peut agir localement est le volume V_N via le paramètre W_{IT}. Ce dernier, représenté sur la Figure IV.19, est l'espace entre la terminaison et le bord des tranchées. D'après les calculs effectués à partir de l'équation III.1, le rééquilibrage des charges se fait autour d'une valeur de W_{IT} de 4,5 µm.

Dans le but d'optimiser la largeur W_{IT}, les simulations effectuées en 3D sont faites en n'utilisant que le courant de fuite comme critère d'arrêt. En partant d'une valeur de 6,5 µm pour W_{IT}, nous avons étudié les variations de l'efficacité de la terminaison pour différentes valeurs de réduction de W_{IT}. On peut voir sur la Figure IV.18 qu'une réduction de W_{IT} permet d'approcher la balance des charges et d'obtenir une meilleure tenue en tension. Cependant, lorsque l'on diminue W_{IT}, on crée également un déséquilibre des charges dans le coin de la terminaison. Il y a donc une valeur optimale de W_{IT} permettant d'obtenir la meilleure efficacité de terminaison : pour W_{IT} égal à 4,5 µm soit une réduction de sa dimension de 2 µm, l'efficacité de la terminaison est de 97 %.

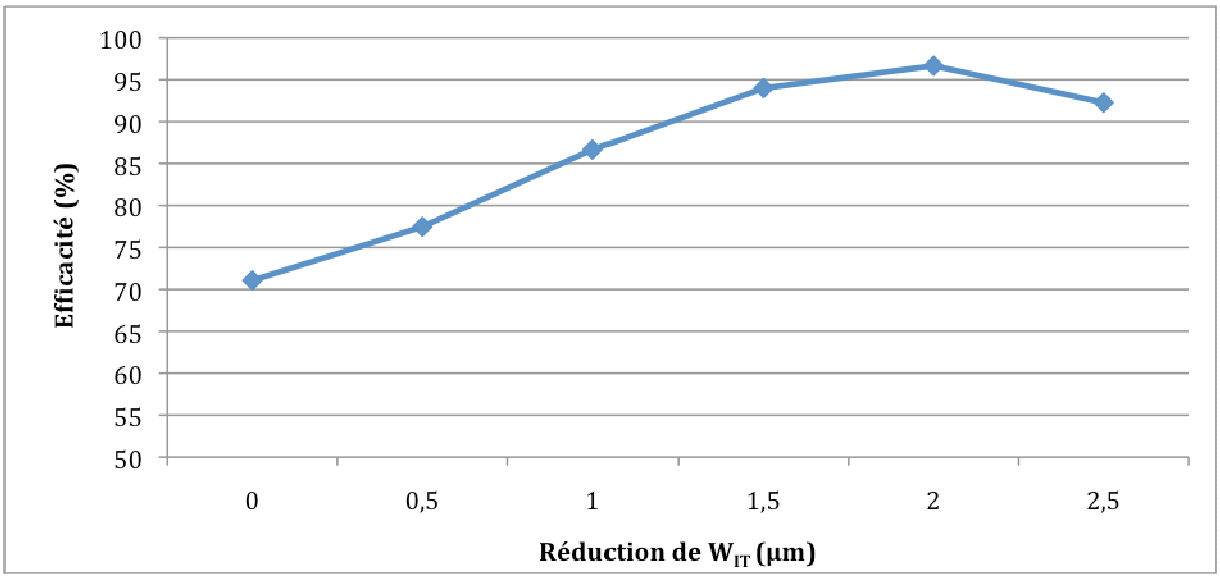


Figure IV.20 : Variation de l'efficacité de la terminaison en fonction de la réduction de W_{IT}

IV.6 Conclusion

Dans ce chapitre, nous avons présenté une description des étapes de fabrication des diodes à superjonction 600 V et 1200 V ainsi que leur enchainement. A partir du procédé de fabrication que nous avons mis en place, nous avons réalisé des diodes à superjonction et à tranchées profondes afin de le valider. Il s'est avéré que la méthode de planarisation développée à partir de la nano-impression ne permettait qu'une planarisation locale du BCB. Il été donc impossible d'effectuer le retrait du BCB sur la totalité du wafer sans avoir une surgravure de ce dernier.

Les caractérisations électriques des DT-SJDiode réalisées avec ce procédé de fabrication ont montré une tenue en tension d'environ 60 V. D'après la simulation, cette tenue en tension est obtenue lorsque la terminaison et la superjonction ne fonctionnent pas. Après avoir effectué une révélation de jonction, nous avons observé les composants au microscope électronique à balayage. Ces observations ont montré que la métallisation était discontinue, compromettant ainsi le fonctionnement de la plaque de champ. La révélation, quant à elle, a permis de confirmer la présence d'atomes dopants sur les flancs de tranchées et au fond des tranchées. Cependant, les doses implantées semblent éloignées de la dose optimale nécessaire au bon fonctionnement de la superjonction.

Pour finir, nous avons proposé plusieurs points à prendre en compte concernant le design des composants et la réalisation afin d'améliorer la fabrication de composants à superjonction et à tranchées profondes.

Conclusion générale

Dans l'optique d'améliorer la chaine de conversion d'énergie et de puissance, nous avons focalisé notre étude sur le concurrent direct de l'IGBT, i.e. le transistor MOS silicium. La détermination de ce choix est l'issue d'une étude menée sur les différentes technologies, telles que les nouvelles structures « grand gap », la superjonction ou encore le RC-IGBT. C'est le concept de superjonction qui a retenu notre attention car celui-ci permet de surpasser la limite du silicium et d'améliorer le compromis « tenue en tension / résistance à l'état passant ». De plus, le silicium présente une technologie avantageuse puisqu'elle est mature et de faible coût. Pour réaliser ces superjonctions, nous avons focalisé nos travaux sur une technologie à base de tranchées profondes permettant d'éviter les multiples étapes d'épitaxie et ainsi de réduire les coûts de fabrication. Nous avons également étudié les différentes techniques de garde permettant de protéger les composants à superjonction. Notre choix s'est porté sur la DT^2 (Deep Trench Termination) car celle-ci est cohérente avec notre technologie et donc semble être la plus adaptée pour protéger les composants à superjonction et à tranchées profondes. En effet, cette terminaison permet d'assurer l'équilibre des charges en périphérie, nécessaire au bon fonctionnement de la superjonction.

Dans la première partie de ces travaux, nous avons effectué une étude théorique consacrée au compromis « tenue en tension / résistance à l'état passant ». Cette étude a permis d'identifier l'influence des paramètres géométriques à la fois sur la tenue en tension mais également sur la résistance à l'état passant. Le design de la structure a été optimisé afin d'obtenir le meilleur ratio « tenue en tension / résistance à l'état passant » pour des composants ayant des tenue en tension de 600 V et 1200 V. Une étude théorique a également été menée sur l'influence des paramètres géométriques de la terminaison sur son efficacité. Nous avons déterminé la valeur des paramètres pour obtenir une efficacité optimale permettant le bon fonctionnement de la structure. Il est à noter toutefois qu'un pic de champ électrique apparaît en surface de la terminaison à la fin de la plaque de champ pouvant nuire au composant. Dans ces travaux, une amélioration de la terminaison est proposée afin de réduire ce champ électrique et permettant de le rendre moins critique.

La deuxième partie de ces travaux s'est articulée autour de la réalisation des composants. Pour cela, nous avons étudié et optimisé les étapes critiques du procédé de fabrication. La première étape critique est la gravure des tranchées. Nous avons maîtrisé la verticalité des tranchées permettant d'assurer la balance des charges de la superjonction. Nous avons également mis en place un procédé permettant de réduire l'effet ARDE grâce à un masquage par oxyde localisé au-dessus des terminaisons. Cette réduction de l'effet ARDE permet, en plus, de faciliter l'étape de remplissage des terminaisons par un diélectrique. La seconde étape critique est le remplissage des tranchées avec un diélectrique. En se basant sur les travaux réalisés précédemment au laboratoire, nous avons développé un procédé de dépôt du BCB permettant le remplissage intégral des cellules centrales et des terminaisons des composants 600 V en un seul dépôt. Le remplissage des terminaisons des composants 1200 V sont encourageants mais restent à optimiser. Enfin, le retrait du surplus de BCB en surface s'est avéré être une étape critique au cours du développement. En effet, les résultats obtenus par polissage mécano-chimique n'étant concluants, nous nous sommes orientés vers une autre méthode de retrait du BCB : la gravure sèche. Pour cela, il a été nécessaire de mettre en place un procédé de planarisation du BCB. Après des essais de sérigraphie non fructueux, nous avons réussi à obtenir une planarisation locale du BCB grâce à la nano-impression. Cette technique a permis de réduire les épaisseurs de BCB en surface, facilitant ainsi l'étape de retrait. L'amincissement du BCB a donc été réalisé par gravure plasma et optimisé afin d'obtenir une grande sélectivité entre le silicium et le BCB.

Dans la dernière partie de cette thèse, nous avons présenté une description détaillée du procédé de fabrication des SJ-DTDiodes que nous avons mis en œuvre. Ce procédé inclut toutes les étapes étudiées et optimisées précédemment. La réalisation des SJ-DTDiodes n'a cependant pas donné les résultats espérés. En effet, lors de la caractérisation électrique, la tenue en tension maximale obtenue est de 60 V. L'observation au MEB des composants et une révélation de la jonction PN ont montré qu'une discontinuité de la plaque de champ et un dopage autour des tranchées éloigné de la dose optimale sont les causes de cette faible tenue en tension. Nous avons proposé des améliorations à apporter pour la fabrication des DT-SJDiodes, cependant, la maîtrise de la dose d'implantation et la continuité de la plaque de champ seront les clés pour finaliser la réalisation de ces composants.

Les travaux effectués au cours de cette thèse amène plusieurs prospectives théoriques et technologiques. Voici quelques prospectives théoriques :

- Des simulations en 3D peuvent être faites afin d'observer le comportement de la terminaison, notamment pour évaluer le champ électrique au bout de la plaque de champ. Il serait également intéressant de mener cette étude sur l'amélioration de la terminaison proposée dans ce manuscrit afin d'évaluer son impact sur le champ électrique.

- Une étude dynamique plus approfondie permettrait d'observer le comportement des composants à superjonction et à tranchées profondes. En effet, dans ce manuscrit, l'étude dynamique n'a porté que sur la résistance à l'état passant. L'étude de ces composants dans un milieu transitoire permettrait de confirmer l'intérêt de ces derniers face à leurs concurrents directs.

- L'utilisation et l'optimisation de la terminaison DT^2 pour des composants « grand gap » peuvent être le sujet d'une étude à mener pour proposer de nouvelles solutions de protection pour ces composants nouvelle génération.

- Il serait intéressant de transposer l'étude théorique effectuée dans ce manuscrit sur les diodes afin d'optimiser un transistor DT-SJMOS pour des applications 600 V et 1200 V.

Voici quelques prospective technologiques :

- Il serait intéressant de finaliser la réalisation des diodes à superjonction et à tranchées profondes. Pour cela, il faut maîtriser l'implantation autour des tranchées qui permettra d'obtenir des doses proches de celles optimales nécessaire au bon fonctionnement de la superjonction.

- L'utilisation de la nano-impression n'a permis qu'une planarisation locale du BCB. Une étude plus approfondie ou l'utilisation d'une autre méthode permettrait une planarisation globale. Cette amélioration devrait éviter la surgravure du silicium lors de la gravure du BCB et permettrait d'assurer la continuité de la plaque de champ. L'utilisation d'une couche d'arrêt serait également une solution à notre problème.

- De récentes études ont montré que le BCB posait des problèmes de fiabilité. Il serait donc intéressant de mener une étude afin de trouver un diélectrique alternatif pour remplir les tranchées.

- La mise en place du procédé de fabrication de l'amélioration de la terminaison proposée dans ce manuscrit permettrait sa validation technologique. Elle pourra être ensuite intégrée

dans le procédé global de fabrication des composants à superjonction et à tranchées profondes.

- Enfin, la transposition du procédé technologique de fabrication des DT-SJDiodes vers la réalisation des DT-SJMOS serait l'aboutissement de cette étude.

Annexe 1 : Description du procédé technologique des résines

Résine ECI

Photolithographie d'ECI 1,1 µm

N° étape	Description de l'étape
1	3 mL d'ECI spin coating v = 3600 tr/min, acc = 5000 tr/min^2 pendant 30 s
2	Recuit à 90 °C pendant 1 min
3	Insolation : 10 s à 20mW.cm^{-2} ; Dose : 200mJ.cm^{-2}
4	Recuit à 110 °C pendant 1 min
5	Révélation : bain de MF-CD-26 pendant 30 s

Résine AZ40 XT

Paramètres de la photolithographie sur AZ-40XT 14 µm

N° étape	Description de l'étape
1	5 mL d'AZ40XT pendant spin coating : v = 300 tr/min, acc = 300 tr/min^2 pendant 30 s
2	spin coating : v = 5000 tr/min, acc = 1700 tr/min^2 pendant 30 s
3	Recuit à 126 °C : proxy : 60 s + contact : 60 s + sous vide : 120 s
4	Insolation : 23 s à 20mW.cm^{-2} ; Dose : 460mJ.cm^{-2}
5	Recuit à 105 °C : proxy : 10 s + contact : 10 s + sous vide : 60 s
6	Repos 5 min
7	Révélation : bain de MF-CD-26 pendant 60 s

Annexe 2 : Description du jeu de masques des diodes réalisées

Cette annexe présente les différents masques utilisés lors de la fabrication des DT-SJDiodes. La cellule de base, répétée 177 fois sur l'ensemble du wafer, contient 12 diodes de différentes dimensions. Le détail des différentes structures est donné dans le document au paragraphe III.2. La Figure A.1 présente la disposition de la cellule de base. Les 6 diodes de gauche sont destinées à tenir une tension de 600 V tandis que les autres sont conçues pour tenir une tension de 1200 V.

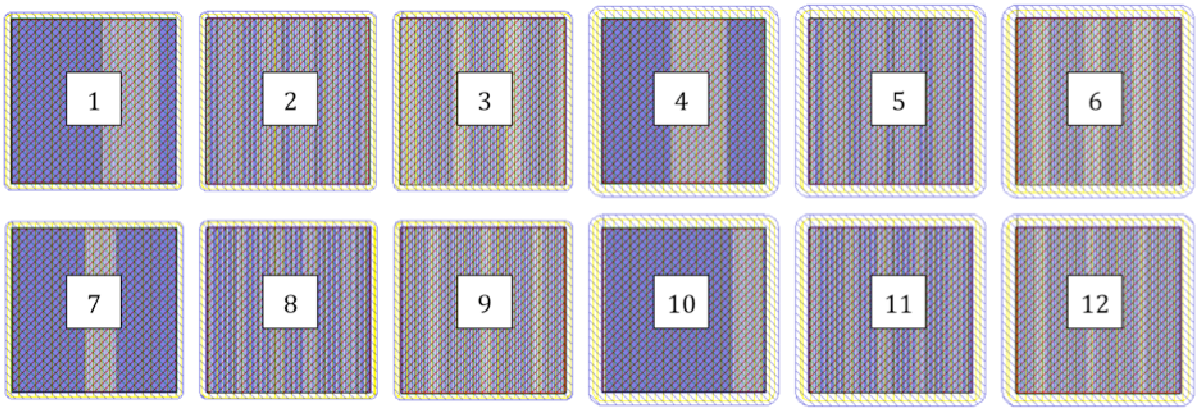


Figure A.1 : Cellule de base des diodes à superjonction

Masque 1 : Marquage des mires d’alignement

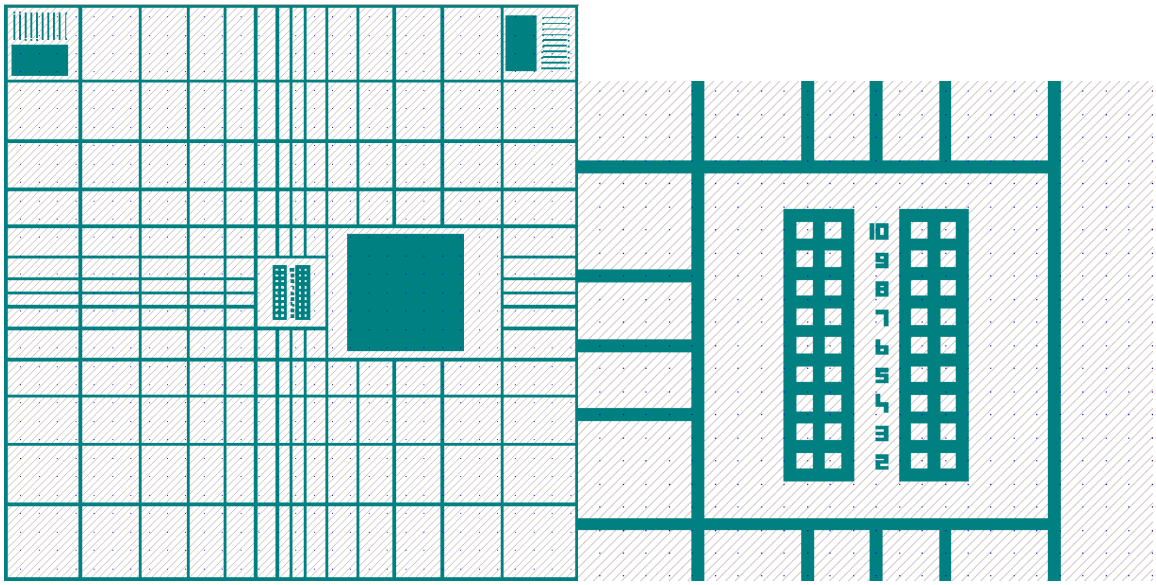


Figure A.2 : Mires d’alignement

Le premier masque contient les deux mires d’alignement qui seront gravées sur le substrat afin de permettre la superposition et l’alignement des autres niveaux de masque. Ce masque est standard au laboratoire et est utilisé pour tous les procédés technologiques développés dans la centrale de technologie. Il est possible, grâce à ces mires, d’effectuer un alignement à 1-2 µm près.

Masque 2 : Gravure de l'oxyde de masquage pour la gravure des tranchées

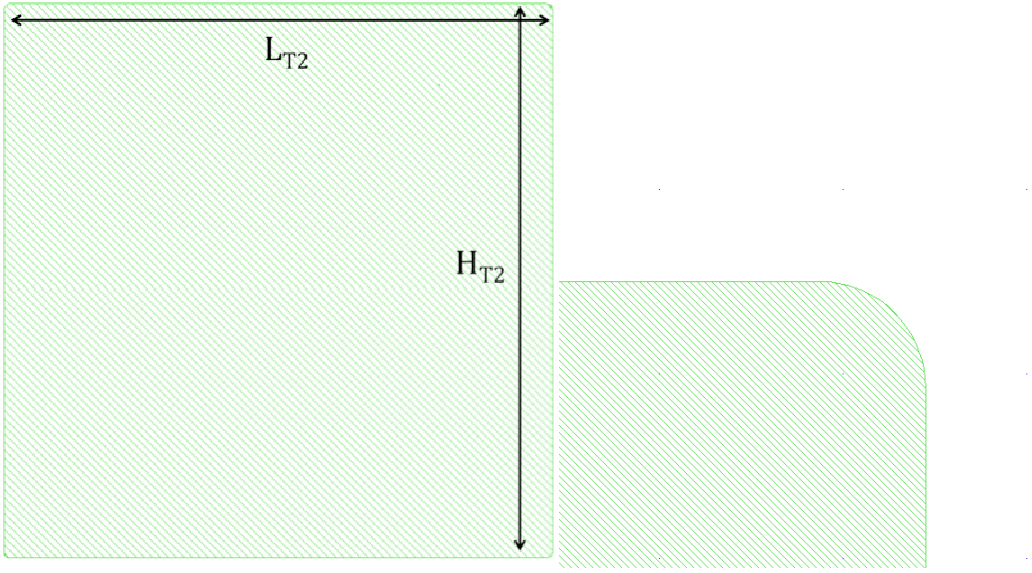


Figure A.3 : Masque négatif utilisé pour la gravure de l'oxyde

Après l'oxydation qui sert au masquage de la gravure des tranchées de terminaison, il est nécessaire d'ouvrir l'oxyde réalisé uniquement au-dessus des cellules centrales. Pour cela, nous utilisons le masque négatif de celui dessiné ci-dessus, avec une résine positive (ouverture de carrés au-dessus des cellules centrales). Les dimensions de ces carrés sont différentes pour chaque diode et sont décrites dans le Tableau A.2.

Tableau A.2 : Dimensions utilisées pour le masque n°2

N° Diode	1	2	3	4	5	6
L_{T2} (µm)	1046,5	1041,5	1051,5	1046,5	1041,5	1051,5
H_{T2} (µm)	1053	1059	1065	1053	1059	1065
N° Diode	7	8	9	10	11	12
L_{T2} (µm)	1045,5	1040,5	1050,5	1045,5	1040,5	1050,5
H_{T2} (µm)	1051	1057	1063	1051	1057	1063

Masque 3 : Implantation P^+ localisée

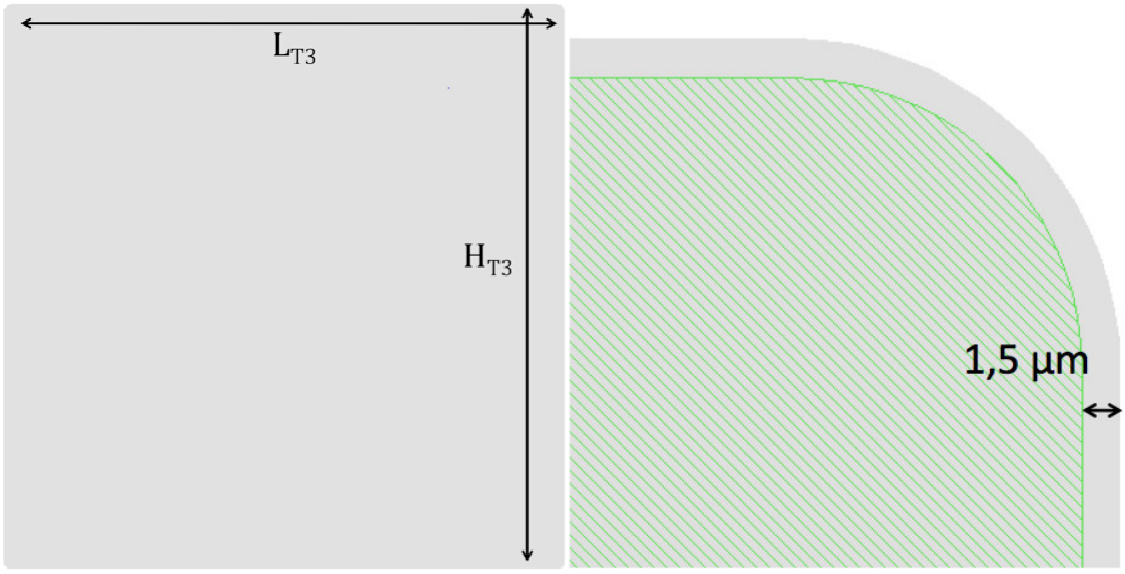


Figure A.4 : Masque négatif utilisé pour l'implantation P^+

Il est nécessaire d'effectuer un masquage par résine lors de l'implantation afin d'implanter le Bore localement au-dessus des cellules centrales et protéger l'oxyde de masquage de gravure des trachées. Une marge de 1,5 µm est prise afin d'éviter d'exposer l'oxyde à l'implantation. Cette dimension prend en compte la diffusion des dopants latéralement. Les dimensions utilisées pour réaliser le masque n°3 sont décrites dans le tableau A.3.

Tableau A.3 : Dimensions utilisées pour le masque n°3

N° Diode	1	2	3	4	5	6
L_{T3} (µm)	1094,5	1089,5	1099,5	1174,5	1041,5	1179,5
H_{T3} (µm)	1101	1107	1113	1181	1059	1193
N° Diode	7	8	9	10	11	12
L_{T3} (µm)	1045,5	1088,5	1098,5	1173,5	1168,5	1178,5
H_{T3} (µm)	1051	1105	1111	1179	1185	1191

Masque 4 : Gravure des tranchées

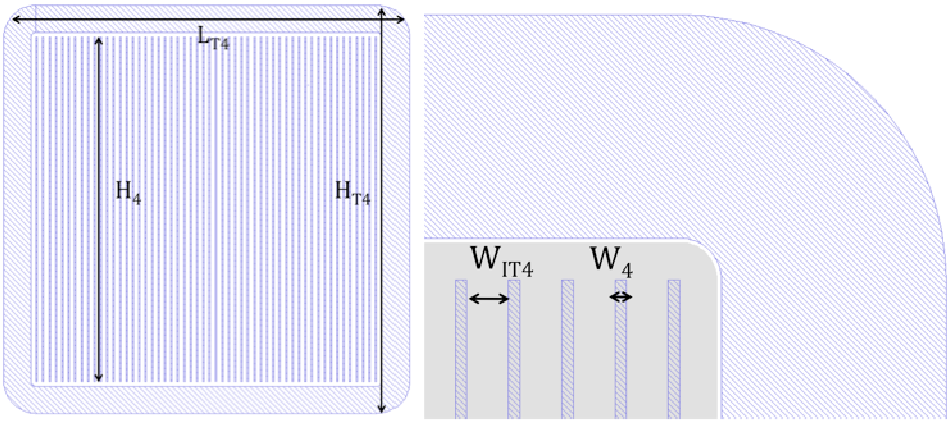


Figure A.5 : Masque négatif utilisé pour la gravure des tranchées

Le masque n°4 est un masque négatif qui permet d'effectuer la gravure des tranchées centrales et de terminaison. Une marge de 1,5 µm est prise entre celui-ci et le masque n°2. Cela permet de s'assurer le masquage par oxyde pour les terminaisons lors de la gravure.

Tableau A.4 : Dimensions utilisées pour le masque n°4

N° Diode	1	2	3	4	5	6
L_{T4} (µm)	1084,5	1079,5	1089,5	1164,5	1159,5	1169,5
H_{T4} (µm)	1091	1097	1103	1171	1177	1183
H_4 (µm)	998	998	998	998	998	998
W_{IT4} (µm)	8,5	11,5	15,5	8,5	11,5	15,5
W_4 (µm)	4	4	4	4	4	4
W_{TT4} (µm)	38	38	38	78	78	78
N° Diode	7	8	9	10	11	12
L_{T4} (µm)	1083,5	1078,5	1088,5	1163,5	1158,5	1168,5
H_{T4} (µm)	1089	1095	1101	1169	1175	1181
H_4 (µm)	998	998	998	998	998	998
W_{IT4} (µm)	7,5	10,5	13,5	7,5	10,5	13,5
W_4 (µm)	5	5	5	5	5	5
W_{TT4} (µm)	39	39	39	79	79	79

Masque 5 : Ouverture des contacts

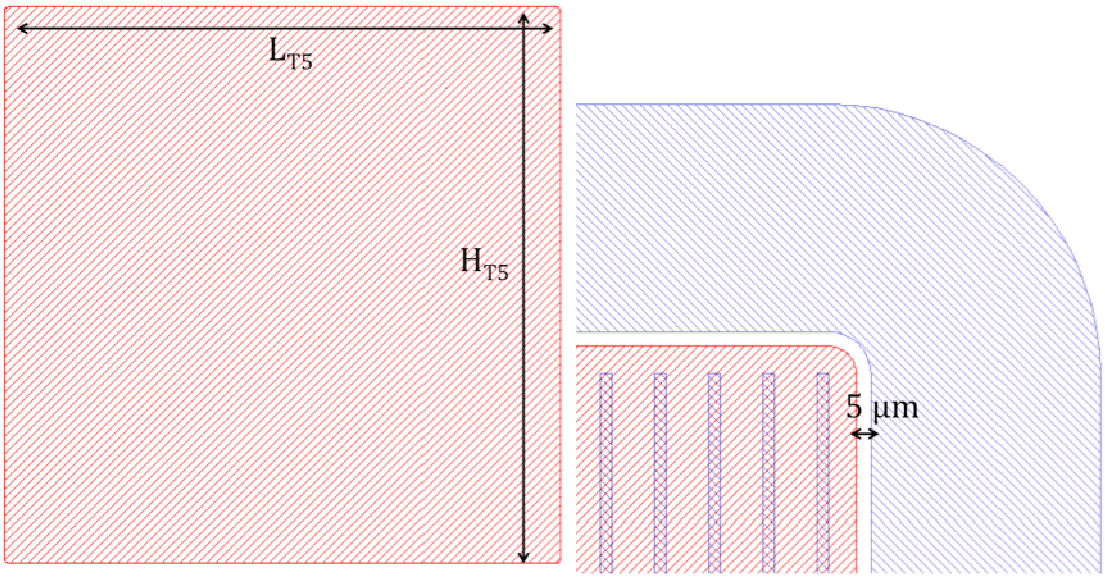


Figure A.6 : Masque négatif d'ouverture des contacts

Après le dépôt du BCB et sa planarisation, celui-ci doit être enlevé en surface des cellules centrales afin de prendre le contact. Ce masque est donc destiné à protéger l'intégralité du wafer à l'exception des cellules centrales. Une marge de 5 µm est prise afin d'éviter une surgravure du BCB présent au-dessus de la terminaison.

Tableau A.5 : Dimensions utilisées pour le masque n°5

N° Diode	1	2	3	4	5	6
L_{T5} (µm)	998,5	993,5	1003,5	998,5	993,5	1003,5
H_{T5} (µm)	1005	1011	1017	1005	1011	1017
N° Diode	7	8	9	10	11	12
L_{T5} (µm)	997,5	992,5	1002,5	997,5	992,5	1002,5
H_{T5} (µm)	1003	1009	1015	1003	1009	1015

Masque 6 : Gravure du métal

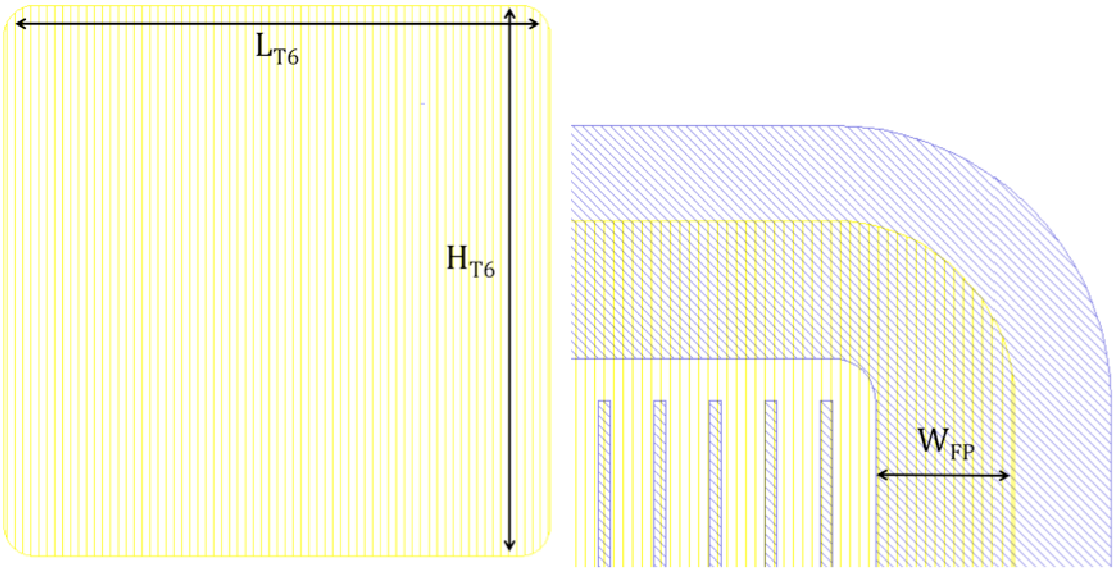


Figure A.7 : Masque positif utilisé pour la gravure du métal

La métallisation étant sur la totalité du wafer, il est nécessaire de laisser le Ti/Au uniquement au-dessus des composants. Pour cela, nous effectuons une gravure du métal. Contrairement aux autres masques, le masque n°6 est positif permettant de protéger la métallisation au-dessus des cellules centrales mais également une partie de la métallisation se trouvant sur la terminaison pour créer la plaque de champ.

Tableau A.6 : Dimensions utilisées pour le masque n°6

N° Diode	1	2	3	4	5	6
L_{T6} (µm)	1058,5	1053,5	1063,5	1110,5	1095,5	1105,5
H_{T6} (µm)	1065	1071	1077	1117	1113	1119
N° Diode	7	8	9	10	11	12
L_{T6} (µm)	1059,5	1054,5	1064,5	1111,5	1096,5	1106,5
H_{T6} (µm)	1065	1071	1077	1117	1113	1119

Bibliographie

[1] L. Théolier, « Conception de transistor MOS haute tension (1200 volts) pour l'électronique de puissance », Université Paul Sabatier-Toulouse III, 2008.

[2] B. J. Baliga, *Fundamentals of power semiconductor devices*, 1st ed. New York: Springer, 2008.

[3] Y. Weber, « Coception d'une nouvelle génération de transistor FLYMOS vertical de puissance dépassant la limite conventionnelle du silicium », Université Toulouse III, 2008.

[4] M. Gharbi, « La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme de tension (300 V à 100 V) », 1985.

[5] J. Baliga, « Modern power devices », 1987.

[6] B. Beydoun, « Simulation et conception des transistors VDMOS de puissance ».

[7] T. Fujihira, « Theory of Semiconductor Superjunction Devices », *Jpn. J. Appl. Phys.*, vol. 36, n° Part 1, No. 10, p. 6254–6262, oct. 1997.

[8] T. Fujihira et Y. Miyasaka, « Simulated superior performances of semiconductor superjunction devices », 1998, p. 423–426.

[9] N. Cézac, F. Morancho, P. Rossel, H. Tranduc, et A. Payre-Lavigne, « A new generation of power unipolar devices: the concept of the floating islands MOS transistor (FLIMOST) », in *Power Semiconductor Devices and ICs, 2000. Proceedings. The 12th International Symposium on*, 2000, p. 69–72.

[10] U. R. Vemulapati, N. Kaminski, D. Silber, L. Storasta, et M. Rahimo, « Analytical model for the initial snapback phenomenon in RC-IGBTs », *Proc ISPS Prague Czech Repub.*, 2012.

[11] T. P. Chow *et al.*, « SiC and GaN bipolar power devices », *Solid-State Electron.*, vol. 44, n° 2, p. 277–301, févr. 2000.

[12] M. Farahmand *et al.*, « Monte Carlo simulation of electron transport in the III-nitride wurtzite phase materials system: binaries and ternaries », *IEEE Trans. Electron Devices*, vol. 48, n° 3, p. 535–542, mars 2001.

[13] P. Brosselard, « Conception, Réalisation et Caractérisation d'interrupteurs (thyristors et JFETs) haute tension (5kV) en carbure de silicium », Thèse de doctorat de l'INSA de Lyon, France, 2004.

[14] B. A. Hull *et al.*, « Development of Large Area (up to 1.5 cm2) 4H-SiC 10 kV Junction Barrier Schottky Rectifiers », *Mater. Sci. Forum*, vol. 600–603, p. 931–934, 2009.

[15] M. K. Das *et al.*, « A 13 kV 4H-SiC n-Channel IGBT with Low Rdiff,on and Fast Switching », *Mater. Sci. Forum*, vol. 600–603, p. 1183–1186, 2009.

[16] S. Krishnaswami *et al.*, « Gate oxide reliability of 4H-SiC MOS devices », 2005, p. 592–593.

[17] A. Bykhovski, B. Gelmont, et M. Shur, « The influence of the strain-induced electric field on the charge distribution in GaN-AlN-GaN structure », *J. Appl. Phys.*, vol. 74, nº 11, p. 6734, 1993.

[18] O. Ambacher *et al.*, « Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaN/GaN heterostructures », *J. Appl. Phys.*, vol. 85, nº 6, p. 3222, 1999.

[19] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda, et I. Omura, « Recessed-gate structure approach toward normally off high-Voltage AlGaN/GaN HEMT for power electronics applications », *IEEE Trans. Electron Devices*, vol. 53, nº 2, p. 356‑362, février 2006.

[20] Y. Uemoto *et al.*, « Gate Injection Transistor (GIT) A Normally-Off AlGaN/GaN Power Transistor Using Conductivity Modulation », *IEEE Trans. Electron Devices*, vol. 54, nº 12, p. 3393‑3399, décembre 2007.

[21] W. Chikhaoui, « Etude des mécanismes physiques responsables des dysfonctionnements des transistors HEMTs à base d'hétérostructures AlGaN/GaN et AlInN/GaN », INSA de Lyon, 2011.

[22] L. Lorenz, G. Deboy, A. Knapp, et M. März, « COOLMOS TM-a new milestone in high voltage power MOS », in *Power Semiconductor Devices and ICs, 1999. ISPSD'99. Proceedings., The 11th International Symposium on*, 1999, p. 3–10.

[23] M. Saggio, D. Fagone, et S. Musumeci, « MDmesh TM: innovative technology for high voltage Power MOSFETs », in *Power Semiconductor Devices and ICs, 2000. Proceedings. The 12th International Symposium on*, 2000, p. 65–68.

[24] P. Leturcq, « Tenue en tension des semi-conducteurs de puissance », *Tech. L'ingénieur Traité Génie Électr. D*, vol. 3, p. 104, 2000.

[25] V. Boisson, « Etude de la géométrie optimale des périphéries des jonctions Planar : Texte imprimé », 1985.

[26] A. S. Grove, O. Leistiko, et W. W. Hooper, « Effect of surface fields on the breakdown voltage of planar silicon p-n junctions », *IEEE Trans. Electron Devices*, vol. 14, nº 3, p. 157‑162, mars 1967.

[27] Y. C. Kao et E. D. Wolley, « High-voltage planar pn junctions », *Proc. IEEE*, vol. 55, nº 8, p. 1409–1414, 1967.

[28] V. A. K. Temple, « Junction termination extension (JTE), A new technique for increasing avalanche breakdown voltage and controlling surface electric fields in P-N junctions », 1977, p. 423‑426.

[29] L. Théolier, H. Mahfoz-Kotb, K. Isoird, et F. Morancho, « A new junction termination technique: the Deep Trench Termination (DT 2) », in *Power Semiconductor Devices & IC's, 2009. ISPSD 2009. 21st International Symposium on*, 2009, p. 176–179.

[30] F. Conti et M. Conti, « Surface breakdown in silicon planar diodes equipped with field plate », *Solid-State Electron.*, vol. 15, nº 1, p. 93‑105, janv. 1972.

[31] V. P. O'Neil et P. G. Alonas, « Relation between oxide thickness and the breakdown voltage of a planar junction with field relief electrode », *IEEE Trans. Electron Devices*, vol. 26, nº 7, p. 1098‑1100, juill. 1979.

[32] S. Yasuda et T. Yonezawa, « High-voltage planar junction with a field-limiting ring », *Solid-State Electron.*, vol. 25, nº 5, p. 423‑427, mai 1982.

[33] P. Austin, J. L. Sanchez, et R. Berriane, « Optimization of PP− junction termination for new power devices », *Solid-State Electron.*, vol. 39, n° 4, p. 593‑599, avr. 1996.

[34] Kyuwoon Hwang et D. H. Navon, « Breakdown voltage optimization of silicon p-π-v planar junction diodes », *IEEE Trans. Electron Devices*, vol. 31, n° 9, p. 1126‑1135, sept. 1984.

[35] L. Theolier, H. Mahfoz-Kotb, K. Isoird, F. Morancho, S. Assie-Souleille, et N. Mauran, « A New Junction Termination Using a Deep Trench Filled With BenzoCycloButene », *IEEE Electron Device Lett.*, vol. 30, n° 6, p. 687‑689, juin 2009.

[36] *« Sentaurus Device User Guide »*. Synopsys.

[37] S. M. Sze et G. Gibbons, « Avalanche breakdown voltages of abrupt and linearly graded p-n junctions in Ge, Si, GaAs, and Gap », *Appl. Phys. Lett.*, vol. 8, n° 5, p. 111‑113, 1966.

[38] F. Morancho, « De nouvelles limites pour le compromis“ résistance passante spécifique/tenue en tension” des composants unipolaires de puissance », Université Paul Sabatier-Toulouse III, 2004.

[39] T. Minato, T. Nitta, A. Uenisi, M. Yano, M. Harada, et S. Hine, « Which is cooler, trench or multi-epitaxy? Cutting edge approach for the silicon limit by the super trench power MOS-FET (STM) », in *The 12th International Symposium on Power Semiconductor Devices and ICs, 2000. Proceedings*, 2000, p. 73‑76.

[40] T. Nitta, T. Minato, M. Yano, A. Uenisi, M. Harada, et S. Hine, « Experimental results and simulation analysis of 250 V super trench power MOSFET (STM) », in *The 12th International Symposium on Power Semiconductor Devices and ICs, 2000. Proceedings*, 2000, p. 77‑80.

[41] S. Sapp, P. Thorup, et A. Challa, « Novel low capacitance VDMOS device for switching and RF power amplification », in *The 17th International Symposium on Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD ’05*, 2005, p. 187‑190.

[42] J. Glenn et J. Siekkinen, « A novel vertical deep trench RESURF DMOS (VTR-DMOS) », in *The 12th International Symposium on Power Semiconductor Devices and ICs, 2000. Proceedings*, 2000, p. 197‑200.

[43] H. Mahfoz-Kotb, L. Théolier, F. Morancho, K. Isoird, P. Dubreuil, et T. D. Conto, « Feasibility study of a junction termination using deep trench isolation technique for the realization of DT-SJMOSFETs », in *Power Semiconductor Devices and IC’s, 2008. ISPSD’08. 20th International Symposium on*, 2008, p. 303–306.

[44] P. M. Shenoy, A. Bhalla, et G. M. Dolny, « Analysis of the effect of charge imbalance on the static and dynamic characteristics of the super junction MOSFET », in , *The 11th International Symposium on Power Semiconductor Devices and ICs, 1999. ISPSD ’99. Proceedings*, 1999, p. 99‑102.

[45] F. Laermer et A. Schilp, « Method of anisotropically etching silicon », mars 1996.

[46] M. Brunet, P. Dubreuil, H. Mahfoz-Kotb, A. Gouantes, et A.-M. Dorthe, « Factorial experimental design applied to DRIE for optimised process in power electronics applications requiring high-aspect ratio trenches », *Microsyst. Technol.*, vol. 15, n° 9, p. 1449‑1457, sept. 2009.

[47] AZ Electronic Materials, « AZ 40XT 11D Data Package », 2009.

[48] M. A. Blauw, T. Zijlstra, et E. van der Drift, « Balancing the etching and passivation in time-multiplexed deep dry etching of silicon », *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 19, nº 6, p. 2930, 2001.

[49] K. J. Owen, B. VanDerElzen, R. L. Peterson, et K. Najafi, « High aspect ratio deep silicon etching », in *Micro Electro Mechanical Systems (MEMS)*, 2012, p. 251–254.

[50] C. K. Chung, H. C. Lu, et T. H. Jaw, « High aspect ratio silicon trench fabrication by inductively coupled plasma », *Microsyst. Technol.*, vol. 6, nº 3, p. 106–108, 2000.

[51] B. Wu, A. Kumar, et S. Pamarthy, « High aspect ratio silicon etch: A review », *J. Appl. Phys.*, vol. 108, nº 5, p. 51101, 2010.

[52] N. Di Miceli Raimondi, L. Prat, C. Gourdon, et J. Tasselli, « Experiments of mass transfer with liquid–liquid slug flow in square microchannels », *Chem. Eng. Sci.*, vol. 105, p. 169□178, févr. 2014.

[53] D. Gupta, « Plasma immersion ion implantation (PIII) process-physics and technology », *Int. J. Adv. Technol.*, vol. 2011, 2015.

[54] N. W. Cheung, « Plasma immersion ion implantation for semiconductor processing », *Mater. Chem. Phys.*, vol. 46, nº 2□3, p. 132□139, nov. 1996.

[55] D. Turnbaugh et F. Torregrosa, « Advances in Plasma Doping on FinFETS and other Applications Using PULSION® », présenté à Semicon West 2014, San Francisco.

[56] S. Seok *et al.*, « BCB Cap Packaging of MEMS Switches Integrated With 100-$\mu{\rm m}$ MMIC Wafer », *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol. 3, nº 11, p. 1799□1803, nov. 2013.

[57] M. Makihata *et al.*, « Integration and packaging technology of MEMS-on-CMOS tactile sensor for robot application using molded thick BCB layer and backside-grooved electrical connection », in *2011 16th International Solid-State Sensors, Actuators and Microsystems Conference*, 2011, p. 815–818.

[58] T. Gruendl *et al.*, « Widely tunable, polarization stable BCB MEMS VCSELs with SWG Integration based on InP at 1.55 μm », *ISLC 2012*, 2012.

[59] Dow, « cyclotene 4000 Series, Advanced Electronics Resins (PHOTO BCB) ». 2009.

[60] C. Boulord, « Développement de techniques de métallisation innovantes pour cellules photovoltaïques à haut rendement », INSA de Lyon, 2011.

[61] « Nanonex ». [En ligne]. Disponible sur: www.nanonex.com.

[62] H. Gao, H. Tan, W. Zhang, K. Morton, et S. Y. Chou, « Air Cushion Press for Excellent Uniformity, High Yield, and Fast Nanoimprint Across a 100 mm Field », *Nano Lett.*, vol. 6, nº 11, p. 2438□2441, nov. 2006.

[63] L. Marigo-Lombart *et al.*, « Self-aligned BCB planarization method for high-frequency signal injection in a VCSEL with an integrated modulator », 2016, p. 98921R.

[64] S. Vives, D. Colin, S. Charlot, et M. Dilan, « Mise au point d'un procédé d'amincissement de wafer Si.pdf », LAAS, 2013.

[65] « KLEBOSOL® Slurry Products, Rohm and Haas Company, Form No. CP07N026 Rev. 0, November 2007, page 1 ». .

[66] J. Almerico, S. Ross, P. Werbaneth, J. Yang, et P. Garrou, « Plasma etching of thick BCB polymer films for flip chip bonding of hybrid compound semiconductor-silicon devices », *Tegal Crop*, 2001.

[67] W. R. Buchwald et K. Vaccaro, « Sidewall profile control of thick benzocyclobutene reactively ion etched in CF4/O2 plasmas », *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 23, nº 1, p. 51, 2005.

[68] Q. Chen, Z. Wang, Z. Tan, et L. Liu, « Characterization of reactive ion etching of benzocyclobutente in SF6/O2 plasmas », *Microelectron. Eng.*, vol. 87, nº 10, p. 1945‑1950, oct. 2010.

[69] Merck Performance Materials, « DataSheet AZ ECI 3012 ». .

[70] S. Irving, « A Dry Photoresist Removal Method », présenté à Proceedings of Kodak Photoresist seminar, Vol. 2, Eastman Kodak, Rochester, NY, 1968, p. 26‑29.

[71] F. Gualandris, « Some etch properties of doped and undoped silicon oxide films formed by atmospheric pressure and plasma-activated chemical vapor deposition », *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 3, nº 6, p. 1604, nov. 1985.

[72] M. Wohrmann, M. Topper, H. Walter, et K.-D. Lang, « Low temperature cure of BCB and the influence on the mechanical stress », 2011, p. 392‑400.

[73] K. Fischer et R. Suss, « Spray coating-a solution for resist film deposition across severe topography », in *Electronics Manufacturing Technology Symposium, 2004. IEEE/CPMT/SEMI 29th International*, 2004, p. 338–341.

[74] F. Baccar, H. Arbess, L. Theolier, S. Azzopardi, et E. Woirgard, « Ageing mechanisms in Deep Trench Termination (DT2) Diode », *Microelectron. Reliab.*, vol. 55, nº 9‑10, p. 1981‑1987, août 2015.

[75] H. Arbess, F. Baccar, L. Theolier, S. Azzopardi, et E. Woirgard, « Mechanical stress investigation after technological process in Deep Trench Termination DT2 using BenzoCycloButene as dielectric material », *Microelectron. Reliab.*, vol. 55, nº 9‑10, p. 2017‑2021, août 2015.

Liste des travaux

*** Article dans des revues internationales avec comité de lecture**

S. Noblecourt, J. Tasselli, F. Morancho, K. Isoird, P. Austin : *« Design and realization of Deep Trench SuperJunction Diode for 600V applications»*, European Journal of Electrical Engineering, Vol.17, N°5-6/2014 pp. 345-361.

S. Noblecourt, J. Tasselli, F. Morancho, K. Isoird, P. Austin : *« Design Optimization of Deep Trench Termination for Superjunction Power Devices»*, Journal of Microelectronics and Computer Science, *Vol.6, N°6, 2015 pp. 117-123*.

*** Conférences internationales avec actes**

S. Noblecourt, J. Tasselli, F. Morancho, K. Isoird, P. Austin : *« An Improved Junction Termination Design Using Deep Trenches for Superjunction Power Devices »*, MIXDES 2015, 25-27 juin 2015, Torùn.

*** Conférences nationales avec actes**

S. Noblecourt, J. Tasselli, F. Morancho, K. Isoird, P. Austin, P. Dubreuil, A. Lecestre : *« Optimisation de la Diode à Superjonction à tranchées profondes pour des applications à 600V »*, SGE'2014 (EF-EPF-MGE 2014) 8-10 juillet 2014, Cachan.

*** Workshop international**

A. Lecestre, P. Dubreuil, S. Noblecourt, J. Tasselli, E. Imbernon, F. Morancho : *« Anisotropic Deep Reactive Ion Etching without Aspect Ratio Dependence Etching for silicon power devices »*, PESM 2014, 12-13 mai 2014, Minatec-Grenoble.

S. Noblecourt, J. Tasselli, F. Morancho, K. Isoird, P. Austin, P. Dubreuil, A. Lecestre : *« Design and réalisation of Deep Trench-Superjunction power devices »*, LIA 2013, Toulouse.