Convertisseurs DC/DC à base de HFETs GaN pour applications spatiales

Guillaume Delamare

▶ **To cite this version:**

Guillaume Delamare. Convertisseurs DC/DC à base de HFETs GaN pour applications spatiales. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Toulouse - INPT, 2015. Français. NNT : 2015INPT0080 . tel-01499458v2

HAL Id: tel-01499458

https://laas.hal.science/tel-01499458v2

Submitted on 10 Oct 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National Polytechnique de Toulouse (INP Toulouse)

Discipline ou spécialité :

Génie Électrique

Présentée et soutenue par :

M. GUILLAUME DELAMARE

le lundi 16 novembre 2015

Titre :

CONVERTISSEURS DC/DC A BASE DE HFETs GaN POUR APPLICATIONS SPATIALES

Ecole doctorale :

Génie Electrique, Electronique, Télécommunications (GEET)

Unité de recherche :

Laboratoire d'Analyse et d'Architecture des Systèmes (L.A.A.S.)

Directeur(s) de Thèse :

M. HENRI SCHNEIDER

Rapporteurs :

M. FRANCOIS FOREST, UNIVERSITE MONTPELLIER 2

M. JEAN-PAUL FERRIEUX, UNIVERSITE GRENOBLE 1

Membre(s) du jury :

M. FRÉDÉRIC MORANCHO, UNIVERSITE TOULOUSE 3, Président

M. HENRI SCHNEIDER, INP TOULOUSE, Membre

M. JORDI EVERTS, TECHNISCHE UNIVERSITEIT EINDHOVEN P. B., Membre

M. PAUL MAYNADIER, THALES ALENIA SPACE, Membre

Remerciements

La mise en route administrative de cette thèse a été pour le moins complexe, aussi je souhaite tout d'abord remercier les gens qui se sont investis, souvent au pied levé, pour permettre sa réalisation.

— Mon directeur de thèse Henri Schneider, évidemment, qui a accepté d'encadrer un inconnu surgi du néant avec un genou écorché et qui lui réclamait une signature pour l'avant-veille. Notre collaboration ne fut donc originellement guère plus que le fruit des circonstances, mais le hasard a bien fait les choses et je suis très heureux de la relation, professionnelle comme amicale, qui en a émergé. Sans lui, ce manuscrit n'existerait pas.
— Paul Maynadier, mon chef chez TAS, pour le soutien logistique et moral dont il a toujours témoigné. Sans les nombreux efforts que lui et Laurent Garraud ont déployés pour pouvoir m'accueillir, ce manuscrit n'existerait pas non plus.
— Christian Rouziès, mon référent au CNES, pour avoir proposé le sujet à l'origine et su aller taper à la bonne porte pour débloquer la situation quand elle semblait perdue. Et, plus largement, le CNES dans son ensemble qui fait de très louables efforts pour intégrer ses doctorants et leur donner accès à ses services, bien que la majorité d'entre eux ne travaille pas dans ses murs.

Je voudrais également remercier François Forest et Jean-Paul Ferrieux, les rapporteurs de ce mémoire, de l'intérêt qu'ils ont manifesté pour mon travail et du temps investi dans sa relecture. Ces remerciements s'adressent évidemment tout autant aux autres membres de mon jury, Frédéric Morancho et Jordi Everts (qui a fait le déplacement depuis les Pays-Bas - *dankjewel !*).

Les gens que j'ai côtoyés au quotidien pendant ces 3 années ont tous un peu, d'une façon ou d'une autre, contribué à cette aventure et je leur en suis reconnaissant...

— Les chercheurs de l'équipe Convertisseurs Statiques du Laplace, qui m'ont accueilli comme l'un des leurs : Frédéric, Thierry, Marc, Emmanuel, Guillaume et Guillaume.
— Mes autres collègues de bureau, de couloir et de RU au Laplace, qu'ils soient doctorants, post-doctorants, ingénieurs ou techniciens : Bernardo, Léon, Didier, Céline, Nicolas, Olivier, Alvaro, Jérémy, Anne, Julio, Alaa, Mickael, Andallah, Maël et j'en oublie à coup sûr.
— L'équipe alimentations à TAS : Arnaud, Renaud, Jonathan, Sylvain, Thierry, Michaël, PJ, Cédric, Marjorie, Laurent, Christophe, Daniel, Julien... sans compter tous les stagiaires et apprentis que j'ai croisés.

Merci plus généralement à tous les personnels de TAS, du LAAS-CNRS et du Laplace non sus-

mentionnés qui ont eu l'occasion de m'assister dans mon travail ou tout simplement d'échanger autour d'un café ou un repas.

Chapeau bas à tous mes amis de savoir rester eux-mêmes avec les années qui passent. Chers zouzous, sachez que je ne me lasserai jamais d'une bonne soirée (ou week-end, ou semaine) passée avec vous à boire des bières autour d'un jeu de société. Même si, inexorablement, la vie nous éloigne géographiquement, j'espère que nous pourrons continuer à profiter de ces moments précieux.

Je dois bien sûr énormément à mes parents, qui ont fait de moi quelqu'un d'insatiablement curieux... et n'ont jamais très fermement appliqué le fameux plafond d'une heure d'ordinateur par jour. Une grande partie de ce que je sais faire aujourd'hui, je le sais parce que j'ai passé 5 ou 10 heures devant l'écran plutôt qu'une : bien qu'un peu contre leur gré, c'est donc bien grâce à eux que me voilà docteur aujourd'hui !

Maria, cela fait maintenant plus de quatre ans que tu partages ma vie. Sans toi, jamais je n'aurais pu affronter comme les épreuves, petites et grandes, de ces dernières années avec tant de sérénité. Merci infiniment d'être là, toujours, à mes côtés.

Parce qu'ils m'ont rendu de fiers services et parce que je crois que c'est une information intéressante pour le lecteur, j'ai aussi envie de mentionner les logiciels qui m'ont le plus servi :

— Python et Jupyter (anciennement IPython) utilisés pour tous mes besoins de développement, depuis divers scripts d'extraction et analyse de données jusqu'au programme de conception en passant par l'instrumentation du banc de mesure (avec python-ivi),
— LyX, très bon éditeur de document « What You See Is What You Mean » s'appuyant sur l'indétrônable LaTeX, avec lequel j'ai rédigé le présent document,
— LTspice, développé par Mike Engelhardt de Linear Technologies qui le met gratuitement à disposition (freeware, malheureusement pas open-source) et que j'ai extensivement utilisé lors de la conception de mes circuits.

Merci à leurs développeurs, continuez le bon boulot !

« One word characterises the most strenuous of the efforts for the advancement of science that I have made perseveringly during fifty-five years ; that word is failure. »

William Thomson, 1st Baron Kelvin

« Don't panic ! »

Douglas Adams, *The Hitchhiker's Guide to the Galaxy*

Abstract

Improving the compactness and efficiency of switching converters is a central issue in power electronics ; even more so in satellites where every gram and every watt counts. Each of the many radio-frequency emitters and receivers onboard telecommunications satellites need to be powered by various voltages, converted in an isolated way from the main power distribution bus. Due to the strong thermal, reliability and radiation hardness constraints applying to electronic components in space applications, available degrees of freedom for improvement of power supplies are limited - at least with current qualified semiconductor technologies (which are both expensive and far behind state-of-the-art performance). The recent commercialization of gallium nitride (GaN) normally-off power transistors, having superior electrical characteristics compared to the best silicon power MOSFET, is promising on that regard. Indeed, their intrinsic radiation hardness seems to allow their use in space-grade converters.

The aim of this work is the evaluation of how this technology can help improve the design of isolated DC/DC power supplies for typical hardware units of telecommunications satellite payloads. Operation at higher switching frequencies with these better performing components should, in principle, reduce converters' footprint while keeping the same (or better) efficiency level and still obeying each application's specific requirements. The accuracy of this hypothesis as well as the most adequate implementation architecture have been explored for the low power supply of a RF receiver, including realization and comparison of several demonstration boards. In order to approach higher power converters, a theoretical and experiment study of switching losses in GaN transistor bridge legs has been performed. A performance computation software has been developed in Python and used to identify the global optimum of the design of a Dual Active Bridge converter for a power RF amplifier (250 W DC). A prototype board has been built and demonstrated the interest of both the topology and GaN devices in this application, while clearly showing that high-frequency losses in magnetic components dominate total converter loss. This last issue happens to be the main limitation of the approach - precious to the engineer - of optimum design by computation : currently existing models for power loss estimation in magnetic elements are not satisfactory to predict performances of this type of converter.

Résumé

L'amélioration de la compacité et du rendement des convertisseurs à découpage est une problématique centrale en électronique de puissance ; elle l'est encore plus à bord des satellites où chaque gramme et chaque watt comptent. Chacun des nombreux émetteurs et récepteurs radiofréquence qui équipent les satellites de télécommunication a besoin d'être alimenté par diverses tensions, converties de façon isolée à partir du bus principal de distribution de puissance. En raison des lourdes contraintes thermiques, de fiabilité et de résistance aux radiations qui pèsent sur les composants électroniques dans les applications spatiales, les degrés de liberté pour améliorer les alimentations sont restreints, en tout cas avec les technologies actuelles de semiconducteurs qualifiés (couteuses et très en retrait des performances de l'état de l'art). La commercialisation assez récente de transistors de puissance en nitrure de gallium (GaN) à canal normalement bloqué, présentant des caractéristiques électriques supérieures à celles des meilleurs MOSFET de puissance en silicium, est prometteuse sur ce point. En effet leur robustesse intrinsèque aux radiations semble permettre leur emploi dans des convertisseurs spatiaux.

Le but de ce travail est l'évaluation des apports possibles de cette technologie dans la réalisation d'alimentations DC/DC isolées pour des équipements typiques des charges utiles des satellites de télécommunication. Le fonctionnement à des fréquences de découpage plus élevées avec ces composants plus performants doit, au premier abord, réduire l'encombrement des convertisseurs à rendement égal (voire meilleur) tout en continuant à respecter le cahier des charges spécifique à chaque application. La pertinence de cette hypothèse et l'architecture de mise en œuvre la plus adéquate ont été explorées pour l'alimentation faible puissance d'un récepteur RF, avec réalisation et comparaison de plusieurs maquettes de démonstration. Afin d'aborder des convertisseurs de plus fortes puissances, une étude théorique et expérimentale des pertes par commutation dans les jambes de pont de transistors GaN a été menée. Un programme de calcul de performances a été développé en Python et mis en œuvre pour identifier l'optimum global du dimensionnement d'un convertisseur Dual Active Bridge destiné à l'alimentation d'un amplificateur RF de puissance (250 W DC). Une maquette prototype a été réalisée et a démontré l'intérêt de la topologie et des composants GaN dans cette application, tout en mettant en évidence la prédominance des pertes haute fréquence des composants magnétiques parmi les pertes totales du convertisseur. Ce dernier point s'avère finalement être la principale limitation de l'approche, précieuse pour l'ingénierie, de dimensionnement optimal par le calcul : les modèles actuellement existants d'estimation des pertes dans les éléments magnétiques se révèlent insatisfaisants pour prédire les performances de ce type de convertisseur.

Liste des abréviations

2DEG	2-Dimensional Electron Gas (gaz d'électrons bidimensionnel)
AC	Alternating Current (courant alternatif)
BGA	Ball Grid Array (matrice de billes)
CNES	Centre National d'Etudes Spatiales
COTS	Commercial Off The Shelf (composant commercial standard disponible sur étagère)
DAB	Dual Active Bridge
DC	Direct Current (courant continu)
ECSS	European Coordination for Space Standardization (coordination européenne pour la normalisation dans le spatial)
ELDRS	Enhanced Low Dose Rate Sensitivity (sensibilité accrue à faible débit de dose)
EPC	Electronic Power Conditioner (conditionneur de puissance électronique, i.e. alimentation pour amplificateur de puissance) ou Efficient Power Conversion (fabricant de HFETs GaN normalement bloqués)
EPPL	European Preferred Parts List (liste européenne de composants recommandés pour les applications spatiales)
ESA	European Space Agency (agence spatiale européenne)
FET	Field Effect Transistor (transistor à effet de champ)
FPGA	Field-Programmable Gate Array (réseau de portes logiques programmable in-situ)
GaN	Nitrure de gallium
HEMT	High Electron Mobility Transistor (transistor à grande mobilité électronique)
HFET	Heterostructure Field Effect Transistor (transistor à effet de champ à hétérostructure)
ISPS	Isolated Switching Power Supply (alimentation à découpage isolée)
LET	Linear Energy Transfer (transfert d'énergie linéaire)
LGA	Land Grid Array (matrice de plages)
MOSFET	Metal-Oxyde-Semiconductor Field Effect Transistor (transistor à effet de champ métal-oxyde-semiconducteur)

NASA	National Aeronautics and Space Administration (agence spatiale étasunienne)
PCB	Printed Circuit Board (circuit imprimé)
PSFB	Phase-Shift Full Bridge (pont complet à décalage de phase)
PWM	Pulse Width Modulation (modulation de largeur d'impulsion)
SEB	Single Event Burnout (claquage par évènement singulier)
SEE	Single Event Effects (effets d'évènement singulier)
SEGR	Single Event Gate Rupture (claquage de grille par évènement singulier)
Si	Silicium
SSPA	Solid-State Power Amplifier (amplificateur de puissance à état solide)
TID	Total Ionizing Dose (dose totale ionisante)
TWTA	Travelling Wave Tube Amplifier (amplificateur à tube à ondes progressives)
ZVS	Zero Voltage Switching (commutation à zéro de tension)

Table des matières

Remerciements **3**

Abstract **6**

Résumé **7**

Liste des abréviations **8**

Table des matières **10**

Introduction **14**

1 Les HFET GaN dans les alimentations DC/DC spatiales **17**

1.1 Satellites de télécommunications et puissance électrique 17

1.1.1 Architecture électrique d'un satellite 17

1.1.1.1 Génération 17

1.1.1.2 Stockage 18

1.1.1.3 Distribution 19

1.1.2 Besoins électriques des charges utiles de télécommunication 19

1.1.2.1 Architecture de la chaine de signal 19

1.1.2.2 Récepteurs 20

1.1.2.3 Amplificateurs de puissance 21

1.2 Contraintes spécifiques de l'électronique spatiale 22

1.2.1 Radiations 22

1.2.1.1 Dose totale cumulée (TID) 23

1.2.1.2 Effets singuliers dus aux ions lourds (SEE) 23

1.2.1.3 Dégâts de déplacement 24

1.2.2 Fiabilité 25

1.2.2.1 *Derating* 25

1.2.2.2 Herméticité 25

1.2.2.3 Alliage de brasure 26

1.2.3 Thermique 26

1.2.3.1 Architecture niveau satellite 26

1.2.3.2 Contraintes niveau équipement 27

1.2.4 Autres contraintes industrielles . . . 28
1.3 Le HFET GaN et son intérêt en électronique de puissance spatiale . . . 29
1.3.1 Matériau GaN . . . 29
1.3.2 Structure HFET (ou HEMT) . . . 30
1.3.3 Composants utilisés dans cette étude . . . 32
1.3.3.1 Présentation de la gamme *eGaN* . . . 32
1.3.3.2 Note sur le symbole électrique employé . . . 34
1.3.3.3 Performances électriques . . . 35
1.3.3.4 Résistance aux radiations . . . 36
1.4 Augmentation de la fréquence de découpage des alimentations . . . 37
1.4.1 Raisons et limitations de la montée en fréquence . . . 37
1.4.2 Considérations de compatibilité électromagnétique . . . 37
1.4.2.1 Ondulation de courant et filtre d'entrée . . . 37
1.4.2.2 Vitesse de commutation et mode commun . . . 39
1.4.3 Alimentations à haute fréquence de découpage basées sur des FET GaN . 40
1.4.3.1 Travaux à base de transistors non-commerciaux . . . 40
1.4.3.2 Convertisseurs basés sur la famille *eGaN* . . . 40

2 Modélisation du HFET GaN et caractérisation de ses pertes par commutation dans les structures en pont 43
2.1 Modèle électrique du HFET GaN . . . 43
2.1.1 Modèle circuit du composant . . . 43
2.1.2 Capacités non-linéaires . . . 45
2.2 Jambe de pont dans les topologies DC/DC isolées de puissance . . . 46
2.2.1 Structure . . . 46
2.2.2 Définitions relatives aux pertes par commutation . . . 47
2.2.2.1 Différentes énergies de commutation . . . 47
2.2.2.2 Courant commuté . . . 48
2.3 Mesure des pertes par commutation . . . 49
2.3.1 Limitations de la méthode usuelle . . . 49
2.3.1.1 Limitations fondamentales . . . 49
2.3.1.2 Limitations expérimentales . . . 50
2.3.2 Principe de la méthode employée . . . 51
2.3.2.1 Mode à courant circulant AC : caractérisation sous $I_{sw} > 0$ . . . 51
2.3.2.2 Mode à courant circulant quasi-DC : caractérisation sous $I_{sw} < 0$ 52
2.3.2.3 Extraction de E_{sw} à partir de la puissance mesurée . . . 53
2.3.3 Réalisation pratique . . . 54
2.3.3.1 Jambes de pont . . . 54
2.3.3.2 Choix de la fréquence de découpage . . . 55
2.3.3.3 Inductance à air . . . 56
2.3.3.4 Instruments de mesure . . . 58

2.3.3.5 Caractérisation in-situ de R_{DC} . . . 59
2.3.4 Résultats . . . 60
2.4 Modélisation des pertes par commutation dans une jambe de pont . . . 63
2.4.1 Présentation de l'approche . . . 63
2.4.1.1 Originalité . . . 63
2.4.1.2 Méthodologie . . . 63
2.4.2 Pertes de commande de grille . . . 64
2.4.3 Pertes lors d'une commutation à $I_{sw} \leq 0$ . . . 65
2.4.3.1 Blocage de K_{off} et temps mort : conduction inverse . . . 65
2.4.3.2 Amorçage de K_{on} : croisement $v_{DS} \times i_{ch}$ . . . 65
2.4.3.3 Amorçage de K_{on} : capacité de sortie . . . 68
2.4.4 Pertes lors d'une commutation à $I_{sw} > 0$ . . . 69
2.4.4.1 Blocage de K_{off} : croisement $v_{DS} \times i_{ch}$ . . . 69
2.4.4.2 Amorçage de K_{on} : capacité de sortie . . . 73
2.4.4.3 Amorçage de K_{on} : conduction inverse . . . 74
2.4.5 Synthèse du modèle $E_{sw} = f(V_{bus}, I_{sw}, T_{dead})$ . . . 74
2.4.6 Comparaison mesures - modèle analytique . . . 76

3 Optimisation du dimensionnement d'un convertisseur isolé pour SSPA 78
3.1 Introduction . . . 78
3.1.1 Présentation du besoin « Electronic Power Conditioner » pour SSPA GaN 78
3.1.2 Dimensionnement de convertisseur DC/DC : approche générale et intérêt d'un outil logiciel . . . 80
3.2 Sélection de la topologie Dual Active Bridge . . . 81
3.2.1 Topologies adaptées . . . 81
3.2.1.1 PSFB . . . 81
3.2.1.2 DAB . . . 82
3.2.1.3 LLC . . . 83
3.2.2 Fonctionnement du Dual Active Bridge en déphasage simple . . . 84
3.2.2.1 Formes d'ondes . . . 84
3.2.2.2 Puissance transférée . . . 86
3.2.2.3 Degrés de liberté du dimensionnement . . . 86
3.3 Logiciel d'aide à l'optimisation de dimensionnement . . . 87
3.3.1 Briques logicielles de base pour l'estimation des performances d'un convertisseur de puissance . . . 87
3.3.1.1 FET GaN (jambes de pont) . . . 87
3.3.1.2 Inductances catalogue . . . 88
3.3.1.3 Composants magnétiques sur mesure . . . 88
3.3.1.4 Condensateurs . . . 90
3.3.1.5 Convertisseur Dual Active Bridge . . . 90
3.3.2 Optimisation du dimensionnement . . . 94

3.3.2.1 Définition du problème : cahier des charges . . . 94
3.3.2.2 Définition des variantes de design . . . 95
3.3.2.3 Évaluation d'une variante de design . . . 96
3.3.2.4 Exploration des variantes par « force brute » . . . 98
3.3.2.5 Résultats . . . 99
3.4 Prototypage . . . 101
3.4.1 Présentation de la maquette . . . 101
3.4.2 Composants magnétiques . . . 103
3.4.2.1 Transformateur . . . 103
3.4.2.2 Inductance série . . . 105
3.4.3 Performances . . . 106
3.5 Conclusion : intérêt des FET GaN dans les applications forte puissance . . . 108

4 Architectures d'alimentation isolée faible puissance pour récepteur RF 110
4.1 Application visée et spécifications . . . 110
4.2 Étude comparative d'architectures . . . 111
4.2.1 Philosophie et composants utilisés . . . 111
4.2.2 Architectures d'alimentation isolée multi-sorties . . . 111
4.2.3 Revue de topologies isolées envisageables . . . 113
4.2.3.1 Tension drain-source du transistor : une contrainte majeure de dimensionnement . . . 113
4.2.3.2 Topologie forward . . . 113
4.2.3.3 Topologie flyback . . . 114
4.2.3.4 Topologies à couplage capacitif . . . 116
4.2.3.5 Topologies à deux transistors . . . 118
4.2.4 Comparaison quantitative par simulation . . . 119
4.3 Prototypage . . . 121
4.3.1 Construction . . . 121
4.3.1.1 Circuits imprimés . . . 121
4.3.1.2 Composants magnétiques sur mesure . . . 122
4.3.2 Résultats . . . 123
4.3.2.1 Campagne de mesure des performances . . . 123
4.3.2.2 Difficultés d'implémentation et non-conformités . . . 123
4.3.2.3 Performance des étages isolés . . . 125
4.4 Conclusion : intérêt des FET GaN dans les applications faible puissance . . . 127

Remarques sur la fiabilité 129

Conclusion et perspectives 131

Bibliographie 133

Introduction

C'est Arthur C. Clarke, physicien et célèbre auteur de science-fiction (*2001, l'Odyssée de l'espace*) qui est généralement considéré comme l'inventeur du concept de satellite géostationnaire de télécommunications, qu'il présente dès 1945 dans plusieurs articles publiés dans la revue *Wireless World* [1]. Bien qu'il envisageait cette possibilité comme assez lointaine, il faudra moins de 20 ans pour que le premier satellite relais de télécommunication, puis le premier en orbite géostationnaire soient conçus, lancés et opérés avec succès.

Dès ces débuts, les convertisseurs de puissance électrique à découpage ont eu toute leur place à bord des satellites. En effet, le véhicule spatial est l'exemple le plus frappant d'un système électrique isolé : une fois lâché en orbite par son lanceur, c'est nécessairement de manière totalement autonome qu'il doit assurer la génération de sa puissance électrique. Il y a donc un intérêt majeur à convertir et utiliser cette puissance de la façon la plus efficace qui soit, tout en dédiant un minimum de masse et de volume à ces fonctions de conversion qui restent des auxiliaires aux équipements centraux de la mission.

Ainsi Telstar 1, le premier satellite commercial de télécommunications lancé en 1962, contenait déjà deux alimentations DC/DC à découpage [1] utilisant l'état de l'art de l'époque en terme d'interrupteur de puissance : des transistors bipolaires en germanium à alliage diffusé [2].

Durant le demi-siècle écoulé depuis ces applications pionnières, l'électronique de puissance a énormément évolué : avec l'apparition de technologies d'interrupteur de puissance telles que thyristor, MOSFET et IGBT les alimentations à découpage sont désormais omniprésentes dans les produits terrestres sur une gamme de puissance couvrant du milliwatt au mégawatt. Le marché des satellites commerciaux de télécommunication et de leurs équipements, aujourd'hui férocement compétitif, souffre d'un retard technologique chronique par rapport à celui des équipements terrestres qui profitent de composants semiconducteurs plus avancés.

Ce facteur limitant affecte tout particulièrement les alimentations DC/DC, les transistors de puissance capables de fonctionner de façon fiable en environnement orbital étant sensiblement moins performants que leurs équivalents terrestres. L'apparition d'une nouvelle technologie de commutation de puissance, basée non plus sur l'hégémonique silicium mais sur l'alliage semiconducteur nitrure de gallium (GaN), promettant un sérieux gain de performances des alimentations à découpage et une robustesse supérieure aux radiations, suscite donc un vif intérêt de la part de la communauté de l'électronique de puissance spatiale.

C'est pourquoi le travail présenté dans ce mémoire, dont l'objectif était d'évaluer les apports

1. Un buck découpant à $20-35\,\mathrm{kHz}$ et un onduleur push-pull attaquant à $2,5\,\mathrm{kHz}$ un transformateur à plusieurs secondaires dont un à redressement synchrone.

possibles des nouveaux transistors de puissance GaN dans la réalisation d'alimentations DC/DC isolées pour des équipements de satellites de télécommunication, a été co-financé par le Centre National d'Etudes Spatiales (CNES) et Thales Alenia Space.

Le premier chapitre de ce mémoire introduit le contexte dans lequel s'est inscrit ce travail : il présente d'abord des notions générales concernant l'énergie à bord d'un satellite, puis développe le cas spécifique des charges utiles de télécommunication et de leurs besoins en terme d'alimentations DC/DC. Les principales contraintes spécifiques pesant sur les composants de l'électronique de puissance spatiale sont ensuite récapitulées, avant d'introduire le HFET GaN et de le situer dans ce cadre. Finalement, les apports attendus de la réalisation d'alimentations à plus haute fréquence de découpage, envisageable grâce à ce nouveau composant, sont étudiés.

Le deuxième chapitre présente un effort de modélisation mené sur les HFET GaN retenus pour l'étude. Une caractérisation expérimentale des pertes de commutation au sein des structures de puissance typiques emploie une méthode originale de mesure mise au point au sein du laboratoire Laplace, les résultats obtenus pour deux références de composants sont présentés et discutés. Une étude analytique des mécanismes en jeu, s'appuyant sur un certain nombre d'hypothèses simplificatrices, est ensuite détaillée afin de mieux comprendre l'articulation de ces pertes des points de vue qualitatif et quantitatif. Le chapitre finit en se penchant sur la cohérence entre mesures expérimentales et modèle analytique.

Le troisième chapitre s'intéresse aux applications de puissance relativement élevée (plusieurs centaines de watts) basées sur des topologies en pont et notamment à l'exemple d'une alimentation pour amplificateur RF de puissance. Le cahier des charges oriente le choix vers une topologie capable d'assurer des commutations à faible pertes au sein de tous les transistors de puissance : c'est la topologie Dual Active Bridge qui est sélectionnée parmi elles. Afin d'aider à trouver le dimensionnement le plus pertinent pour ce convertisseur, un outil logiciel est développé en langage Python. Celui-ci, à partir de briques de base implémentant des modèles analytiques des pertes dans les composants de puissance, permet d'évaluer les performances d'un design de Dual Active Bridge dans des conditions données. La démarche d'utilisation de cet outil logiciel pour aider à l'optimisation du dimensionnement du convertisseur est explicitée et illustrée. Enfin, un prototype est réalisé avec un double objectif industriel de démonstration de faisabilité et scientifique de quantification de la validité des estimations faites par le logiciel.

Le quatrième chapitre expose une étude applicative portant cette fois sur des alimentations multi-sorties pour des équipements de faible puissance (une dizaine de watts) chronologiquement réalisée en début de thèse. Les contraintes et objectifs spécifiques aux applications isolées à ce niveau de puissance entrainent un processus de sélection, parmi plusieurs combinaisons possibles, d'une topologie isolée et d'une architecture à sorties multiples. Suite à un comparatif des performances estimées de différents designs (dimensionnés avec l'appui de simulations) trois architectures sont retenues pour prototypage. Quelques résultats issus de la campagne d'essais réalisée sur les prototypes sont finalement présentés et analysés pour mettre en avant certains aspects intéressants.

Avant de conclure, quelques remarques sur la fiabilité de la mise en œuvre des composants GaN, tirées de l'expérience accumulée pendant ces travaux, sont mentionnées pour leur intérêt

concret à destination du concepteur soucieux de minimiser les risques de défaillance.

Enfin, la conclusion générale sur l'usage des HFET GaN dans les alimentations DC/DC spatiales débouche sur une suggestion de perspectives plus larges pour les différents thèmes abordés dans ce mémoire.

Chapitre 1

Les HFET GaN dans les alimentations DC/DC spatiales

1.1 Satellites de télécommunications et puissance électrique

1.1.1 Architecture électrique d'un satellite

1.1.1.1 Génération

FIGURE 1.1.1 – Rendu d'un satellite de télécommunications géostationnaire de dernière génération Spacebus Neo de THALES ALENIA SPACE (photo ESA)

L'écrasante majorité des satellites génère sa puissance électrique à l'aide de panneaux photovoltaïques. La puissance du rayonnement solaire hors de l'atmosphère terrestre est d'environ 1300 W/m^2 (irradiation standardisée « AM0 ») et les cellules solaires à triple jonction InGaP/-GaAs/Ge couramment utilisées à bord des satellites présentent des rendements en début de vie de l'ordre de 30%, soit une puissance électrique surfacique maximale de l'ordre de 400 W/m^2. La plupart des satellites en orbite basse et intermédiaire ne dépassent guère quelques kilowatts et se contentent même parfois de cellules tapissant leurs parois extérieures. Avec des ailes solaires de plusieurs dizaines de mètres carrés et excédant 20 m d'envergure, les plus gros satellites de télécommunication en orbite géostationnaire actuels (cf figure 1.1.1) atteignent 20 kW de puis-

sance électrique installée. La Station Spatiale Internationale, de loin la plus grande structure orbitale construite par l'homme à ce jour, représente un exemple extrême avec plus de 1500 m^2 de panneaux capables de générer plus de 120 kW électriques (visibles de part et d'autres des modules pressurisés sur la photo de la figure 1.1.2).

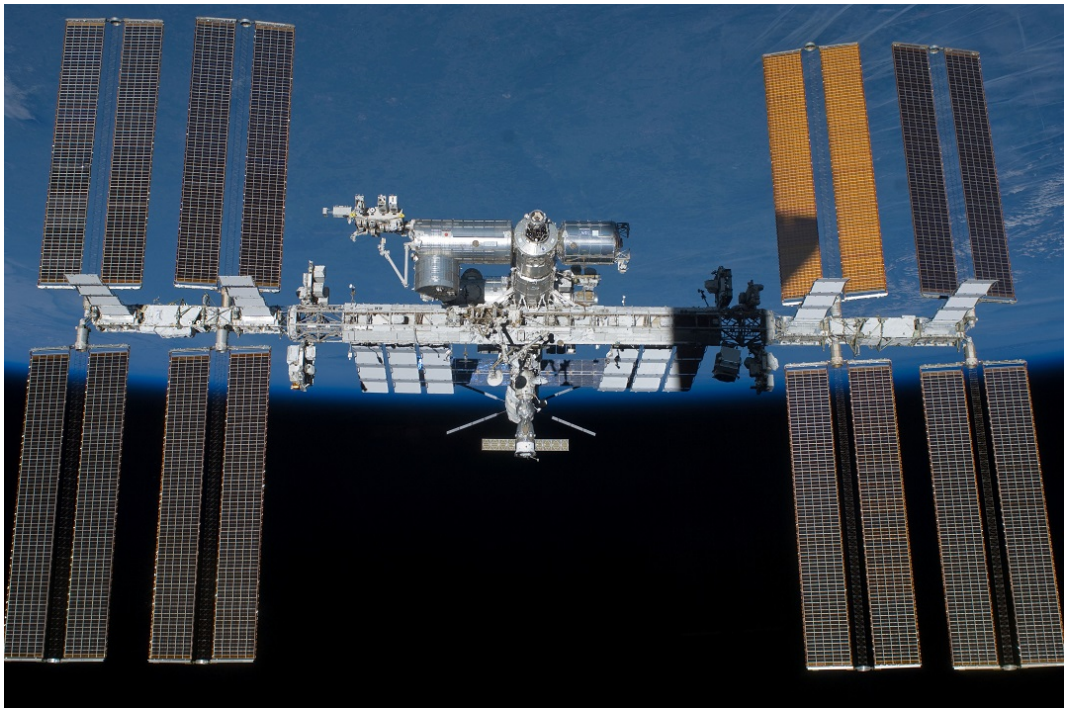


FIGURE 1.1.2 – La Station Spatiale Internationale en 2011 (photo NASA)

Les satellites à très courte durée de vie peuvent, eux, se satisfaire d'une batterie primaire (non-rechargeable) pour leurs besoins en énergie électrique, mais les limitations de cette approche sont évidentes. Notons ainsi que dans quelques cas de figure, notamment les sondes voyageant au-delà de l'orbite martienne (*Voyager*, *Cassini*, *New Horizons*, ...) ainsi que le désormais célèbre robot d'exploration planétaire *Curiosity*, cette puissance peut être générée à partir d'une source nucléaire - généralement un radio-isotope dont la chaleur de désintégration spontanée est convertie par effet thermoélectrique.

1.1.1.2 Stockage

Tout comme dans les applications au sol, l'emploi d'un générateur solaire comme unique source de puissance électrique nécessite une solution de stockage d'énergie pour les phases de l'orbite se situant dans l'ombre de la terre. Ces phases d'éclipse sont extrêmement variables selon l'orbite : ainsi un satellite en orbite basse, qui tourne rapidement autour du globe, alterne les périodes d'éclairement et d'obscurité avec une périodicité de l'ordre de l'heure. Au contraire, en raison de son altitude élevée et de l'inclinaison de la Terre par rapport au plan de l'écliptique, un satellite en orbite géostationnaire reste exposé au soleil durant la quasi-totalité de l'année : il ne passe dans l'ombre de la Terre que quelques dizaines de minutes par "nuit" durant deux saisons d'éclipse d'une vingtaine de jours aux alentours des équinoxes de printemps et d'automne.

Les besoins de stockage en énergie sont ainsi variables mais dans tous les cas bien présents. C'est aujourd'hui la technologie de batteries lithium-ion qui est majoritairement utilisée dans les satellites, en raison de son excellente densité massique de puissance et d'énergie ainsi que sa maturité technologique (poussée par un usage important dans les applications terrestres).

1.1.1.3 Distribution

La puissance délivrée par les générateurs solaires ou la batterie est généralement distribuée aux différents équipements embarqués sous la forme d'un bus DC dont la tension peut être non-régulée (le bus étant directement connecté à la batterie, sa tension varie avec l'état de charge de cette dernière) ou régulée (un convertisseur DC/DC généralement appelé *Battery Discharge Regulator* alimente le bus depuis la batterie). La tension nominale de 28 V, traditionnelle dans les applications aéronautiques et militaires, reste encore utilisée dans de nombreux satellites. Les satellites de télécommunication modernes ont cependant atteint des puissances rendant nécessaire la distribution sous des tensions de plus en plus élevées pour limiter le courant : ainsi la majorité des plateformes commerciales utilisent une tension régulée de 100 V dans leurs générations les plus récentes. Cette tension de bus est un élément dimensionnant important pour les convertisseurs qui y sont reliés. Notons qu'elle n'augmentera probablement pas beaucoup plus dans un avenir proche en raison, d'une part, de l'effet corona et, d'autre part, des limites de tenue en tension des composants semiconducteurs spatiaux actuels. Pour des raisons de compatibilité électromagnétique, certains fabricants distribuent le bus de puissance en bifilaire isolé de la structure du satellite afin d'éviter des courants de retour incontrôlés par celle-ci. Une alimentation avec isolation galvanique est donc nécessaire en entrée des équipements dont la masse électrique est référencée au châssis du satellite.

1.1.2 Besoins électriques des charges utiles de télécommunication

1.1.2.1 Architecture de la chaine de signal

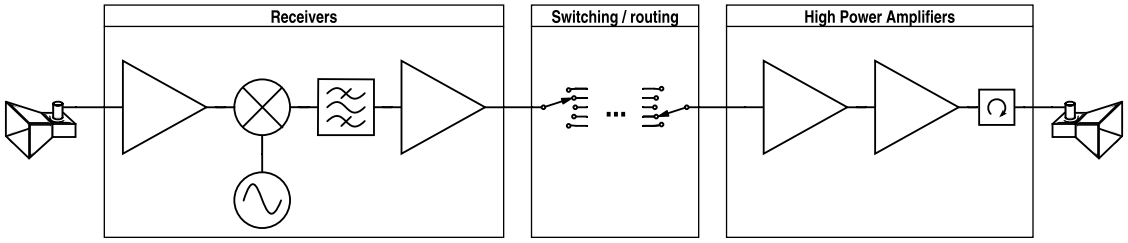


FIGURE 1.1.3 – Chaine radiofréquence typique d'un satellite de télécommunications

Dans un satellite, la « charge utile » désigne l'ensemble des équipements utiles à l'accomplissement de la mission, par opposition à la « plateforme » qui regroupe les fonctions essentielles du satellite : structure, gestion électrique, gestion thermique, télécommande & télémesure, contrôle d'attitude et d'orbite (incluant détermination et propulsion). Dans le cadre d'un satellite de télécommunication, la charge utile est une chaine radiofréquence (RF) qui fonctionne aujourd'hui très majoritairement selon le principe dit du « tuyau coudé » (« *bent pipe* »). Dans cette

approche le signal RF reçu depuis le sol par l'antenne est transposé de fréquence avant d'être renvoyé vers le sol après amplification, tout ceci étant réalisé de façon analogique sans aucune régénération ni numérisation à bord du satellite. Les seuls équipements actifs sur le chemin de signal sont ainsi des amplificateurs (faible bruit côté réception, forte puissance côté émission) ainsi que des transposeurs de fréquence (vers le haut ou le bas) interconnectés par un ensemble de filtres et multiplexeurs. Ces derniers apportent une certaine flexibilité du plan de fréquences et la possibilité de basculement vers un équipement redondant en cas de défaillance, au prix d'un encombrement et d'une complexité de routage des signaux relativement élevés.

Notons tout de même le concept de routage numérique des signaux qui commence à faire son entrée sur le marché : dans ce cas le signal RF de chaque canal de réception est numérisé après amplification à bas bruit et abaissement de fréquence vers la bande de base. La matrice de commutation des signaux est implémentée dans le domaine numérique : n'importe quel canal d'entrée peut être aiguillé vers n'importe quel canal de sortie avec toute la souplesse de routage permise par le logiciel (par exemple « *multicast* » 1 vers N). En sortie du processeur numérique, chaque canal est transposé vers sa fréquence d'émission dédiée puis amplifié par l'amplificateur de puissance. Cette solution apporte une très grande flexibilité au plan de fréquence sans multiplier à outrance les encombrants multiplexeurs RF, ce qui la rend attractive pour les opérateurs satellite.

Dans tous les cas, les principales familles d'équipements actifs analogiques de la chaine RF présentant des besoins spécifiques en terme d'alimentation électrique restent les mêmes : d'une part les récepteurs, d'autre part les amplificateurs de puissance.

1.1.2.2 Récepteurs

FIGURE 1.1.4 – Récepteur RF complet, rassemblant les boitiers de différents éléments (photo THALES ALENIA SPACE)

Le récepteur est le premier équipement actif connecté à l'antenne de réception. Il regroupe

généralement dans le même assemblage mécanique un certain nombre d'étages d'amplification à faible bruit (*Low Noise Amplifier*, LNA) et un abaisseur de fréquence (composé d'un oscillateur local, d'un mélangeur et d'un filtre passe-bande) ainsi que divers autres éléments passifs. Les éléments actifs sont tous de faible puissance, aussi le besoin total n'excède pas quelques dizaines de watts. Par contre, leur diversité fait que cette puissance est répartie inégalement entre plusieurs rails de tensions différentes, dont certains (notamment la polarisation de grille des transistors RF) doivent être à très bas bruit sous peine de polluer le signal utile, d'une puissance extrêmement faible avant le premier étage d'amplification. La taille des éléments RF étant relativement réduite, il est souhaitable que l'alimentation soit également compacte sous peine de constituer l'essentiel de l'encombrement du récepteur complet. La figure 1.1.4 représente un produit de la génération actuelle qui illustre bien cette répartition : le boitier noir contient l'alimentation DC/DC, les interfaces et l'oscillateur local alors que le circuit RF hybride (comprenant amplificateurs, mélangeur et filtres) est entièrement contenu dans le petit boitier argenté vissé dessus.

1.1.2.3 Amplificateurs de puissance

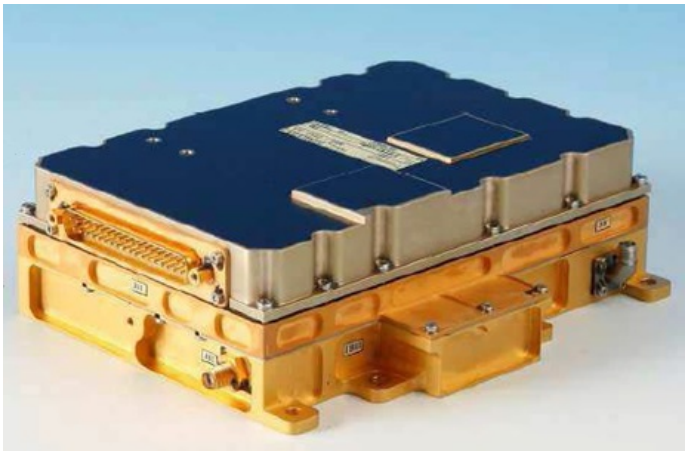


FIGURE 1.1.5 – SSPA complet (photo THALES ALENIA SPACE)

L'amplificateur de puissance est le dernier élément actif avant l'antenne d'émission. Son rôle est d'amplifier le signal à un niveau suffisant pour que la réception au sol soit possible avec des terminaux dotés d'antennes de taille modeste. La technologie la plus ancienne pour réaliser cette amplification de puissance est celle des tubes à ondes progressives (*Travelling Wave Tube Amplifier*, TWTA). Ces amplificateurs utilisent le couplage entre un faisceau d'électrons accélérés et un courant RF circulant dans un conducteur hélicoïdal afin de transférer de l'énergie du premier vers le second. Capables d'opérer à de hautes températures et de fournir des puissances RF voisines de 200 W avec un rendement de 50 à 70% - plutôt élevé pour un amplificateur linéaire RF - ils restent encore aujourd'hui les plus répandus à bord des satellites de télécommunications (où ils représentent d'ailleurs un des derniers bastions des technologies à base de tubes à vide dans l'électronique moderne). Leur principal inconvénient vient des multiples tensions de plusieurs kilovolts nécessaires à leur fonctionnement, rendant délicate la conception de leurs modules

d'alimentation spécifiques (*Electronic Power Conditioner*, EPC). Ceux-ci doivent d'ailleurs être localisés dans une zone thermique contrôlée du satellite, alors que le TWTA est généralement placé sur un panneau extérieur où il peut être directement refroidi par radiation : il est donc nécessaire d'acheminer la haute tension entre les deux éléments.

Plus récemment, des amplificateurs de puissance à transistors (*Solid-State Power Amplifier*, SSPA) sont utilisés. Les générations précédentes, basées sur des HEMT de puissance GaAs et limitées à des puissances relativement faibles (quelques dizaines de watts) sont en passe d'être remplacées par des SSPA à base de HEMT GaN dont le gain sensible en performances (notamment un rendement atteignant les 40 à 50% et une température maximale de jonction >150 °C) en font des concurrents sérieux aux TWTA sur une plage de plus en plus étendue de fréquences et puissances [3]. L'absence de phénomènes tels que l'évaporation du filament est un avantage en terme de fiabilité. Puisque la tension de fonctionnement d'un SSPA est nettement plus basse que celle d'un TWTA - de l'ordre de 10 V en technologie GaAs et 50 V en technologie GaN - la conception d'une alimentation compacte, fiable et de haut rendement est possible. L'encombrement total est d'autant plus réduit que le SSPA et son alimentation peuvent être empilés pour former un équipement monolithique comme représenté sur la figure 1.1.5, où le boitier doré contient la chaine RF et le boitier argenté son alimentation.

1.2 Contraintes spécifiques de l'électronique spatiale

L'électronique embarquée des véhicules spatiaux constitue un domaine relativement spécifique en raison des contraintes inhabituelles auxquelles sont soumis les composants et assemblages, d'intensité cependant variable en fonction de l'orbite, de la mission et de la durée de vie du véhicule. Un satellite de télécommunications géostationnaire moderne est conçu pour un fonctionnement continu pendant plus de 15 ans. Aucune intervention de maintenance du matériel n'est évidemment envisageable, seules des reconfigurations pilotées logiciellement depuis le sol sont possibles. Pour ne rien arranger, avant cette longue phase de vie en orbite survient le lancement, évènement certes bref mais source de sévères sollicitations notamment mécaniques (accélération, vibrations et chocs pyrotechniques lors des séparations) qui doivent donc être prises en compte lors de la conception pour que le satellite y survive en bon état de marche. Ceci explique l'emphase toute particulière placée sur l'assurance qualité dans l'industrie spatiale, qui va bien au-delà des pratiques courantes dans les autres industries électroniques (sauf peut-être en aéronautique). Les composants électroniques qualifiés pour usage spatial sont ainsi testés (individuellement ou par lot) en sortie de chaine de production afin d'assurer un déverminage.

1.2.1 Radiations

L'environnement spatial est notamment caractérisé par un niveau de radiation élevé, dont on ne retrouve guère au sol d'équivalent hors des réacteurs nucléaires et accélérateurs de particules. Cet environnement radiatif nécessite des précautions particulières dans l'emploi des composants semiconducteurs, car divers dysfonctionnements peuvent être induits par l'accumulation lente ou l'injection brutale de charges électriques au sein de leur structure. On distingue généralement

3 grands mécanismes radiatifs d'endommagement [4] qui sont résumés ci-après, avec l'accent mis sur les conséquences touchant particulièrement les convertisseurs de puissance.

1.2.1.1 Dose totale cumulée (TID)

La dose totale cumulée (*Total Ionizing Dose*, TID) désigne l'intégrale du flux radiatif auquel le composant est exposé durant toute sa vie. Ce flux, permanent en orbite, est composé essentiellement de protons et électrons qui viennent se piéger dans la structure du composant. Lorsque ces charges s'accumulent dans un oxyde de grille, par exemple, elles vont tendre à faire dériver des caractéristiques électriques telles que la tension de seuil, la transconductance ou le courant de fuite. Une dérive particulièrement problématique dans le cadre d'une alimentation est celle de la référence de tension à partir de laquelle sont régulées les tensions de sortie. Les composants semiconducteurs spatiaux sont conçus pour être faiblement sensibles à la TID et la dérive de leurs paramètres principaux est caractérisée, restant dans une fourchette maitrisée pour une dose totale donnée. Il n'est évidemment pas imaginable d'effectuer 15 ans de test d'irradiation d'un nouveau composant au sol avant de valider son emploi en vol, aussi cette dose maximale est caractérisée par des tests accélérés d'irradiation gamma (source radioactive ^{60}Co) qui permettent d'atteindre rapidement des doses équivalentes. Depuis quelques années, des tests additionnels à débit de dose réduit sont effectués pour les composants bipolaires car on les a découverts plus sensibles lorsque la dose est absorbée à faible débit (*Enhanced Low-Dose Rate Sensitivity*, ELDRS). Les MOSFET de puissance silicium spatiaux sont typiquement conçus pour une dose absorbée de 100 krad = 1 kGy = 1 $^{kJ}/_{kg}$ qui permet leur emploi sans capot de blindage supplémentaire dans des missions de 15 ans en orbite géostationnaire.

1.2.1.2 Effets singuliers dus aux ions lourds (SEE)

Les effets d'évènements singuliers (*Single Event Effects*, SEE) sont généralement dus au au passage d'un ion lourd très énergétique qui crée un filament de paires électron-trou le long de son trajet dans la structure semiconductrice (cf figure 1.2.1). Selon la localisation de l'impact dans le composant les résultats peuvent être destructifs :

- rupture d'oxyde de grille (*Single Event Gate Rupture*, SEGR),
- court-circuit drain-source d'un MOSFET via l'amorçage de son transistor NPN parasite [5] (*Single Event Burnout*, SEB),
- déclenchement d'un thyristor parasite dans un circuit intégré CMOS à substrat non-isolé (*Single Event Latchup*, SEL).

Il peut au contraire s'agir de simples perturbations transitoires (*Single Event Transient*, SET) telles qu'un pic dans la tension de sortie d'un régulateur ou la modification de la durée d'une impulsion d'un contrôleur PWM : bien que non destructrices pour le composant directement impacté par l'ion, celles-ci restent susceptibles de causer des dégâts importants dans le reste du convertisseur ou ce qu'il alimente. L'énergie cinétique de l'ion incident n'est pas un bon indicateur des dégâts potentiels qu'il peut causer dans la puce : un ion trop énergétique (donc très rapide) peut passer à travers en n'y déposant qu'une faible quantité de charges. Ce sont au final les ions

dont la profondeur de pénétration coïncide avec l'épaisseur de la zone active du composant, y déposant ainsi toute leur énergie, qui sont les plus problématiques. Aussi le paramètre principal utilisé pour caractériser un impact d'ion lourd est l'énergie linéaire déposée par celui-ci dans le silicium (*Linear Energy Transfer*, LET) exprimée en $^{MeV}/_{mg \cdot cm^2}(Si)$ [1]. Les composants peuvent être annoncés immunisés aux SEE jusqu'à une certaine LET : pour un MOSFET de puissance silicium durci, l'ordre de grandeur typique est de $50\,^{\mathrm{MeV}}/_{\mathrm{mg \cdot cm^2}}(Si)$. Les tests de ces composants sont généralement effectués dans un accélérateur de particules - typiquement un cyclotron - avec un ou plusieurs faisceaux d'ions de LET variables, qui ne peuvent néanmoins pas représenter la diversité du cocktail d'ions rencontré en orbite. Une approche émergente consiste à simuler un SEE par laser pulsé, ceci permet notamment de cibler des zones bien spécifiques de la puce afin de mieux comprendre les mécanismes en jeu (cette méthode d'essai est pour l'instant considérée plus complémentaire que substitutive).

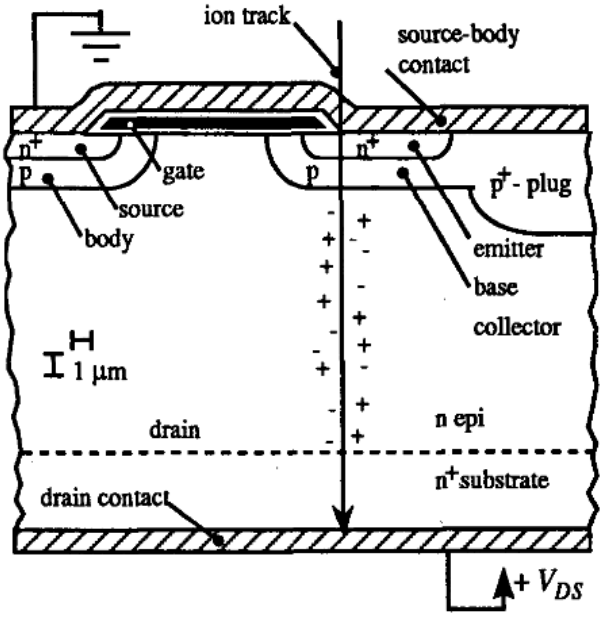


FIGURE 1.2.1 – Trajectoire d'un ion lourd à travers la structure NPN parasite d'un MOSFET de puissance vertical (schéma JOHNSON et al.)

1.2.1.3 Dégâts de déplacement

Les particules énergétiques, plus particulièrement neutrons et protons, sont responsables d'un autre type de dégât dans les semiconducteurs, cette fois d'origine purement cinétique. C'est en effet des défauts dans la matrice cristalline qui sont induits par le déplacement d'atomes suite à l'impact : ces défauts se traduisent en pièges (centres de recombinaison) dans la bande interdite qui réduisent la durée de vie des porteurs de charge minoritaires, phénomène particulièrement problématique dans les composants optoélectroniques [6]. Ainsi les cellules solaires voient leur rendement se dégrader sensiblement au fur et à mesure de la vie du satellite, effet pris en

1. Cette unité complexe est souvent omise dans les documents techniques qui mentionnent juste la valeur numérique du LET

compte lors du dimensionnement initial. Le coefficient de transfert de courant des optocoupleurs chute également de façon importante, ce qui rend indésirable leur utilisation en régime linéaire comme isolateurs analogiques. Ils ne sont donc guère employés pour le retour de tension à travers la barrière secondaire-primaire d'alimentations isolées où ils seraient en temps normal les premiers candidats. Un retour de tension isolé magnétiquement (moins précis) ou une régulation au secondaire (plus complexe) seront donc préférés lors de la conception.

1.2.2 Fiabilité

1.2.2.1 *Derating*

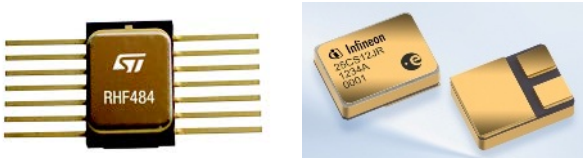
En complément de tests rigoureux des composants pour vérifier leur conformité à la spécification, il est d'usage de prendre une marge de sécurité supplémentaire par l'application d'un sévère « *derating* » (réduction) sur les valeurs maximales autorisées en matière de sollicitations électriques et thermiques du composant. La norme généralement appliquée par les constructeurs européens et attendue par leurs clients opérateurs de satellites est celle éditée par l'European Coordination for Space Standardization (regroupant les agences spatiales et les acteurs industriels du domaine en Europe). Voici quelques exemples notables de *derating* selon la norme ECSS-Q-ST-30-11C [7] :

— pour tous les composants silicium, la température de jonction maximale doit être réduite de 40 °C par rapport à la valeur annoncée par le constructeur et ne pas dépasser en tout cas 110 °C,
— toutes les technologies de condensateurs voient leur tension maximale acceptée réduite à 60% de la valeur annoncée,
— les diodes et transistors bipolaires voient leur tension de blocage réduite à 75% de la valeur annoncée, les FET à 80%.

1.2.2.2 Herméticité

Si les premiers satellites accueillaient l'ensemble de leur électronique dans une enceinte scellée maintenue sous pression atmosphérique, cette approche (très contraignante en termes de masse et d'accessibilité des équipements lors des activités d'intégration et tests) n'est aujourd'hui plus utilisée. Certains équipements ou parties d'équipement (notamment RF) sont réalisés en technologie hybride, c'est-à-dire en reportant par *wire-bonding* des puces nues sur un substrat céramique métallisé qui accueille également des résistances sérigraphiées et d'autres passifs CMS, le tout étant assemblé en salle blanche dans un boitier hermétique. La tendance est néanmoins à favoriser autant que possible les équipements non scellés à base de circuits imprimés multi-couches (typiquement polyimide). Les cartes électroniques sont dans ce cas sujettes à l'intégralité des conditions atmosphériques traversées par le satellite durant la phase de lancement. Afin d'assurer que les propriétés des composants semiconducteurs ne seront pas affectées, la pratique habituelle est de n'utiliser que des puces encapsulées en boitier hermétique à base de céramique, verre et métal (à l'instar de la figure 1.2.2) alors que les boitiers plastiques usuels sont proscrits. Une conséquence directe est un encombrement sensiblement supérieur : un composant

logique CMOS très classique tel qu'une quadruple porte NOR, typiquement disponible en boitier plastique SO-14 (dimensions hors pattes : $4 \times 8,75\,\text{mm}$ max [8]) sera dans sa version spatiale encapsulé dans un boitier céramique FlatPack-14 occupant une surface double (dimensions hors pattes : $7 \times 10\,\text{mm}$ max [9]).



(a) (b)

FIGURE 1.2.2 – Boitiers CMS hermétiques typiques : (a) circuit intégré en FlatPack-14 ; (b) MOSFET de puissance en SMD0.5 (photos STMICROELECTRONICS et INFINEON)

1.2.2.3 Alliage de brasure

Un autre aspect différenciant les composants spatiaux est l'emploi persistant de l'alliage de brasure eutectique $Sn_{63}Pb_{37}$, désormais interdit dans la quasi-totalité des applications par la règlementation européenne RoHS en raison de la toxicité du plomb. Des alliages de brasure à base d'étain sans plomb sont maintenant utilisés en remplacement dans les applications électroniques courantes. Or les surfaces formées par ce type d'alliage sont nettement plus propices à la formation spontanées de « barbes » cristallines d'étain, qui croissent quasi-perpendiculairement à la surface sur plusieurs millimètres et peuvent ainsi créer des court-circuits. Aussi leur emploi est prohibé dans les applications à très haute fiabilité : les normes ECSS exigent l'emploi d'un alliage d'étain contenant au moins 3% en masse de plomb [10].

1.2.3 Thermique

1.2.3.1 Architecture niveau satellite

Les trois mécanismes de transfert thermique sont généralement classés ainsi : conduction (diffusion de la chaleur à travers la matière, mécanisme essentiel dans les solides), convection (déplacement de matière fluide qui emporte avec elle son énergie thermique, généralement prédominante sur la conduction pure dans les liquides et gaz) et radiation (transfert d'énergie sans contact direct, sous forme de rayonnement électromagnétique, typiquement dans l'infrarouge dit « thermique » pour des températures dans la gamme $0 - 1000\,°\text{C}$).

L'approche de la gestion thermique est également très différente de celle généralement employée au sol pour la simple raison de l'absence d'air dans l'espace. Les équipements électroniques, on l'a vu, ne sont pas généralement hermétiquement scellés avec leur propre atmosphère : la convection, qui représente usuellement le plus efficace mécanisme de transfert thermique vers l'environnement, est donc complètement absente. La conduction est le principal moyen de déplacer la chaleur produite par les composants à travers les circuits imprimés puis les parois des boitiers d'équipement et enfin la structure du satellite contre laquelle ces derniers sont plaqués,

mais elle n'apporte évidemment aucune contribution au bilan thermique du satellite dans son ensemble. Seule la radiation est capable d'évacuer une certaine puissance thermique du satellite, sous forme de rayonnement émis vers le vide « froid » de l'espace intersidéral. Les satellites disposent ainsi de parois ou panneaux radiateurs, à la surface fortement émissive dans l'infrarouge, qui sont orientés autant que possible à l'opposé du soleil et des autres astres (y compris la Terre). Pour acheminer la chaleur depuis les panneaux accueillant les équipements jusqu'à ces radiateurs, des caloducs ou des boucles fluides peuvent être utilisées. Les détails de l'architecture de gestion thermique d'une plateforme satellite dépassant le cadre de cette thèse, cet aspect ne sera pas développé plus avant : les problématiques qui nous concernent se situent à l'échelle de l'équipement électronique.

1.2.3.2 Contraintes niveau équipement

Du point de vue du concepteur d'équipement, l'environnement thermique est quasi-complètement défini par la température maximale de la surface sur laquelle le boitier sera monté, celle-ci étant assurée par les architectes thermiques de la plateforme. Ainsi, la température de base typique d'un panneau conçu pour accueillir des équipements électroniques est de 65 °C. Un équipement capable d'être monté dans une zone thermique de température de base plus élevée (85 °C) dispose d'un avantage concurrentiel important car de tels panneaux nécessitent un système de contrôle thermique plus modeste. Bien sûr, le dimensionnement d'un tel équipement est plus exigeant puisque la marge de manœuvre par rapport à la T_j maximale de 110 °C est moitié plus faible. Il s'agit donc, lors de la conception, de s'assurer que la résistance thermique totale entre chaque composant dissipateur et la semelle du boitier est suffisamment faible pour que le pire cas de dissipation maintienne la température sous sa limite. Pour garantir ceci, on emploie généralement un ensemble de moyens :

- le dimensionnement conservateur de la topologie de puissance afin de limiter à quelques watts la dissipation maximale de chaque composant,
- l'emploi de céramiques à bonne conductivité thermique pour la réalisation des boitiers hermétiques,
- l'encapsulation des enroulements de composants magnétiques bobinés dans un bloc de résine,
- le report collé sur le circuit imprimé (adhésif thermoconducteur) des composants dissipatifs montés en surface,
- l'emploi de circuits imprimés comprenant d'épaisses couches internes de cuivre servant de drain thermique,
- la multiplication des points de fixation du circuit imprimé sur la structure voire l'ajout de parois internes dans le boitier (se doublant d'un effet de blindage électromagnétique) comme illustré par la figure 1.2.3,
- si nécessaire, le report vissé directement contre la paroi du boitier traversant des composants les plus dissipatifs comme les diodes et transistors de puissance (visible par exemple dans le coin supérieur de la figure 1.2.3).

FIGURE 1.2.3 – Boitier d'un équipement spatial sans son capot (photo ASP EQUIPMENT)

1.2.4 Autres contraintes industrielles

Les exigences de résistance aux radiations et de très haute fiabilité présentées aux paragraphes précédent impliquent que les composants pour usage spatial sont spécifiquement conçus et qualifiés dans ce but. En termes de volume de ventes, le marché des composants spatiaux est évidemment sans commune mesure avec celui de l'électronique grand public, de l'automobile ou même de l'aéronautique civile. Ceci n'est guère propice à la compétition et la plupart des types de composants semiconducteurs spatiaux sont l'apanage de quelques rares fabricants proposant un catalogue restreint de références. Pour ne rien arranger, les règles américaines d'exportation concernant les composants à potentiel usage militaire sont très restrictives et la grande quantité de documents à renseigner pour assurer leur traçabilité a un impact fort sur les délais d'approvisionnement et les couts de gestion : les fabricants de satellite hors États-Unis cherchent donc autant que possible à se passer de ces composants afin se libérer de ces contraintes lourdes.

Enfin, les quelques composants qualifiés sont généralement d'une technologie moins performante que les dernières générations de composants commerciaux, d'une part en raison des couts et délais de développement et de qualifications mais aussi par nécessité technologique (certaines structures des composants devant parfois être sur-dimensionnées pour les rendre moins sensibles aux radiations). Toutes ces contraintes étant des freins importants à l'innovation, on note une (timide) tendance émergente vers l'utilisation de composants non-hermétiques [11] voire commerciaux « achetés sur étagère » (*Commercial Off The Shelf*, COTS) donc pas spécialement durcis et typiquement encapsulés en plastique. Dans ce cas, des tests extensifs seront effectués par le fabricant de l'équipement pour s'assurer que résistance aux radiations et fiabilité sont suf-

fisantes, ce qui ne rend l'approche rentable que sur des volumes relativement importants, malgré des différences de prix d'achat atteignant aisément deux ordres de grandeur (valeur typique pour les composants semiconducteurs d'électronique de puissance).

Ce prix élevé des composants utilisés conduit à une autre limitation industrielle : en cas de défaillance sur un modèle de vol, le composant défectueux sera généralement remplacé manuellement plutôt que d'envoyer au rebut la carte (et avec elle tous les autres composants encore sains). Ceci, tout comme le besoin récurrent de réglages manuels sur les cartes analogiques (ajustement de valeurs de résistances), conduit à une possibilité d'intégration 3D limitée puisqu'un simple empilement compact de circuits imprimés entraverait déjà l'accessibilité à une majeure partie des composants. Ceci va évidemment à l'encontre de l'objectif, toujours présent, de réduction de masse et de volume et nécessite des compromis lors du développement d'un nouveau produit.

1.3 Le HFET GaN et son intérêt en électronique de puissance spatiale

1.3.1 Matériau GaN

Le GaN est un alliage semiconducteur dit « III-V » puisque composé de gallium et d'azote, issus respectivement des colonnes III et V de la classification périodique. Il est en cela similaire à des matériaux semiconducteurs utilisés depuis longtemps dans l'optoélectronique tels que le l'arséniure de gallium GaAs et le phosphure d'indium InP. Tout comme ces derniers, on peut introduire dans l'alliage des proportions variables d'autres éléments semblables (Al, In) afin de faire varier finement les propriétés (largeur de bande interdite, paramètre de maille) du matériau résultant et permettre la création d'hétérojonctions. On ne sait pas à l'heure actuelle fabriquer des lingots monocristallins de nitrure de gallium de grande taille à un coût raisonnable, aussi les wafers (tranches de matériau semiconducteur) utilisées pour la fabrication de composants GaN sont le plus souvent obtenus par épitaxie d'une mince couche de GaN (de l'ordre du µm) sur un matériau support. Les substrats couramment utilisés sont :

- du saphir Al_2O_3, technologie « *GaN-on-sapphire* » la plus ancienne mais toujours majoritaire pour la réalisation de diodes électroluminescentes,
- du carbure de silicium, technologie « *GaN-on-SiC* » désormais assez mature et utilisée pour les transistors RF de puissance en raison notamment de la haute conductivité thermique du SiC,
- du silicium, technologie « *GaN-on-Si* » plus récente et offrant une perspective de réduction de couts importante en raison de la disponibilité de wafers Si de grande taille et comparativement peu onéreux. Cependant, les paramètres de maille du Si et du GaN étant sensiblement différents, obtenir une couche de GaN thermiquement robuste et à faible densité de défauts nécessite une épitaxie successive de nombreuses couches tampon qui réalisent une adaptation progressive. C'est cette dernière technologie qui est utilisée pour la réalisation de transistors ciblant l'électronique de puissance.

Le GaN fait partie des matériaux semiconducteurs dits « à large bande interdite » en raison de

son énergie de gap $E_g \approx 3,4\,\text{eV}$ sensiblement plus élevée que celle du silicium ($E_g \approx 1,1\,\text{eV}$). Il partage ainsi avec cette famille de matériaux un certain nombre d'avantages sur les semiconducteurs traditionnels, parmi lesquels :

- l'ionisation par les phénomènes radiatifs précédemment mentionnés nécessite plus d'énergie (environ 3 fois plus que dans le silicium) - on s'attend ainsi à ce que les composants en technologie GaN soient naturellement plus résistants aux TID voire aux SEE (ceci est évidemment prometteur pour une application spatiale),
- une énergie de liaison plus élevée (matériau dur à haute température de fusion) ce qui rend moins probables les dégâts de déplacement,
- un champ critique élevé (11 fois supérieur au silicium) - il est donc possible d'obtenir une tenue en tension donnée dans des dimensions plus réduites à structure de composant équivalente,
- une faible densité de porteurs intrinsèques autorisant *a priori* un fonctionnement à des températures plus élevées, mais il est nécessaire de prendre en compte la problématique thermo-mécanique dans le composant complet - et l'exploitation effective de cette capacité reste dans tous les cas conditionnée à l'évolution des normes spatiales pour autoriser des températures de jonction $T_j > 110\,°\text{C}$.

La conductivité thermique du GaN est équivalente à celle du silicium, mais les composants étant en fait réalisés sur une mince couche épitaxiale, il ne fait de toute façon que peu de sens de se pencher sur les propriétés du matériau massif : selon le type de report utilisé, ce sont le substrat ou la structure des électrodes qui vont très largement en conditionner les performances thermiques,

1.3.2 Structure HFET (ou HEMT)

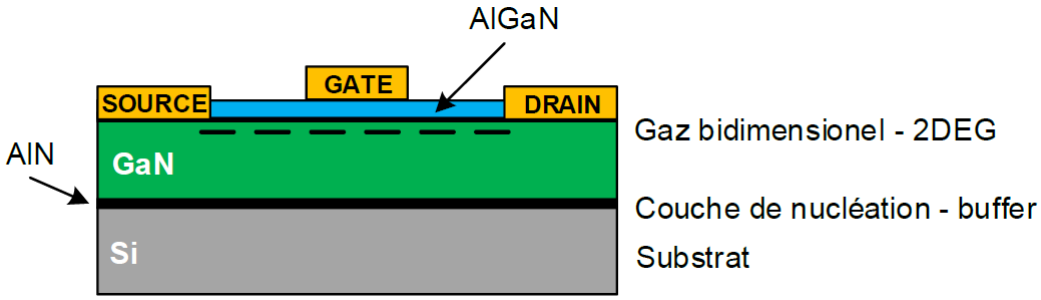


FIGURE 1.3.1 – Structure en coupe d'un HFET GaN-on-Si (schéma N. VIDEAU)

La structure d'un HFET ou HEMT repose tout d'abord sur une hétérojonction entre deux matériaux : dans le cas des HFET GaN il s'agit d'une couche d'AlGaN épitaxiée sur le GaN (lui même déposé via un empilement épitaxial plus ou moins complexe sur le substrat, du silicium dans le cas de la figure 1.3.1). Une différence entre leurs structure de bandes va créer un puits de potentiel électronique à l'interface, formant ainsi une zone de quelques nanomètres d'épaisseur peuplée d'une très grande densité de porteurs que l'on appelle gaz d'électrons bidimensionnel (*2-Dimensional Electron Gas*, 2DEG). Ce gaz étant formé dans un matériau GaN dénué d'atomes

dopants (qui sont autant d'impuretés freinant les électrons) il possède une grande mobilité électronique - à condition néanmoins que l'interface épitaxiée GaN/AlGaN soit de bonne qualité.

Des métallisations source et drain viennent contacter ohmiquement ce gaz d'électrons et en font le canal du transistor. Une grille Schottky est placée au-dessus du canal entre source et drain. La tension qui lui est appliquée vient moduler par effet de champ la densité d'électrons, donc la conductivité, du canal : un FET est ainsi obtenu. Notons qu'une grille isolée (type MOSFET) est également réalisable, mais plus délicate à mettre en œuvre avec la technologie actuelle.

C'est ce type de composant, à canal normalement passant modulé par une tension de grille négative, qui se répand depuis plusieurs années dans les applications RF [12]. Mais, pour la majorité des alimentations à découpage, il est indispensable que les transistors soit normalement bloqués afin de ne pas court-circuiter le bus d'entrée quand le convertisseur n'est pas en fonctionnement. Le 2DEG doit donc être interrompu à l'état de repos, c'est-à-dire en l'absence de polarisation sur la grille. Plusieurs techniques ont été développées pour obtenir une déplétion locale des électrons sous la grille en l'absence de polarisation et rendre ainsi la tension de seuil V_{th} positive : on parle alors de FET GaN à enrichissement (« *enhancement-mode* »).

La bonne tenue en tension du matériau et l'absence de dopage dans le canal permettent de bloquer une tension de plusieurs centaines de volts avec un canal latéral très court (les limitations de tension actuelles proviennent en fait surtout du champ électrique vertical entre canal et substrat). La conductivité élevée du 2DEG permet de concevoir des composants de puissance avec une largeur de canal relativement faible. Ainsi la zone active est de dimensions réduites par rapport à un MOSFET de calibres équivalents, les capacités parasites sont donc mécaniquement inférieures.

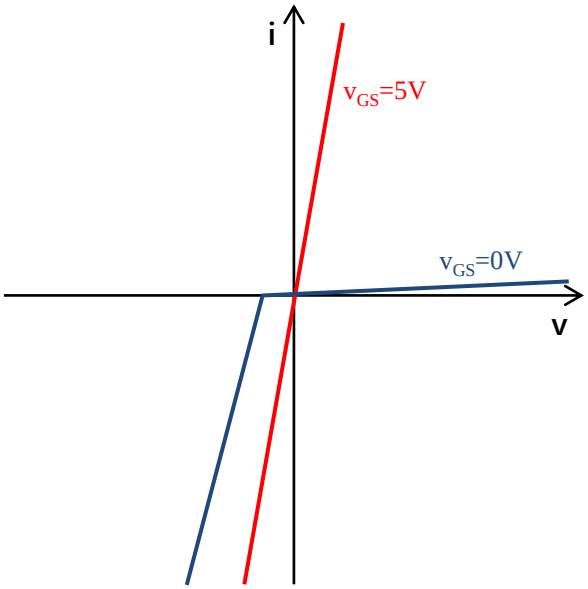


FIGURE 1.3.2 – Caractéristique $I(V)$ d'un HFET

La caractéristique courant-tension d'un HFET, similaire à celle d'un MOSFET, est représentée sur la figure 1.3.2. Contrairement à un MOSFET, la structure du composant ne comprend

pas de diode de corps (jonction PN parasite). Même si dans la pratique la grille est placée plus près de la source que du drain, la structure du canal reste fondamentalement symétrique. Ainsi une conduction inverse est possible alors même que le composant est commandé à l'état bloqué ($V_{GS} = 0$) pour peu que la tension drain-grille V_{GD} excède le seuil d'amorçage V_{th}. On a alors $V_{SD} = -V_{GS} + V_{GD} = V_{th}$: la conduction inverse débute avec une chute de tension égale au seuil d'amorçage. La caractéristique est grossièrement similaire à celle d'une diode, avec une résistance dynamique du même ordre que la résistance passante en conduction directe. Il est donc possible d'utiliser un HFET GaN comme remplacement direct d'un MOSFET dans les nombreuses applications qui utilisent la diode de corps de ce dernier comme « roue libre », au prix de pertes plus élevées si $V_{th} > 0,7\,\mathrm{V}$ (chute de tension usuelle d'une diode de corps de MOSFET). Un avantage notable est que cette conduction inverse est assurée par des porteurs majoritaires, à l'instar de la conduction directe et au contraire de la diode de corps d'un MOSFET : il n'y a donc aucune charge de recouvrement $Q_{rr} = 0$.

Puisque la structure est latérale, toutes les électrodes se trouvent sur la même face de la puce, ce qui facilite un assemblage faible inductance à profil bas (*wire-bonding* non nécessaire). En matière de résistance aux radiations, l'absence d'oxyde de grille confère une quasi-immunité à la TID et aux SEGR. En l'absence de transistor NPN parasite, le mécanisme de SEB est différent du cas du MOSFET : il sera *a priori* dû à un claquage direct drain-source (latéral) ou drain-substrat (vertical). De plus, il n'est pas impossible que la faible épaisseur de zone active ait un impact positif sur la robustesse générale aux SEE, puisqu'elle offre une section efficace limitée aux ions lourds.

1.3.3 Composants utilisés dans cette étude

1.3.3.1 Présentation de la gamme *eGaN*

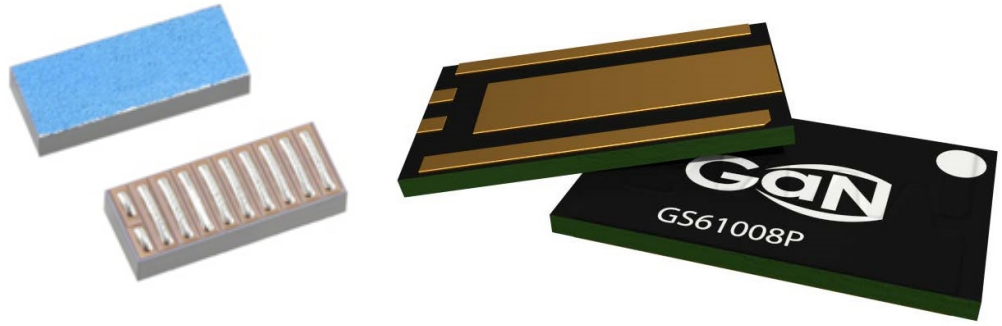
Le premier fabricant à avoir commercialisé des FET GaN normalement bloqués est la jeune entreprise californienne Efficient Power Conversion (EPC), dont les FET « *eGaN* » (pour « *enhancement-mode GaN* ») destinés à la conception d'alimentation ont été disponibles dès 2009 dans la gamme de tensions 40 à 200 V [13]. Les composants utilisés dans ce travail sont les références EPC2001 (100 V), EPC2010 et EPC2012 (200 V) issues de la deuxième génération de cette famille. Suite à un élargissement important de la gamme *eGaN* en 2014 et 2015, elle compte aujourd'hui quelques transistors tenant des tensions plus élevées (jusqu'à 450 V), des jambes de pont composées de deux FET intégrés sur la même puce ainsi que des versions améliorées des références introduites en génération 2. Ces dernières (EPC20xxC) étant apparues assez tard dans le déroulement des travaux présentés ici, elles n'ont pas été considérées.

La documentation fournie par EPC donne peu de détails sur la structure exacte utilisée par leurs transistors, en particulier pour la déplétion du canal ; la lecture de leurs brevets pointe cependant vers l'emploi d'une couche de GaN dopé P sous la grille [14]. Quelle que soit la composition des couches placées sous cette dernière, elle est en tout cas non-isolée de type diode au vu de la caractéristique exponentielle du courant grille-source.

Les composants, réalisés selon un process « GaN-on-Si », sont vendus sous la forme illustrée

en figure 1.3.3(a) : des puces nues passivées dotées de barres (LGA) ou billes de soudure (BGA) à reporter directement en « *flip-chip* » sur circuit imprimé. Ceci élimine les couts, l'encombrement, la complexité et l'inductance parasite associés avec un boitier. S'il est clair que cette approche est inhabituelle pour les produits industriels spatiaux, la problématique de la technologie de report à adopter pour y intégrer des composants de la famille *eGaN* sort du cadre de cette thèse. A titre indicatif, différentes solutions envisageables pourraient être :

— puce reportée telle quelle sur le circuit imprimé en considérant sa passivation comme une protection suffisante,
— puce individuellement ou collectivement recouverte par de la résine une fois reportée sur la carte, procédé « glob top » récemment étudié pour la réalisation de circuits RF non-hermétiques [15],
— puce encapsulée dans un boitier hermétique, suivant l'approche traditionnelle du secteur.



(a) (b)

FIGURE 1.3.3 – HFET GaN de puissance commercialement disponibles début 2015 : (a) EPC *eGaN* ; (b) GAN SYSTEMS *GaNpx*

Il est intéressant de noter que, si EPC était seul sur le marché au début de cette étude, quelques autres fabricants ont depuis commencé la commercialisation de leur technologie de composants GaN à destination du marché de l'électronique de puissance, chacun avec une approche différente :

— la start-up canadienne GAN SYSTEMS propose des composants 100 V et 650 V dans un « boitier » faible inductance réalisé en technologie PCB, désigné comme *GaNpx* et représenté sur la figure 1.3.3(b),
— le groupe japonais PANASONIC offre des échantillons de composants 600 V en boitier TO-220 et développe des références en boitier CMS,
— d'autres fabricants encore (comme TRANSPHORM) combinent un HFET GaN à canal normalement passant avec un MOSFET silicium dans une configuration cascode : cette approche n'est pas pertinente pour une application spatiale, la présence du MOSFET neutralisant l'intérêt de la résistance aux radiations du HFET GaN,
— enfin, TEXAS INSTRUMENTS a introduit courant 2015 un boitier QFN intégrant deux puces HFET GaN 80 V (très probablement fabriquées par EPC) et leur circuit de pilotage, suivant le concept « DrMOS ». Ce premier produit proposé par un des poids lourds de la

conversion DC/DC basse tension est un signal clair des promesses de la technologie GaN sur le marché commercial.

1.3.3.2 Note sur le symbole électrique employé

Le symbole le plus souvent utilisé pour un HEMT à usage RF est identique à celui d'un JFET. Ce symbole représente bien un transistor à effet de champ dont le contact de grille est une jonction non-isolée. Le principal problème est que les JFET sont uniquement des composants à déplétion : la non-continuité du canal à polarisation nulle, propriété fondamentale du HFET GaN à enrichissement, ne serait pas représentée par ce symbole.

Le choix d'Efficient Power Conversion est d'employer le symbole d'un MOSFET à canal N pour ses composants *eGaN*. Ce dernier composant régnant aujourd'hui en maitre incontesté sur les applications basse tension, réutiliser son symbole est une logique commerciale compréhensible qui identifie visuellement le FET *eGaN* comme un remplaçant direct, sans déranger les habitudes des concepteurs d'alimentation. Bien sûr, le dessin de la grille comme isolée (trait séparé du canal) est fondamentalement erronée. L'éventuelle représentation de la diode inverse [2], physiquement inexistante mais fonctionnellement présente dans un HFET, se trouve également très discutable. Le symbole du MOSFET de puissance a néanmoins les avantages de faire apparaître le canal comme discontinu et de matérialiser le contact électrique au substrat - même si pour le fonctionnement d'un HFET la connexion source-substrat n'est pas indispensable (ni même intrinsèque à la puce pour la gamme *eGaN* : elle est à réaliser sur le circuit imprimé, via une bille de soudure dédiée au contact substrat).

Deux options de symboles plus appropriés sont donc proposés sur la figure 1.3.4. La première correspond simplement à un symbole de JFET à canal discontinu alors que la deuxième représente explicitement le substrat comme entité séparée du 2DEG (ici dessiné directement court-circuité à la source, mais pour un *eGaN* il devrait plutôt être une quatrième électrode indépendante).

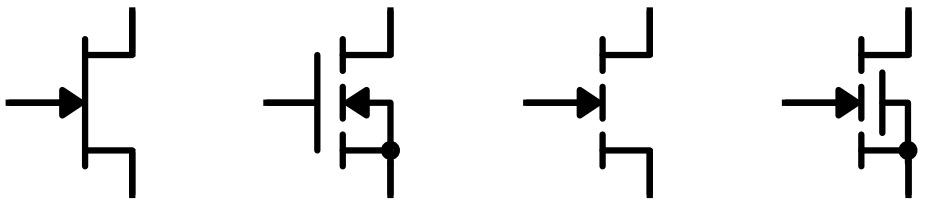


Figure 1.3.4 – Symboles électriques de FET à canal N : (a) JFET ; (b) MOSFET ; (c)-(d) propositions pour HFET à enrichissement

Dans ce document, les schémas de principe des topologies DC/DC seront dessinés avec des

2. Notons d'ailleurs que le dessin de cette diode antiparallèle sur le symbole de MOSFET n'est pas du tout systématique, étant donné qu'il est redondant avec la flèche pointant du substrat vers le canal. On comprend néanmoins facilement l'intérêt de l'expliciter en électronique de puissance : des diverses technologies d'interrupteurs employées, le MOSFET est la seule à posséder cette caractéristique intrinsèque de diode en conduction inverse (qui, souvent nécessaire, doit être réalisée par un composant discret avec les autres technologies).

symboles de MOSFET à canal N. Pour des raisons pratiques, c'est le symbole d'un JFET à déplétion qui sera employé pour représenter spécifiquement un HFET (sauf dans les schémas de simulation, les modèles SPICE fournis par EPC utilisant évidemment un symbole de MOSFET).

1.3.3.3 Performances électriques

Composant	EPC2001	IRFH7191	FDMS86101DC	IRHNA67160
Technologie	HFET GaN	MOSFET Si	MOSFET Si	MOSFET Si durci
$R_{DS(on)}$ typ	$5,6\,\mathrm{m\Omega}$	$6,2\,\mathrm{m\Omega}$	$6\,\mathrm{m\Omega}$	$8\,\mathrm{m\Omega}$
$V_{GS(th)}$	$0,7-2,5\,\mathrm{V}$	$2,0-3,6\,\mathrm{V}$	$2,0-4,0\,\mathrm{V}$	$2,0-4,0\,\mathrm{V}$
Q_G typ	$8\,\mathrm{nC}$	$26\,\mathrm{nC}$	$31\,\mathrm{nC}$	$120\,\mathrm{nC}$
$R_{DS(on)} \times Q_G$	$45\,\mathrm{p\Omega \cdot C}$	$161\,\mathrm{p\Omega \cdot C}$	$186\,\mathrm{p\Omega \cdot C}$	$960\,\mathrm{p\Omega \cdot C}$
E_G typ	$20\,\mathrm{nJ}$	$130\,\mathrm{nJ}$	$155\,\mathrm{nJ}$	$600\,\mathrm{nJ}$
$R_{DS(on)} \times E_G$	$112\,\mathrm{p\Omega \cdot J}$	$806\,\mathrm{p\Omega \cdot J}$	$930\,\mathrm{p\Omega \cdot J}$	$4800\,\mathrm{p\Omega \cdot J}$
Boitier	LGA flip-chip	PQFN	PQFN	SMD2
Dimensions	$4,1 \times 1,4\,\mathrm{mm}$	$6 \times 5\,\mathrm{mm}$	$6 \times 5\,\mathrm{mm}$	$17,5 \times 13\,\mathrm{mm}$
Surface	$< 6\,\mathrm{mm}^2$	$30\,\mathrm{mm}^2$	$30\,\mathrm{mm}^2$	$> 220\,\mathrm{mm}^2$

TABLE 1.3.1 – Comparaison des principales caractéristiques d'un FET GaN et de MOSFET silicium ($V_{DS(max)} = 100\,\mathrm{V}$)

La table 1.3.1 présente une comparaison d'un composant *eGaN* 100 V utilisé dans cette étude avec des MOSFET silicium 100 V de résistance passante similaire, représentant l'état de l'art aujourd'hui disponible sur le marché commercial d'une part et celui des composants spatiaux durcis d'autre part (issus des catalogues FAIRCHILD et INTERNATIONAL RECTIFIER). On peut constater l'avantage net du HFET GaN en termes de charge de grille Q_G qui se traduit directement par une valeur sensiblement plus basse (i.e. meilleure) de la figure de mérite $R_{DS(on)} \times Q_G$ généralement employée pour comparer des technologies de transistors de puissance.

Cependant, se contenter de la seule comparaison des valeurs de Q_G entre ces deux technologies serait passer à côté d'une différence de taille : la tension V_{drive} de commande de grille de seulement 5 V, au lieu des 10 à 12 V nécessaires pour atteindre le $R_{DS(on)}$ spécifié avec un MOSFET silicium. Il en résulte en une énergie capacitive stockée dans la grille $E_G = {}^1\!/_2 \times Q_G \times V_{drive}$ d'autant plus inférieure, calculée dans le tableau 1.3.1 pour les MOSFET avec $V_{drive} = 10\,\mathrm{V}$ et pour les HFET avec $V_{drive} = 5\,\mathrm{V}$. Les données du tableau incluent également une figure de mérite alternative $R_{DS(on)} \times E_G$ qui, tout en restant simple, est plus adaptée à la comparaison de composants dont la grille n'est pas commandée avec la même tension : pour les HFET GaN, cette figure de mérite est environ 7 fois meilleure que pour les MOSFET état de l'art commerciaux et 43 fois meilleure que pour le MOSFET durci.

L'avantage en termes de pertes par commutation est double. D'une part la puissance dissipée par la commande de grille est réduite : par exemple à une fréquence de découpage $f_{sw} = 1\,\mathrm{MHz}$, la commande d'un IRFH7191 (MOSFET silicium) consomme 130 mW alors que celle d'un EPC2001 (HFET GaN) consomme seulement 20 mW. D'autre part la grille peut être chargée et déchargée plus rapidement ce qui réduit le temps passé par le canal dans une zone de comportement linéaire (très dissipatif) lors des commutations « dures ».

Il existe cependant un aspect sur lequel la faible capacité de grille est une contrainte. La caractéristique de courant grille-source des FET *eGaN* étant exponentielle, dépasser 6 V même transitoirement constitue un risque d'endommagement thermique irréversible : la marge est bien plus faible qu'avec une grille de MOSFET (qui tolère généralement 20 ou 30 V). La maille de commande peut être modélisée par un circuit RLC formé de la somme des résistances présentes sur la boucle, l'inductance totale de la boucle et la capacité grille-source du HFET GaN. L'impédance caractéristique doit respecter $Z_c = \sqrt{\frac{L}{C}} < \frac{R}{2}$ pour que ce circuit présente une réponse amortie à un échelon de tension, c'est-à-dire ne pas connaitre de sur-oscillation (qui risquerait d'excéder 6 V et détruire le composant). Puisque la capacité grille-source est faible, l'inductance de la maille de commande doit être minimisée afin de respecter cette condition (généralement une résistance série supplémentaire de quelques Ω devra tout de même être insérée). Pour obtenir cette très faible inductance, la commande des transistors *eGaN* se fera en pratique presque toujours avec un circuit intégré de pilotage de grille rapproché qui va, dans la plupart des configurations, venir atténuer le gain en encombrement du composant seul et augmenter la complexité du circuit.

1.3.3.4 Résistance aux radiations

Des essais de résistance aux radiations ont été menés sur des composants de la gamme *eGaN*, à l'instigation de Microsemi qui a mené un programme avec EPC pour les introduire dans son offre de produits spatiaux.

Les résultats montrent une tenue exceptionnelle à la TID, les tests effectués sur différents composants ayant atteint des doses allant de 700 krad à 1 Mrad en n'observant que des dérives contenues dans les bornes spécifiées. Une irradiation à faible débit de dose ($0,1\,{}^{\mathrm{rad}}/_{\mathrm{s}}$) menée jusqu'à 100 krad sur une référence n'a pas décelé d'effet ELDRS et une importante exposition aux neutrons (fluence de $10^{15}\,{}^{\mathrm{n}}/_{\mathrm{cm^2}}$) n'a pas non plus mis en évidence de dégâts de déplacement [16].

Des essais d'irradiation aux ions lourds effectués sur la première génération de composants avaient donné des résultats encourageants avec une absence totale de SEGR et pas de SEB sous une tension $V_{DS} < 100$ V. La deuxième génération, qui l'a complètement supplantée, a introduit quelques améliorations de process résultant en une immunité aux SEB jusqu'à 190 V pour les FET 200 V sous un bombardement d'ions Au avec un LET de $87,2\,{}^{\mathrm{MeV}}/_{\mathrm{mg\cdot cm^2}}(Si)$, plus sévère que celle généralement utilisée pour la qualification de MOSFET de puissance [17].

Au vu de ces résultats, il semble que la famille de FET *eGaN* concrétise bien les promesses de grande robustesse aux radiations du HFET GaN présentées dans la section précédente. Leur emploi dans des alimentations spatiales, en remplacement des MOSFET de puissance silicium durcis aux radiations auxquels ils sont électriquement bien supérieurs, est donc pertinent.

1.4 Augmentation de la fréquence de découpage des alimentations

1.4.1 Raisons et limitations de la montée en fréquence

En électronique de puissance, il est généralement accepté qu'une augmentation de la fréquence de découpage f_{sw} permet de réduire la taille des alimentations DC/DC. Le stockage de l'énergie transférée à chaque période de découpage est en effet assuré par des composants passifs réactifs (condensateurs, inductances) dont les dimensions sont directement liées à la quantité d'énergie qu'ils sont capables d'accumuler : il existe donc une relation inverse entre la fréquence de découpage d'une alimentation et l'encombrement d'une grande partie de ses composants.

Cette approche de premier ordre se basant uniquement sur l'énergie stockée est quelque peu restreinte. Elle ne prend pas en compte d'autres problématiques, qui tendent à modérer (voire dans certains cas annuler) cette conséquence positive d'une augmentation de fréquence :

— la taille des composants actifs de puissance comme des circuits auxiliaires ne suit pas forcément la même évolution que les passifs,

— un certain nombre de mécanismes de pertes augmentent avec la fréquence, certains proportionnellement (pertes par commutation dans les transistors) et certains plus rapidement encore (pertes fer dans les noyaux magnétiques mais aussi pertes cuivre dans les enroulements) en impactant grandement le rendement,

— même à pertes égales, augmenter la densité de puissance réduit mécaniquement la surface d'échange thermique avec l'extérieur et exacerbe le problème de la gestion thermique (se traduisant le plus souvent par la nécessité d'augmenter la taille du système de refroidissement),

— les normes à respecter en termes d'émissions électromagnétiques conduites définissent des gabarits d'amplitude maximale très variable selon la plage de fréquences.

L'introduction des FET GaN apporte une réponse partielle aux deux premiers points. On l'a vu, ils sont d'un encombrement sensiblement inférieur à celui des MOSFET de puissance qu'ils remplacent. Par ailleurs leurs pertes de commutation sont plus faibles à fréquence identique et permettent de travailler à fréquence plus élevée en conservant le même niveau de pertes. Un problème majeur reste cependant celui des pertes haute fréquence (fer et cuivre) dans les composants magnétiques, dont la technologie est loin d'évoluer à la même vitesse que l'industrie du semi-conducteur.

Le dernier point, concernant les émissions électromagnétiques, mérite une discussion plus détaillée.

1.4.2 Considérations de compatibilité électromagnétique

1.4.2.1 Ondulation de courant et filtre d'entrée

De par leur fonctionnement « haché », toutes les alimentations à découpage induisent une certaine ondulation à la fois sur le courant qu'elles consomment en entrée et sur la tension qu'elles produisent en sortie. Cette ondulation se retrouve essentiellement à la fréquence de découpage ou

un multiple, selon la topologie employée (l'entrelacement de n cellules élémentaires de conversion aura pour effet d'augmenter cette fréquence d'ondulation d'un facteur n).

L'ondulation de courant d'entrée s'apparente à l'injection, sur les fils de la source, d'un bruit (« émission conduite ») potentiellement perturbateur pour d'autres équipements alimentés par la même source. Que ce soit le réseau secteur ou le bus électrique d'une plateforme satellite, chaque type de réseau de distribution de puissance est couvert par une norme qui spécifie l'ondulation maximale admise en entrée des équipements qui y sont raccordés, généralement dans le domaine fréquentiel à l'aide de gabarits allant de quelques kHz jusqu'à plusieurs dizaines de MHz. Afin d'atténuer l'ondulation à une valeur inférieure à la limite de la norme, un filtre d'entrée doit être inséré en amont du convertisseur dans la quasi-totalité des cas. Ce filtre est le plus souvent un simple LC dont l'atténuation est de $-40\,\mathrm{dB}$/décade à partir de sa fréquence de coupure. Quand le besoin de filtrage est important, il n'est pas rare de rencontrer des filtres à plusieurs étages à la pente d'atténuation plus « raide » mais qui présentent l'inconvénient d'un amortissement plus délicat.

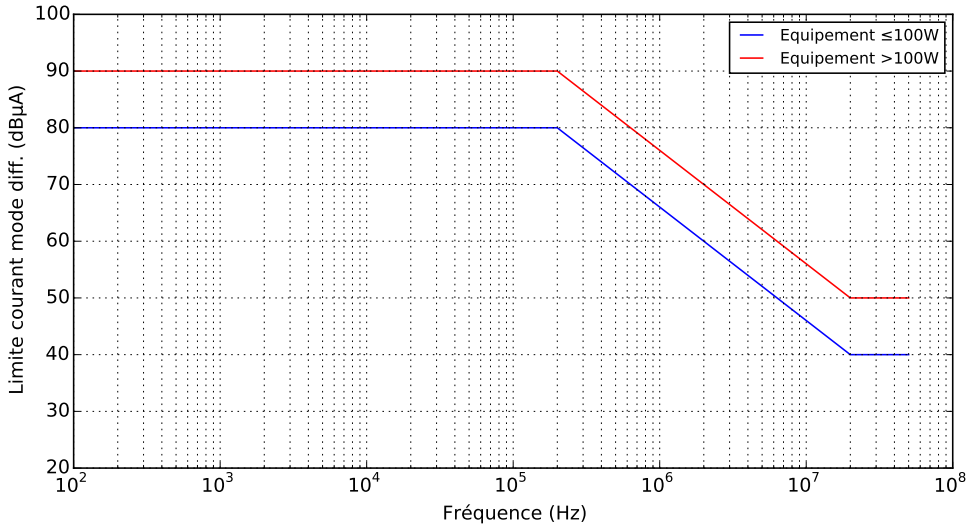


FIGURE 1.4.1 – Gabarits d'émissions conduites en entrée typiques de plateforme satellite

Il est alors intuitif que pour un filtre LC d'entrée donné, augmenter la fréquence de découpage résulte en une augmentation de la marge par rapport à l'amplitude maximale autorisée par le gabarit - du moment que celle-ci ne décroit pas elle-même avec la fréquence selon une pente supérieure à $-40\,\mathrm{dB}$/décade. Par exemple, si le gabarit décroit à $-20\,\mathrm{dB}$/décade, augmenter la fréquence de découpage d'une décade fera gagner $20\,\mathrm{dB}$ de marge par rapport au gabarit. Si le but n'est pas de gagner en marge mais de réduire l'encombrement du convertisseur, il est possible de redimensionner le filtre LC en plaçant sa fréquence de coupure une demi-décade plus haut : on aura alors bel et bien gagné sur son dimensionnement, mais sans que la fréquence de coupure puisse augmenter autant que la fréquence de découpage.

Contrairement aux normes internationales pour les applications terrestres (alimentées depuis le secteur) aujourd'hui bien harmonisées, dans le domaine spatial chaque fabricant de plateforme

de satellites de télécommunications a ses propres normes : la conception d'une alimentation embarquable sur toutes les principales plateformes du marché implique de respecter la plus sévère d'entre elles, représentée sur la figure 1.4.1.

1.4.2.2 Vitesse de commutation et mode commun

Comme précédemment exposé, le principal avantage des HFET GaN par rapport aux MOSFET silicium en termes de caractéristiques électriques est que l'ensemble de leurs capacités parasites sont inférieures. La vitesse de commutation supérieure qui en résulte correspond à des changements rapides de la tension au bornes des composants. Dans une alimentation dont l'entrée ou la sortie sont isolées du châssis, de tels $\frac{dV}{dt}$ induisent par couplage capacitif avec ce dernier des courants qui peuvent être non négligeables. Contrairement au bruit évoqué précédemment, nommé de mode différentiel car il circule entre les bornes positives et négatives, ce courant capacitif est de mode commun puisque son conducteur « retour » est le châssis (cf figure figure 1.4.2). Le $\frac{dV}{dt}$ obtenu à l'aide de transistors GaN peut aisément dépasser $10\,\mathrm{V/ns}$, valeur pour laquelle un courant de $100\,\mathrm{mA}$ est induit à travers une capacité parasite de seulement $10\,\mathrm{pF}$. Cette vitesse de commutation peut donc s'avérer pénalisante en termes d'émissions de mode commun. On peut cependant considérer que cet inconvénient est compensé par la plus petite taille du transistor GaN et des passifs nécessaires à haute fréquence de découpage. En effet, dans une alimentation classique, les principaux couplages capacitifs parasites sont précisément dus aux MOSFET de puissance (refroidis via un contact de drain imposant souvent plaqué au châssis) et au transformateur.

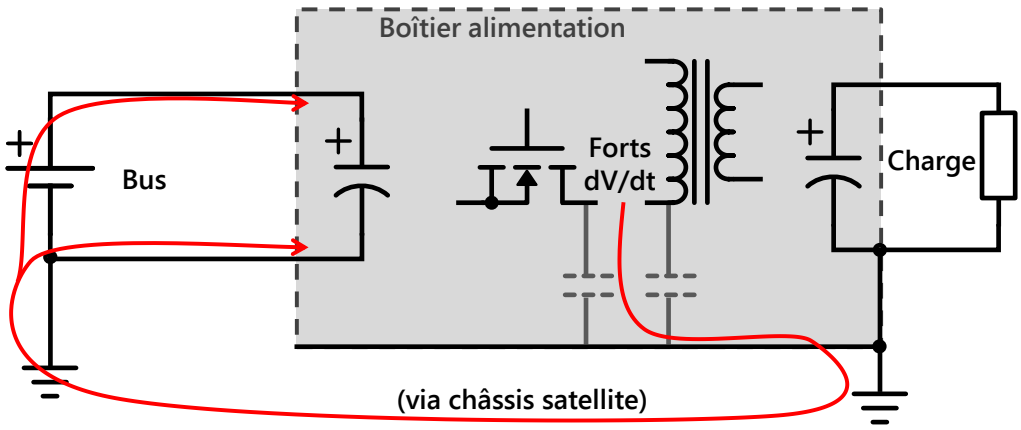


FIGURE 1.4.2 – Chemin des courants de mode commun

Dans les alimentations d'équipements satellite, la borne négative du secondaire est connectée au boitier de l'équipement (donc au châssis du satellite) : le courant de mode commun ne peut exister côté sortie, il s'agira toujours de mode différentiel. Le côté primaire de l'alimentation, par contre, est isolé du châssis et il convient donc de filtrer suffisamment au niveau de l'entrée afin de ne pas polluer le bus avec ces émission conduites de mode commun. On notera que, pour les plateformes de satellite, le gabarit d'amplitude maximale autorisée en mode commun est typiquement similaire à celui de mode différentiel.

1.4.3 Alimentations à haute fréquence de découpage basées sur des FET GaN

Le but des présents travaux est d'évaluer dans quelle mesure l'emploi de HFET GaN permet de réduire l'encombrement ou d'améliorer le rendement de convertisseurs DC/DC isolés pour la problématique bien spécifique de l'alimentation de certains équipements de satellites. Bien que la littérature existante couvre principalement les applications de la technologie GaN à l'électronique de puissance dans des environnements plus classiques, il reste intéressant d'en faire un rapide tour d'horizon en guise de conclusion de cette mise en contexte.

1.4.3.1 Travaux à base de transistors non-commerciaux

Avant la commercialisation des premiers FET GaN réellement conçus pour les alimentations à découpage, le potentiel de la technologie était évident et des résultats encourageants étaient déjà rapportés par plusieurs laboratoires dotés des moyens de réaliser des prototypes de transistors GaN. Dans ces travaux, ils étaient généralement mis en œuvre dans une cellule de conversion boost où le transistor, simplement accompagné d'une diode Schottky et d'une inductance, peut être facilement commandé puisque référencé à la masse.

Ainsi en 2008, une équipe de Toshiba rapporte un rendement entre 90% et 95% sur la plage $20 - 120\,\mathrm{W}$ avec un composant *GaN-on-sapphire* dans un convertisseur boost découpant à $1\,\mathrm{MHz}$ et délivrant une tension de $350\,\mathrm{V}$ [18]. La même année, une équipe de Cree utilise un transistor fabriqué selon leur technologie de HEMT RF *GaN-on-SiC* (normalement passant) pour réaliser un convertisseur boost $175\,\mathrm{V} \rightarrow 300\,\mathrm{V}$. A une fréquence de commutation de $1\,\mathrm{MHz}$, le rendement obtenu dépasse 97% sur la plage $50 - 300\,\mathrm{W}$ [19]. Les deux années suivantes, des transistors *GaN-on-Si* normalement bloqués développés aux HRL Laboratories et à l'imec sont à leur tour mis en œuvre dans des convertisseurs boost opérant à plusieurs centaines de kilohertz et quelques centaines de volts [20, 21]. Les rendements atteints dans ces conditions expérimentales dépassent les 90%.

1.4.3.2 Convertisseurs basés sur la famille *eGaN*

La disponibilité commerciale des transistors de la famille *eGaN* a marqué une étape importante. De la réalisation de composants et leur évaluation dans la structure de conversion la plus simple, le champ de recherche a pu s'orienter vers l'emploi de ces transistors dans le développement de convertisseurs aux topologies plus sophistiquées en s'ouvrant à des équipes d'électroniciens de puissance n'étant pas forcément adossées à des plateformes technologiques de fabrication de semiconducteurs.

Concernant les topologies non isolées, donc pas directement d'intérêt dans le cadre de notre étude, on notera tout de même des travaux portant sur des convertisseurs buck à une ou plusieurs phases [22, 23] qui mettent une emphase particulière sur les aspects pratiques de la mise en œuvre - notamment l'optimisation du routage des mailles haute fréquence (commande d'une part et puissance d'autre part) afin de minimiser leurs inductances parasites. Ces problématiques sont communes à la majorité des topologies et il faudra tout autant en tenir compte dans des convertisseurs isolés pour maximiser la vitesse de commutation et minimiser les surtensions

subies par les transistors.

Du côté des topologies isolées, [24] propose une approche originale de flyback très bas profil basé sur un transformateur plan sans noyau (réalisé en technologie PCB) et un interrupteur cascode utilisant un FET *eGaN* comme transistor basse tension pour commander un MOSFET silicium 600 V avec peu de pertes par pilotage de grille à des fréquences autour de 3 MHz.

Dans [25], un convertisseur Dual Active Bridge (DAB) 150 V → 12 V de 150 W atteint un rendement supérieur à 94% en découpant à 1 MHz, remarquablement élevé pour un tel couple tension / fréquence. Ceci met en évidence l'intérêt de composants à faibles capacités parasites, même dans les topologies à commutations douces.

Une alimentation résonante LLC 48 V → 12 V 300 W, application télécom typique, est présentée dans [26] sous deux versions découpant à 500 kHz : l'une utilise des MOSFET silicium et l'autre des HFET GaN. En utilisant 4 transistors en parallèle pour réaliser les redresseurs synchrones, cette dernière version reste au-dessus de 96% dans toute la gamme $60 - 300$ W avec un maximum à 97,5%. Le gain par rapport à la version silicium est cependant modéré (0,3%) ce que les auteurs expliquent par la prépondérance des pertes dans le transformateur qui restent inchangées. On voit là ressortir un thème récurrent de l'augmentation du rendement et de la densité de puissance des convertisseurs DC/DC : les éléments magnétiques restent souvent un point délicat en terme de maitrise des pertes.

Le même type de cahier des charges est approché dans [27] avec une topologie pont complet à transformateur planar intégré, sans inductance externe. Les résultats expérimentaux montrent qu'il est possible de remplacer des MOSFET silicium découpant à 800 kHz par des FET *eGaN* à $1,6$ MHz et obtenir un rendement égal ou supérieur de 1 à 2%, dépassant ainsi les 96% sur la plage $100 - 350$ W. La possibilité mise en avant par ces travaux de se passer de composants magnétiques séparés en exploitant les parasites du transformateur pour réaliser une inductance (de valeur suffisante vu la fréquence de découpage élevée) est *a priori* séduisante d'un point de vue industriel, bien que ce type d'intégration recèle souvent des compromis de conception qu'il s'agit de bien identifier.

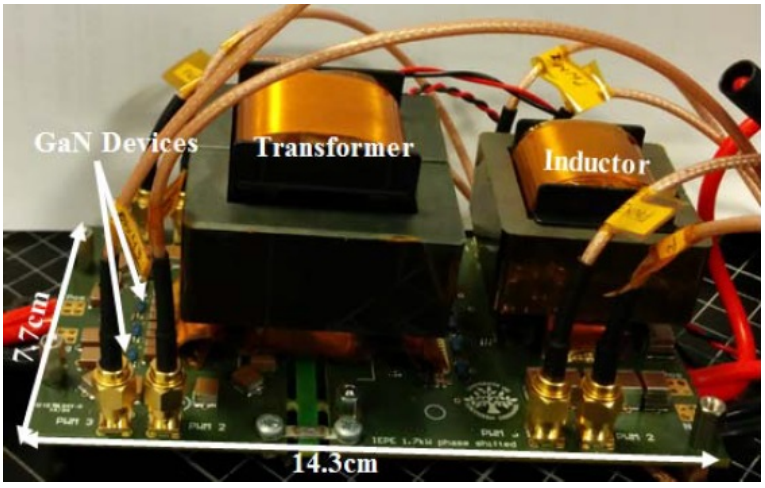


FIGURE 1.4.3 – Prototype de convertisseur PSFB 1 kW (photo RAMACHANDRAN et al)

Le pont complet à déphasage (*Phase Shift Full Bridge*, PSFB) de [28] est remarquable par la différence de son approche : une fréquence de découpage très basse, seulement 50 kHz, est choisie pour ce convertisseur 130 V → 52 V de 1 kW. Ceci lui permet d'atteindre jusqu'à 98,8% de rendement, au prix d'un volume d'éléments magnétiques (transformateur et inductance de sortie) qui domine très largement celui du reste des composants, comme le montre la figure 1.4.3.

Enfin il est intéressant de remarquer que, malgré leur petite taille, les HFET GaN disponibles aujourd'hui ne sont pas forcément limités à des applications de quelques centaines de watts, pour peu qu'ils soient mis en œuvre de façon pertinente. Un convertisseur bidirectionnel isolé 10 kW à fort rapport de transformation (540 V → 28 V) pour application aéronautique est présenté dans [29]. Sa topologie multicellulaire sophistiquée utilise un coupleur magnétique pour interconnecter 2×4 phases à base de MOSFET SiC 1200 V à autant de cellules de redressement basse tension comptant chacune 2 HFET GaN en parallèle. La fréquence de découpage de chaque phase est de 100 kHz, elle résulte en une fréquence apparente (vue par les filtres) de 400 kHz ou 800 kHz selon la configuration.

On peut conclure cette revue en affirmant que l'apparition récente de HFET GaN adaptés à l'électronique de puissance permet d'envisager des gains en rendement ou en densité de puissance sur une gamme de topologies DC/DC plus ou moins classiques, en donnant au concepteur d'alimentations - et tout spécialement d'alimentations spatiales - de nouveaux outils prometteurs qu'il s'agit d'exploiter au mieux.

Chapitre 2

Modélisation du HFET GaN et caractérisation de ses pertes par commutation dans les structures en pont

2.1 Modèle électrique du HFET GaN

Lors des travaux de dimensionnement de convertisseur menés dans le cadre de cette thèse, le besoin de disposer de données de bonne qualité sur les pertes (particulièrement par commutation) dans les HFET *eGaN* s'est fait clairement ressentir.

En effet, si le HFET GaN présente des capacités parasites faibles engendrant des pertes par commutation réduites par rapport à d'autres types de transistors, celles-ci ne sont pas nulles pour autant. Pour le dimensionnement correct d'une alimentation, à plus forte raison lorsqu'on cherche à explorer le domaine des fréquences de découpage élevées, il est nécessaire de savoir estimer ces pertes avec une précision adéquate. Si l'étude portant dessus et présentée dans ce chapitre n'a pas chronologiquement été menée au début du travail de thèse, son importance majeure justifie de l'aborder en premier.

2.1.1 Modèle circuit du composant

Le point de départ est de déterminer un modèle électrique représentatif du comportement du composant et de ses principaux parasites. Au vu des grandes similarités de leurs modes de fonctionnement, il n'est pas étonnant que le circuit employé pour modéliser le comportement électrique d'un HFET GaN soit semblable à celui traditionnellement utilisé pour un MOSFET.

La figure 2.1.1 représente le sous-circuit SPICE utilisé dans les modèles fournis par Efficient Power Conversion pour leurs transistors *eGaN*[1] [30]. On y distingue :

1. D'ailleurs repris à quelques modifications près par GaN Systems pour leurs propres produits.

— une source de courant entre drain et source commandée par les tensions v_{DS} et v_{GS}, représentant le canal à proprement parler,
— une paire de sources de courant grille-source et grille-drain (non représentées ici) dont la caractéristique $i(v)$ exponentielle modélise la jonction de grille non-isolée,
— trois capacités parasites inter-électrodes entre grille, source et drain,
— une résistance parasite de grille R_G,
— deux résistances parasites de source et de drain R_S et R_D.

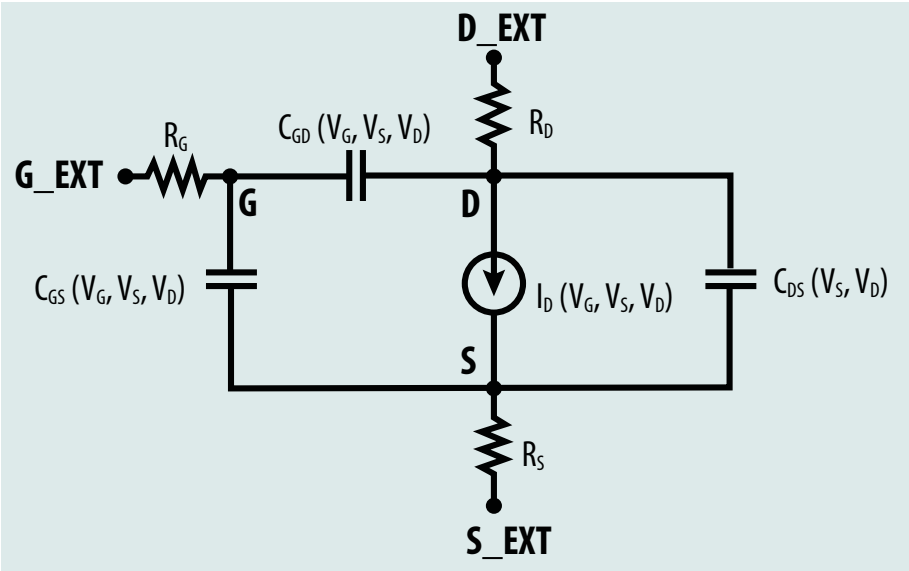


FIGURE 2.1.1 – Schéma du sous-circuit SPICE utilisé par EFFICIENT POWER CONVERSION pour modéliser les FET *eGaN*

En étudiant les modèles SPICE fournis, il apparait que la résistance parasite totale d'accès au canal $R_S + R_D$ constitue une part majeure du $R_{DS(on)}$ nominal du composant (de l'ordre des deux tiers, le reste étant dû à la caractéristique de la source de courant commandée autour de $v_{DS} = 0$). Notons également que R_S ne représente typiquement que 15 à 35% du total $R_S + R_D$ reflétant probablement l'asymétrie de construction du composant. Il n'est toutefois pas clair que cette répartition représente directement la réalité physique, c'est-à-dire que la résistance des métallisations, des contacts ohmiques d'accès au 2DEG et de la portion « non-commandée » de ce dernier (celle qui ne subit pas de déplétion) soient réellement des contributeurs majoritaires au $R_{DS(on)}$ par rapport à la zone commandée du 2DEG.

Dans tous les cas, ceci n'impactera guère la suite de l'analyse des commutations, pour laquelle on pourra sans difficulté considérer nulles ces résistances. En effet, l'impact de R_S sur la maille de commande est insignifiant puisqu'en série avec des résistances de valeurs bien supérieures (à commencer par R_G interne au transistor qui est de l'ordre de $0,5\,\Omega$ pour toute la gamme *eGaN*). Côté puissance, pendant la commutation du canal, les chutes de tension induites par $R_S + R_D$ seront négligeables par rapport à la tension aux bornes de la source de courant I_D représentant le canal partiellement enrichi.

2.1.2 Capacités non-linéaires

Les capacités parasites inter-électrodes jouent un rôle majeur dans la dynamique de commutation d'un FET de puissance, aussi il est essentiel de les modéliser correctement pour évaluer les pertes qui y sont liées.

Si la capacité grille-source C_{GS} est quasiment constante dans les structures de composants habituelles (MOSFET comme HFET) ce n'est pas le cas des capacités grille-drain C_{GD} (dite « capacité Miller ») et drain-source C_{DS} qui sont, elles, fortement non-linéaires avec la tension : il s'agit en fait de fonctions $C_{GD}(v_{GD})$ et $C_{DS}(v_{DS})$ toutes deux décroissantes. La figure 2.1.2, qui schématise les différents couplages capacitifs entre électrodes, l'explique aisément : lorsque la tension bloquée par le transistor augmente, la déplétion locale du canal sous la grille s'étend en direction du drain et les composantes de C_{GS} et C_{DS} localisées dans cette zone diminuent.

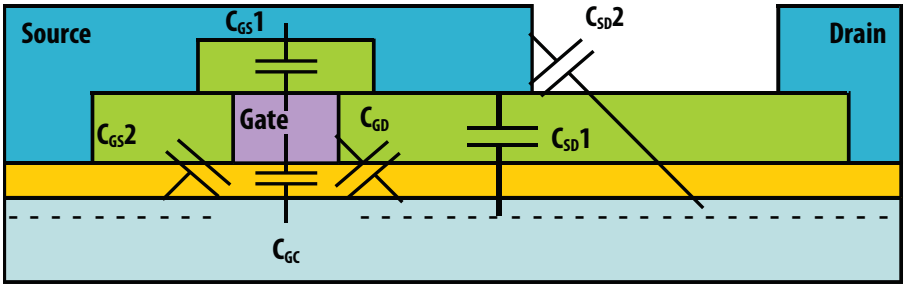


FIGURE 2.1.2 – Localisation des capacités inter-électrodes dans un HFET GaN (schéma EFFICIENT POWER CONVERSION)

Ces 3 capacités inter-électrodes élémentaires ne sont pas directement mesurables depuis les bornes du composant, aussi les fabricants les combinent souvent dans 3 capacités composites dont la valeur « petits signaux » peut être mesurée. Notons que certaines de ces capacités n'ont de sens que pour des polarisations données, la condition $V_{GS} = 0$ est notamment imposée :

- la capacité de transfert inverse C_{rss} qui est simplement égale à C_{GD},
- la capacité d'entrée $C_{iss} = C_{GS} + C_{GD}$,
- la capacité de sortie $C_{oss} = C_{DS} + C_{DG}$, les deux capacités non-linéaires qui la composent étant *de facto* mises en parallèle par l'imposition de $V_{GS} = 0$ il est possible de les sommer pour obtenir une capacité non-linéaire ne dépendant que de v_{DS}.

Pour mener des calculs dans les conditions arbitraires rencontrées par le transistor en fonctionnement, il s'agira donc de manier avec précaution toutes ces capacités puisqu'elles dépendent fortement des diverses tensions imposées. Notamment, l'énergie stockée dans l'une d'entre elles ne peut dans la grande majorité des cas pas être calculée en utilisant $E = {}^1\!/_2 \times C \times V^2$ avec une quelconque valeur « petits signaux » de C (et ce, quelle que soit la tension de polarisation autour de laquelle elle est mesurée). C'est pourquoi il est plus adéquat de définir ces capacités via une caractéristique de charge $Q(V)$, cette dernière permettant d'exprimer plus simplement l'énergie capacitive stockée comme $E = {}^1\!/_2 \times Q(V) \times V$. Puisque la relation entre charge et capacité est de la forme $Q(V) = \int_0^V C(v)\,dv$ il est simple de calculer la valeur petit signaux de la capacité à n'importe quelle tension par une dérivée numérique (simple différence finie) alors que reconstituer la valeur de charge à partir de l'expression de la capacité petits signaux nécessite

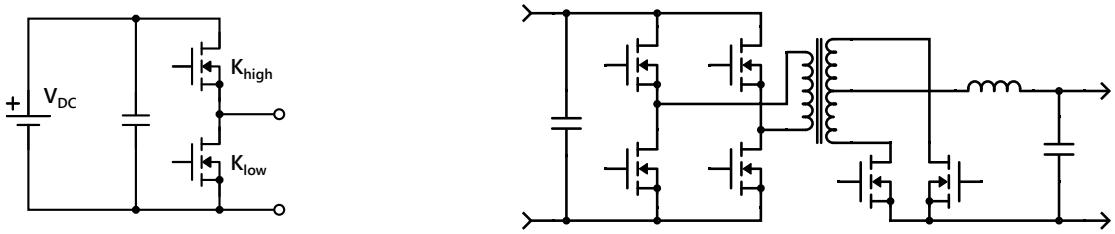
une lourde intégration numérique.

Finalement, un point essentiel à noter pour la suite des raisonnements est que la simple charge d'une capacité (linéaire ou non) depuis une source de tension a toujours « 50% de rendement » : que le circuit à travers lequel la charge se fait soit de type RC ou RLC, une fois les oscillations entièrement amorties, une énergie égale à celle stockée dans la capacité aura été dissipée dans la résistance, aussi petite soit cette dernière.

2.2 Jambe de pont dans les topologies DC/DC isolées de puissance

2.2.1 Structure

Dans une alimentation à découpage, les pertes par commutation ne sont pas des propriétés du transistor seul, mais de la structure dans lequel il est mis en œuvre et qui lui impose des formes d'ondes de courant ou de tension particulières. La majeure partie des convertisseurs isolés d'une certaine puissance (typiquement au-delà de quelques centaines de watts dans les environnements terrestres mais dès quelques dizaines de watts dans le spatial) sont basés sur la structure dite « jambe de pont » ou « cellule de commutation », notamment en raison des surtensions très limitées que les interrupteurs y subissent, permettant d'exploiter au mieux les composants. La figure 2.2.1(a) présente le schéma de base d'une jambe de pont : elle se compose de deux transistors généralement designés « *low-side* » (K_{low}) et « *high-side* » (K_{high}) qui permettent de commuter la tension de leur point milieu entre les deux pôles d'un bus de tension V_{DC}.



(a) (b)

FIGURE 2.2.1 – (a) Schéma de base d'une jambe de pont ; (b) Exemple de topologie DC/DC à base de pont

Les variantes de topologies DC/DC basées sur la jambe de pont sont nombreuses : primaire en demi-pont ou pont complet avec un redressement secondaire par diodes ou transistors, également basé sur une structure en pont ou non - comme par exemple avec un enroulement à point milieu ou un doubleur de courant. On notera que dans ces structures, contrairement à celles en pont, les transistors secondaires peuvent subir des surtensions dépassant sensiblement la valeur de la tension de sortie, limitant la pertinence de leur emploi à des convertisseurs de tension de sortie relativement faible. La figure 2.2.1(b) présente un exemple courant d'une telle topologie : un pont complet avec redressement synchrone par un enroulement à point milieu.

La stratégie de contrôle des jambes de pont peut varier, avec trois paramètres généralement

utilisés (parfois en combinaison) pour régler la tension de sortie et moduler le transfert de puissance : le rapport cyclique, le déphasage relatif entre plusieurs jambes et la fréquence de découpage.

Nous nous intéresserons au cas le plus courant où les deux transistors de la jambe sont identiques et pilotés de façon complémentaire, c'est-à-dire que l'un est passant quand l'autre est bloqué : une période de découpage comprendra toujours deux évènements de commutation qui font basculer la jambe de pont de l'état haut (K_{high} passant / K_{low} bloqué) à l'état bas (K_{high} bloqué / K_{low} passant) puis revenir à l'état haut. L'état où les deux transistors conduisent simultanément est bien évidemment interdit, même transitoirement, puisqu'il reviendrait à court-circuiter le bus DC à travers une impédance quasi-nulle. L'état où les deux sont bloqués n'apparait que pendant un bref « temps mort » T_{dead} lors des commutations entre ces deux états : le transistor précédemment passant est bloqué légèrement avant l'amorçage de son complémentaire. Lorsque la jambe de pont débite sur une charge inductive, ce sont les diodes de corps (conduction inverse dans le cas d'un HFET) ou les capacités de sortie des transistors qui assurent la nécessaire continuité du courant durant ce temps mort.

2.2.2 Définitions relatives aux pertes par commutation

2.2.2.1 Différentes énergies de commutation

Dans un convertisseurs, les pertes par commutation sont par définition proportionnelles à la fréquence de découpage. Elles sont ainsi typiquement exprimées sous la forme d'une énergie qui permet de retrouver la puissance dissipée en raison de ces pertes avec une simple multiplication par f_{sw}. En s'intéressant à une structure comportant deux transistors qui échangent de rôle à chaque commutation, il n'apparait pas une seule mais bien plusieurs « énergies de commutation » qu'il est tout d'abord nécessaire de bien définir.

Pour la suite, nous utiliserons un formalisme permettant de traiter indifféremment les deux évènements de commutation d'une période de découpage (état haut $\rightarrow$ état bas et état bas $\rightarrow$ état haut). Ainsi, à l'instant d'une des commutations, on appelera K_{off} le transistor qui se bloque au moment d'initier la commutation et K_{on} le transistor complémentaire qu'on amorce après une durée T_{dead}. E_{Koff} est l'énergie dissipée par K_{off} durant cette commutation, de même que E_{Kon} est l'énergie dissipée par K_{on}.

Il est important de remarquer que, selon la topologie, les deux évènements de commutation d'une période ne se font pas toujours dans les mêmes conditions. Dans le cas général, il n'y a donc pas égalité entre les énergies d'amorçage et de blocage de chacun des deux transistors K_{high} et K_{low} : $E_{Kon_high} \neq E_{Kon_low}$ et $E_{Koff_high} \neq E_{Koff_low}$. Ainsi, pour la jambe de pont complète, les pertes par commutation s'écrivent comme la somme de ces quatre énergies :

$$P_{sw_total} = f_{sw} \times (E_{Kon_high} + E_{Koff_high} + E_{Kon_low} + E_{Koff_low}) = f_{sw} \times E_{sw_total}$$

E_{sw_total} représente alors l'ensemble de l'énergie dissipée par période de découpage, au titre des pertes par commutation, dans toute la jambe de pont.

Il semble logique de grouper ensemble les énergies dissipées au blocage et à l'amorçage de chaque transistor pour obtenir l'énergie qu'il dissipe à chaque période de découpage au titre des pertes de commutation :

$$E_{sw_high} = E_{Kon_high} + E_{Koff_high}$$
$$E_{sw_low} = E_{Kon_low} + E_{Koff_low}$$
$$E_{sw_total} = E_{sw_high} + E_{sw_low}$$

D'un autre côté, lors d'une commutation, le blocage de K_{off} et l'amorçage de K_{on} se font dans les mêmes conditions. Pour mener les calculs, il est donc plus pertinent de regrouper les pertes différemment, faisant ainsi apparaitre l'énergie perdue dans la paire de transistors lors de chaque évènement de commutation :

$$E_{sw_h\to l} = E_{Koff_high} + E_{Kon_low}$$
$$E_{sw_l\to h} = E_{Koff_low} + E_{Kon_high}$$
$$E_{sw_total} = E_{sw_h\to l} + E_{sw_l\to h}$$

Dans le cas particulier où les deux commutations d'une période se déroulent dans des conditions identiques, $E_{sw_high} = E_{sw_low} = E_{sw_h\to l} = E_{sw_l\to h} = E_{sw}$: c'est seulement dans ce cas qu'on pourra simplement écrire $P_{sw_total} = f_{sw} \times 2 \times E_{sw}$.

2.2.2.2 Courant commuté

Une grandeur importante à définir est le « courant commuté » I_{sw}, égal en valeur absolue au courant débité par la jambe de pont à l'instant de la commutation. En raison de la charge inductive en sortie, on suppose I_{sw} constant durant T_{dead} : cette hypothèse forte est capitale pour la suite.

Par convention (toujours afin de traiter indifférement les deux commutations d'une période) le signe de I_{sw} est celui du courant drain-source de K_{off} au début de la commutation : $i_{DS(Koff)}(t_0) = I_{sw}$. Le signe de I_{sw} est donc celui du courant source-drain de K_{on} à la fin de la commutation : $i_{DS(Kon)}(t_0+T_{dead}) = -I_{sw}$.

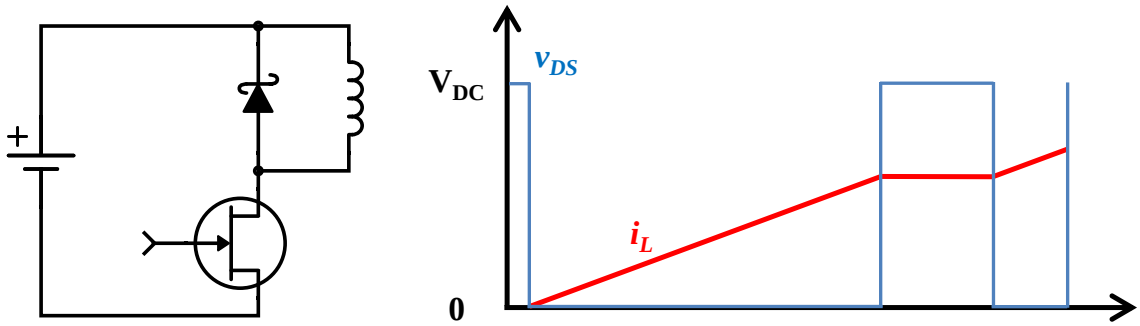
Un courant commuté positif $I_{sw} > 0$ entraine pendant le temps mort une réduction de la tension drain-source de K_{on}, potentiellement jusqu'à l'annuler complètement avant son amorçage (on parle alors de *Zero Voltage Switching*, ZVS). Ce type de commutation, à pertes fortement réduites, est généralement recherchée par le concepteur d'alimentations. Cependant les choix de dimensionnement faits pour l'assurer peuvent faire croitre significativement d'autres mécanismes de pertes (dans la jambe de pont comme dans le reste du convertisseur) et il est donc nécessaire d'avoir une vision assez précise des pertes par commutation afin de choisir le point minimisant les pertes globales.

Dans le cas d'un courant commuté négatif $I_{sw} \leq 0$, la réduction de tension aux bornes de K_{on} ne peut avoir lieu et E_{Kon} sera particulièrement important. La majorité des topologies isolées à

base de jambe de pont sont justement conçues pour éviter ce type de commutation.

2.3 Mesure des pertes par commutation

2.3.1 Limitations de la méthode usuelle



(a) (b)

FIGURE 2.3.1 – Méthode de la double impulsion : (a) circuit employé ; (b) formes d'ondes

Contrairement à ce qui est la norme pour transistors de plus forte puissance, il est rare pour les fabricants de MOSFET silicium de mesurer et spécifier les énergies de pertes par commutation de leurs composants. Cependant, quand ce type de mesure est effectuée, la méthode traditionnelle utilisée est celle de la « double impulsion ». Elle se base sur le montage présenté en figure 2.3.1(a) : le transistor est rendu passant le temps nécessaire pour faire monter le courant i_L jusqu'à la valeur souhaitée, puis il est bloqué (laissant la diode assurer la roue libre du courant dans l'inductance) et ré-amorcé rapidement après. Un blocage et un amorçage à courants quasi-identiques sont ainsi obtenus, comme visible sur la figure 2.3.1(b). Un oscilloscope mesure la tension v_{DS} du transistor et le courant i_{DS} qui le traverse. L'intégrale du produit $v_{DS} \times i_{DS}$ est calculée sur la durée de chacune des deux commutations, on obtient ainsi une énergie au blocage et une à l'amorçage.

Cette méthode de la double impulsion est grevée de limitations, certaines fondamentalement liées à la logique de la mesure et d'autres découlant de sa mise en œuvre pratique.

2.3.1.1 Limitations fondamentales

N'observant que les formes d'ondes externes au composant, cette méthode ne peut mesurer que le courant i_{DS}. Or, sans différencier i_{ch} (courant circulant dans le canal) de i_{oss} (courant de charge de la capacité de sortie) il est impossible de différencier une énergie réellement dissipée dans le canal du transistor d'une énergie stockée dans son C_{oss} (cf figure 2.3.2). L'énergie mesurée au blocage est ainsi sur-évaluée par rapport à la vraie valeur de E_{Koff} alors que celle mesurée à l'amorçage est sous-évaluée par rapport à E_{Kon}.

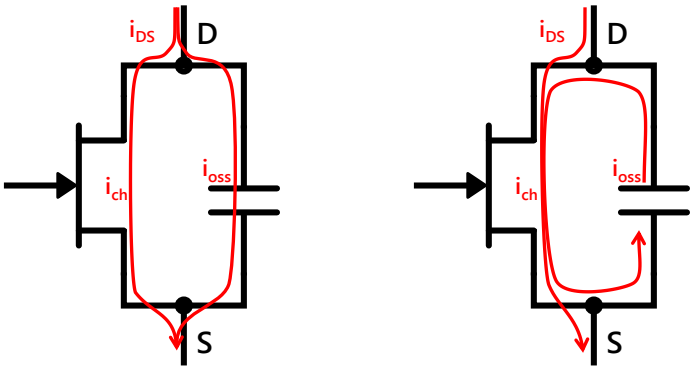


FIGURE 2.3.2 – Illustration de la différence entre courant drain-source et courant de canal : (a) au blocage ; (b) à l'amorçage

De plus, il est évident en observant le schéma que les commutations obtenues par le biais de ce montage transistor-diode ne sont que de deux types : blocage du transistor sous $I_{sw} > 0$ puis amorçage $I_{sw} < 0$. On n'obtient donc pas d'information sur l'énergie totale perdue dans la jambe de pont lors de sa commutation puisqu'on n'identifie pas l'énergie perdue dans le transistor complémentaire, remplacé par une diode. Par contre, cette dernière dispose d'une capacité de jonction C_j qui va contribuer aux pertes mesurées dans le transistor, en lieu et place de la C_{oss} (évidemment différente) du transistor complémentaire. On n'accède donc par cette méthode ni aux pertes de la jambe complète, ni à celles du transistor seul, ce qui ne s'avère donc utile pour la conception de convertisseurs à base de jambe de pont qu'en faisant des approximations importantes sur les énergies négligeables par rapport à d'autres.

2.3.1.2 Limitations expérimentales

La mesure de courant nécessite l'introduction dans la maille, en série avec le transistor, d'un transducteur à bande passante élevée (généralement shunt résistif ou transformateur). Si cette insertion n'a qu'un impact limité lorsque le composant étudié utilise un boitier traversant de grandes dimensions, il n'en est pas de même pour des boitiers montés en surface : l'inductance rajoutée à la maille par le transducteur est susceptible de modifier les formes d'ondes de façon importante.

Une différence de délai de propagation entre les capteurs utilisés pour le courant et la tension induira rapidement une erreur significative sur l'intégrale de leur produit instantané, ce qui est une autre limitation majeure de la méthode pour la mesure des commutations rapides. Il est en effet difficile de compenser ces délais avec une résolution bien meilleure que 1 ns, l'ordre de grandeur de durée des commutations typiques d'un HFET GaN. Notons par ailleurs que le choix des bornes temporelles de l'intégration est quelque peu approximatif et peut poser problème dans le cas d'oscillations résiduelles importantes sur les formes d'ondes..

Au vu des différentes limitations de la méthode dite de double impulsion, la nécessité d'une approche différente pour caractériser les pertes de transistors GaN employés dans des jambes de pont apparait clairement.

2.3.2 Principe de la méthode employée

La méthode utilisée dans ces travaux est basée sur le principe d'opposition entre deux jambes de pont, similaire à celui utilisé pour mesurer les pertes totales dans des convertisseurs de très forte puissance (sans devoir dissiper cette dernière dans un banc de charge) ou à très haut rendement [31].

Présenté dans [32, 33] son principe, plutôt que d'essayer d'observer la dynamique d'une commutation, est de faire découper les jambes de pont dans un régime établi où les commutations des transistors ont lieu dans les conditions qu'on souhaite investiguer, puis de mesurer la dissipation résultante. La configuration du circuit est présentée sur la figure 2.3.3 : elle se base sur deux jambes de pont connectées au même bus de tension V_{DC}, avec une inductance entre leurs points commutés. La puissance ne peut ainsi circuler que depuis le bus DC vers lui-même en passant d'une jambe à l'autre via l'inductance : la seule consommation sur l'alimentation du bus est donc l'ensemble des pertes liées à cette circulation.

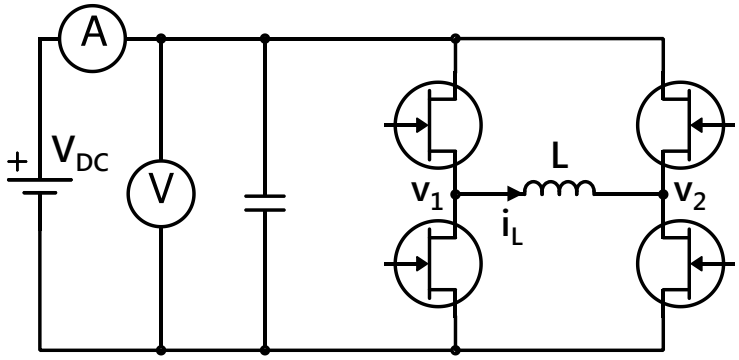


FIGURE 2.3.3 – Circuit employé pour la mesure des pertes par commutation

Par rapport à la méthode de double impulsion, elle a plusieurs avantages :

— elle ne nécessite pas de mesures à haute bande passante précisément synchronisées, de simples mesures de tension et courant DC suffisent,

— elle n'est pas intrusive puisqu'elle ne nécessite aucune mesure de courant ou tension au niveau d'un transistor,

— elle permet éventuellement d'effectuer la mesure dans le circuit exact dans lequel la jambe de pont est mise en œuvre pour un convertisseur.

2.3.2.1 Mode à courant circulant AC : caractérisation sous $I_{sw} > 0$

Pour caractériser les pertes de commutation sous des I_{sw} positifs, les jambes sont toutes deux commandées avec un rapport cyclique fixé $\alpha = 50\%$ et un déphasage variable entre elles. On appelera ce déphasage ϕ, avec $-\pi < \phi < \pi$ et la durée à laquelle il correspond $T_\phi = \frac{|\phi|}{2\pi} T_{sw} = \frac{|\phi|}{2\pi \cdot f_{sw}}$.

Si $\phi = 0$ aucune différence de potentiel n'est jamais appliquée aux bornes de l'inductance, donc aucun courant ne circule à travers cette dernière : on est en fait dans le cas de deux jambes de pont séparées commutant à vide (sans aucune charge).

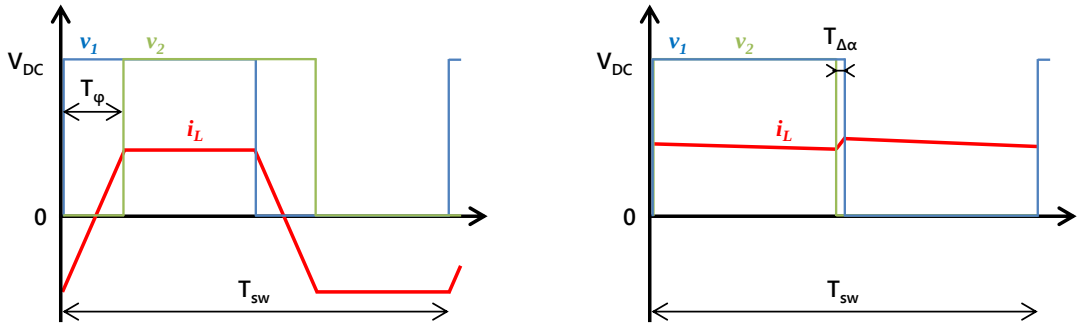


FIGURE 2.3.4 – Formes d'ondes dans le pont dans les deux modes de contrôle : (a) courant circulant AC ; (b) courant circulant quasi-DC

Quand $\phi \neq 0$ l'inductance voit V_{DC} appliquée à ses bornes (alternativement dans un sens et dans l'autre) pendant des durées T_ϕ où le courant varie avec une pente $\frac{di_L}{dt} = \frac{V_{DC}}{L}$. Le résultat est donc un courant circulant dans l'inductance i_L tel que le montre la figure 2.3.4(a) : de forme trapézoïdale, de valeur moyenne nulle et d'amplitude crête $\hat{i_L} = 1/2 \frac{V_{DC}}{L} T_\phi = \frac{V_{DC} \cdot |\phi|}{4\pi \cdot f_{sw} \cdot L}$. Les commutations des 4 transistors du pont se font alors à la même valeur de courant $I_{sw} = \hat{i_L}$ qu'on peut régler à la valeur voulue en faisant varier le déphasageϕ.

Il est toutefois nécessaire que le temps mort de commutation des jambes de pont soit faible devant la durée du déphasage $T_{dead} < T_\phi$ afin que l'approximation d'un changement instantané de tension aux bornes de l'inductance soit vérifiée, et donc que le courant évolue comme décrit précédemment. Ceci implique que les mesures aux valeurs de courant faibles (mais non nulles) sont difficiles à obtenir car elles nécessitent l'emploi de faibles déphasages ou de grandes valeurs d'inductance.

2.3.2.2 Mode à courant circulant quasi-DC : caractérisation sous $I_{sw} < 0$

Il est également possible, en fixant $\phi = 0$ mais en introduisant une légère différence de rapport cyclique $\Delta\alpha$ entre les deux jambes, de créer une dissymétrie dans la tension moyenne imposée à l'inductance. En l'absence de pertes le résultat serait un courant circulant i_L divergeant vers l'infini, mais la présence de mécanismes de pertes augmentant avec ce courant le fait converger vers une valeur DC $\bar{i_L}$ (dépendante de $\Delta\alpha$) avec une ondulation crête-crête $\Delta i_L = \frac{V_{DC} \cdot |\Delta\alpha|}{f_{sw} \cdot L}$ tel que présenté sur la figure 2.3.4(b).

Dans ce cas, chaque jambe de pont effectue une commutation à courant positif $I_{sw} = \bar{i_L} \pm \frac{\Delta i_L}{2}$ et une à courant négatif $I_{sw} = -\left(\bar{i_L} \pm \frac{\Delta i_L}{2}\right)$. Si on a utilisé une L assez grande pour entrainer $\Delta i_L \ll \bar{i_L}$, ceci se résume à une commutation à courant $I_{sw} \approx \bar{i_L}$ et une commutation à courant $I_{sw} \approx -\bar{i_L}$ par jambe et par période. On peut alors en déduire la valeur des pertes à $I_{sw} < 0$ simplement par soustraction de pertes à $I_{sw} > 0$ obtenues dans la configuration précédente.

Il est relativement simple de modifier un banc de mesure de pertes pour le faire travailler dans l'un ou l'autre des modes de fonctionnement et ainsi tracer des courbes de pertes couvrant une gamme de I_{sw} positifs et négatifs, néanmoins ce dernier mode n'a pas été exploré dans les présents travaux puisque l'objectif était de se concentrer sur les pertes par commutation à

$I_{sw} > 0$, aux alentours du ZVS.

2.3.2.3 Extraction de E_{sw} à partir de la puissance mesurée

La puissance DC consommée par le circuit lors du fonctionnement en opposition peut s'écrire :

$$P_{DC} = P_{cond} + P_{sw} = R \times I_{RMS}^2 + 2 \times E_{sw_total} \times f_{sw}$$

Avec R la résistance moyenne de la maille parcourue par le courant circulant I_{RMS} et E_{sw_total} l'énergie de commutation par période de découpage et par jambe de pont. Il faut donc être capable de séparer les deux composantes de P_{DC} pour en extraire cette dernière valeur qui, seule, nous intéresse.

Dissipation résistive La résistance R est essentiellement composée par les résistances de l'inductance et d'une paire de transistors passants (diagonale ou 2 « low-side » ou 2 « high-side » selon le moment). La résistance des interconnexions PCB doit rester négligeable en regard. La résistance série des capacités de bus est également présente dans la maille de courant lors des phases de charge/décharge de l'inductance, elle devrait également rester négligeable au regard du reste. Il est classique de considérer que la résistance d'un conducteur varie essentiellement en fonction de deux paramètres que sont la température et la fréquence (effet de peau).

Il est aisé de mesurer précisément la résistance R_{DC} d'un bon conducteur, soit à sa température d'équilibre par auto-échauffement, soit même à d'autres températures grâce à une enceinte thermostatée. Dans le cadre des mesures effectuées, la dépendance en température de R_{DC} est parfaitement négligeable pour l'inductance en raison de son échauffement quasi-nul (ses grandes dimensions permettent une convection naturelle importante). Pour le $R_{DS(on)}$ des transistors, elle est par contre importante et doit être caractérisée, ce qui peut être fait in-situ.

La mesure de la résistance $R_{AC}(f)$ pour des fréquences f élevées ne peut pas se faire in-situ et s'avère dans tous les cas très délicate. Pour l'inductance, il est donc aisé de comprendre que l'approche la plus immédiate reste de faire en sorte que $R_{AC} \approx R_{DC}$ dans les conditions d'emploi (ce qui n'est pas non plus simple en pratique, on le verra). Pour les FET dont la $R_{DS(on)}$ est essentiellement localisée dans le canal (d'une épaisseur inférieure au µm) un impact significatif de l'effet de peau semble de toute façon hors de propos.

Il convient enfin de ne pas sous-estimer l'importance de l'évaluation correcte du courant I_{RMS} circulant dans cette résistance, puisque son impact est quadratique. La valeur de I_{RMS} peut être à la fois mesurée et calculée (la forme d'onde de i_L est connue) ce qui renforce la confiance qu'on lui accorde.

On peut donc *a priori* évaluer correctement les pertes d'origine résistive P_{cond}, mais il est clair que la quantification correcte des grandeurs responsables des pertes résistives nécessite une attention particulière.

Pertes de commutation En-dehors des pertes résistives suscitées, l'expression de P_{DC} montre bien que les seules sources de pertes du montage sont les commutations des deux jambes de pont,

qui se fait – on l'a vu – à tension et courants choisis et identiques. On peut donc mesurer la consommation de l'ensemble sur l'alimentation du bus DC, y soustraire les pertes de conduction $P_{cond} = R \times I_{RMS}^2$ et retrouver directement une puissance $P_{DC} - P_{cond} = P_{sw}$. On obtient ainsi l'énergie perdue par période de découpage $E_{sw_total} = \frac{P_{sw}}{2 \times f_{sw}}$ dans chaque jambe de pont et donc $E_{sw} = 1/2 \times E_{sw_total} = \frac{P_{sw}}{4 \times f_{sw}}$ dans chaque transistor.

Notons que la même mesure menée à des fréquences différentes doit résulter en des E_{sw} sensiblement similaires, ce qui est un très bon moyen de vérifier la validité des résultats obtenus par cette méthode.

2.3.3 Réalisation pratique

2.3.3.1 Jambes de pont

Support physique Pour des raisons de simplicité et de modularité, il a été choisi d'utiliser la famille de cartes de développement *eGaN* vendues par EPC. Celles-ci sont disponibles pour une grande partie des références de la gamme *eGaN* et prennent la forme d'un demi-pont sur un PCB de $38 \times 50\,\text{mm}$ intégrant les deux FET GaN avec leur circuit de commande complet (entrée logique, ajustement fin du temps mort, translation de niveau et attaque de grille) et des condensateurs de découplage de bus, comme représenté sur la figure 2.3.5. Les mailles de commande et de puissance sont agencées selon un routage optimisé, assez proche de ce qui devra être rencontré en pratique sur un convertisseur mettant en œuvre ces composants. Une double rangée de broches au pas standard $2,54\,\text{mm}$ en bord de carte sert aux connexions avec le reste du circuit de puissance, à raison de 2×4 broches pour chaque : pôle positif du bus DC, point commuté et pôle négatif du bus DC. D'autres connecteurs véhiculent les signaux logiques de commande des deux transistors et une alimentation basse tension pour le circuit de commande. Pour chaque composant étudié, un pont complet a été obtenu en assemblant dos à dos une paire de cartes avec leurs connexions au bus DC soudées ensemble, de façon à minimiser l'inductance de cette interconnexion.

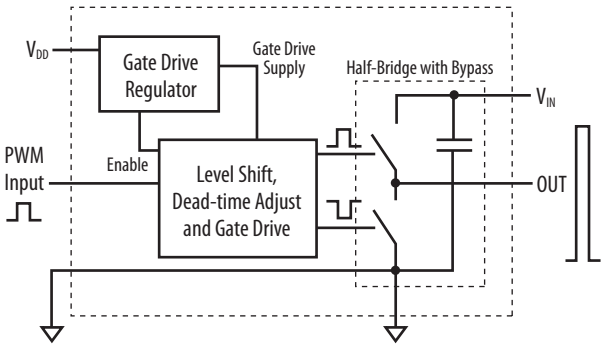


FIGURE 2.3.5 – Schéma de principe des cartes de développement utilisées (schéma issu de la documentation EFFICIENT POWER CONVERSION)

Les deux types de cartes suivantes ont été étudiées :

— EPC9002, jambe de pont à base de FET 100 V EPC2001 dont l'attaque de grille et la translation de niveau sont assurées par un circuit intégré LM5113,

— EPC9003, jambe de pont à base de FET 200 V EPC2010 dont chaque grille est attaquée par un UCC27611, la translation de niveau étant assurée par un isolateur numérique Si8610.

Ces cartes ont été légèrement modifiées par rapport à leur configuration d'usine afin de permettre le pilotage individuel de chacun des deux transistors de la jambe de pont, ce qui autorise à faire varier le temps mort. Un réglage fin au potentiomètre a été effectué pour garantir à ± 1 ns la correspondance entre le temps mort demandé en entrée et celui effectivement obtenu à la grille de chaque composant.

Bootstrap Sur les cartes utilisées, l'alimentation de la commande de K_{high} est réalisée par un classique « bootstrap » à diode PN. Si cette dernière est encore en conduction lorsque la jambe commute et la polarise en inverse sous V_{DC}, un phénomène de recouvrement a lieu dont la charge est fournie par le bus DC (et non l'alimentation auxiliaire de commande). Ceci résulte en un échauffement de la diode, mais surtout une consommation supplémentaire sur le bus qui vient fausser les mesures. Sur les cartes EPC9003 dont la commande flottante est réalisée en composants séparés, la diode PN 200 V (BAV21) de bootstrap a été remplacée par une paire de diodes Schottky 100 V (BAT46) en série : il n'y a ainsi plus de charge de recouvrement et la capacité parasite (5 pF à 0 V) reste négligeable en regard du C_{oss} des transistors EPC2010. Sur les cartes EPC9002 par contre, un circuit intégré LM5113 avec diode de bootstrap intégrée est employé, il est donc impossible de faire une telle modification. Ainsi il faut s'attendre à des pertes parasites, estimées selon les données constructeur à $E_{rr} = 250$ nJ par jambe de pont sous $V_{DC} = 50$ V.

Commande FPGA La commande logique est issue d'une carte Terasic DE2-115 dotée d'un FPGA Altera Cyclone IV. La fréquence d'horloge la plus élevée à laquelle le design s'est avéré capable de fonctionner correctement est $f_{cy} = 200$ MHz, ainsi la résolution temporelle T_{cy} de tous les signaux est de 5 ns (suffisant bien qu'un peu limitant). Le FPGA est programmé pour générer les signaux de commande des 2 transistors de chaque jambe de pont. La fréquence de découpage f_{sw}, les rapports cycliques α, le déphasage ϕ et les temps morts T_{dead} sont configurables par USB depuis un PC, de plus un délai de 0 à $7 \times T_{cy}$ peut être appliqué à l'une des commandes pour compenser une éventuelle différence de temps de propagation des signaux (par exemple due au circuit de translation de niveau nécessaire à la commande de K_{high}).

2.3.3.2 Choix de la fréquence de découpage

Il est aisé de comprendre qu'effectuer les mesures à une fréquence de découpage élevée permet *a priori* de maximiser la part des pertes de commutation P_{sw} dans P_{DC} et ainsi réduire l'erreur expérimentale liée à l'estimation des pertes de conduction P_{cond}.

Par ailleurs, les « plateaux » de la trapézoïde décrite par i_L ne sont en fait pas parfaitement horizontaux : bien qu'aucune tension ne soit appliquée aux bornes de l'inductance (roue libre) le courant décroit légèrement en raison des pertes résistives. Ce phénomène diminue la valeur absolue du courant auquel a lieu la commutation suivante. La durée de ces « plateaux » s'écrit

$T = \frac{1}{2 \cdot f_{sw}} - T_\phi$ ainsi augmenter la fréquence de découpage permet de limiter l'affaissement du courant. Par ailleurs, en diminuant la proportion d'une période de découpage que le courant passe à sa valeur maximale, il est intuitif que le rapport $\frac{\hat{i_L}}{I_{rms}}$ augmente, améliorant le rapport $\frac{P_{sw}}{P_{cond}}$ (le cas optimal étant évidemment celui d'une forme d'onde triangulaire).

Il n'est pas pour autant possible d'augmenter arbitrairement f_{sw}, donc P_{sw}, sans rencontrer un problème thermique : selon le transistor utilisé, la puissance qu'il est capable de dissiper limitera sensiblement le choix de fréquence. Dans le cas de FET $eGaN$ mis en œuvre sur circuit imprimé sans dispositif de refroidissement sophistiqué, la dissipation maximale raisonnable est de l'ordre de 3 W par composant ($R_{\theta j-a} \approx 50\,^\circ\mathrm{C/W}$ en convection naturelle).

De plus, la résolution du réglage de T_ϕ étant fixée, l'augmentation de f_{sw} entraine une perte de résolution relative sur le réglage de Δ_ϕ, donc du courant maximal $\hat{i_L}$.

Dans les campagnes de mesures présentées ici, la fréquence de découpage est généralement choisie entre 1 et 2 MHz, ce qui est thermiquement compatible avec des énergies de commutation de l'ordre de quelques µJ par transistor en utilisant un simple ventilateur soufflant sur la tranche des PCB. Il est intéressant de mener les mêmes séries de mesures à plusieurs fréquences de découpage afin de vérifier la cohérence des valeurs E_{sw} extraites dans chaque cas. En effet, une divergence significative entre deux séries de mesures pointera en toute probabilité vers une sous- ou sur-estimation de P_{cond} qui vient entacher d'erreur la valeur de P_{sw}.

2.3.3.3 Inductance à air

Valeur Sans encore aborder la construction de l'inductance, le choix de sa valeur L est déjà un sujet qui nécessite réflexion et compromis. En effet, c'est elle qui limite le courant maximum atteignable (au déphasage maximal $\phi = \pi$ rad) pour une fréquence de découpage donnée : il est nécessaire de ne pas choisir L trop grande sauf à ne s'intéresser qu'à une caractérisation à faible courant commuté. D'un autre côté, il est impératif que L soit suffisamment élevée pour qu'elle se comporte comme une source de courant constant à l'échelle du temps mort : l'énergie stockée $1/2 \times L \times I_{sw}^2$ doit être importante par rapport à l'énergie perdue.

Il est de plus souhaitable de ne pas effectuer des mesures à déphasage trop faible. En effet, un corollaire de l'hypothèse de quasi-invariance de i_L pendant T_{dead} est que les commutations sont presque instantanées à l'échelle d'une période de découpage, soit $T_{dead} \ll T_\phi$ (car par définition i_L varie beaucoup pendant T_ϕ). Or on rappelle que $I_{sw} = 1/2 \frac{V_{DC}}{L} T_\phi$: pour une tension V_{DC} donnée, c'est L qui définit le rapport entre déphasage absolu et courant crête et donc règle le temps de déphasage nécessaire pour atteindre un courant donné. Si L est choisie trop petite, la gamme de courant d'intérêt sera atteinte pour un déphasage qui ne dure pas sensiblement plus longtemps que le temps mort. De plus la résolution en courant commuté auquel le montage expérimental donne accès sera grossière, ne permettant pas de mesurer une quantité intéressante de points.

On voit ici qu'il est nécessaire de choisir la valeur de L dans une plage assez contrainte par les autres paramètres de mesure, ce qui tend à limiter la flexibilité de la méthode qui pourrait par ailleurs traiter une très large gamme de tensions de bus et de temps morts à des fréquences de découpages variées.

Construction Pour obtenir une bonne qualité de résultats, l'inductance se doit d'être aussi « parfaite » que possible dans le montage expérimental. Concrètement, ceci signifie que les pertes qu'elle introduit inévitablement doivent être tout d'abord faibles, mais aussi déterminables avec précision.

On notera que ces deux objectifs sont souvent antinomiques : il conviendra d'arbitrer entre eux. Dans ces cas, sauf à être capable de réduire les pertes à un niveau assez faible pour rendre absolument négligeable leur contribution à P_{DC}, il est probablement plus pertinent de favoriser le deuxième objectif afin d'être capable de compenser les mesures en leur soustrayant une valeur correcte.

Le choix d'une réalisation sans noyau ferromagnétique est une évidence, l'évaluation précise des pertes fer à fréquence élevée restant un problème non résolu de l'électronique de puissance contemporaine. Une fois les pertes fer écartées, reste encore néanmoins le problème des pertes cuivre qu'exacerbe le choix de découper à fréquence élevée. Il n'est pas raisonnablement envisageable de calculer les pertes résistives haute fréquence dans une inductance à air hormis via une simulation par éléments finis, et même cette solution ne permet pas réellement de prendre en compte les connexions entre l'inductance et les jambes de pont, forcément nécessaires en pratique et dont la contribution à la résistance totale est non-négligeable pour des faibles longueurs de conducteur.

Comme mentionné précédemment, il est difficile de mesurer R_{AC} à haute fréquence pour un composant inductif, car l'impédance complexe du conducteur $Z(f) = R_{AC}(f) + j \times 2\pi \times f \times L$ est alors dominée par sa composante réactive : ainsi une inductance de 500 nH correspond à une réactance de plus de 3 Ω à 1 MHz. Il faut donc un impédance-mètre doté d'une excellente résolution en phase pour mesurer avec précision la composante résistive, généralement très faible en comparaison. La figure 2.3.6 présente des mesures de résistance AC réalisées avec un analyseur d'impédance de précision Keysight 4294A sur des boucles mono-tour constituées de deux types différents de conducteurs (devant *a priori* limiter l'impact de l'effet de peau [2]) : un fil de litz comptant 3360 brins de cuivre ⌀71 µm et un feuillard de cuivre d'épaisseur 150 µm et de largeur 30 mm.

Le résultat, nettement en faveur du feuillard, est relativement surprenant étant donné que celui-ci est d'une section cuivre plus faible, d'une épaisseur plus importante et reste sujet à l'effet de peau dans sa dimension large. Il est probable que les terminaisons du fil de litz, formant des blocs de soudure obtenus par étamage à chaud de chaque extrémité sur une longueur de l'ordre de 10 mm (afin de bien contacter, sinon la totalité, du moins la grande majorité des brins) aient un impact négatif sur les performances haute fréquence de l'ensemble.

Dans tous les cas, le feuillard s'avère être une meilleure option pour réaliser les inductances nécessaires à la campagne de mesure présentée ici. On peut néanmoins constater que l'approximation du premier ordre $R_{AC} = R_{DC}$ est déjà fausse d'un facteur approximativement 2 aux alentours de 1 MHz. Il faudra donc probablement recourir à un post-traitement plus complexe des données (calcul des pertes résistives dans l'inductance à partir du R_{AC} mesuré et du spectre de i_L) pour éviter de faire une erreur non-négligeable sur la mesure.

2. On rappelle qu'à 1 MHz l'épaisseur de peau dans le cuivre est $\delta \approx 75\,\mu m$.

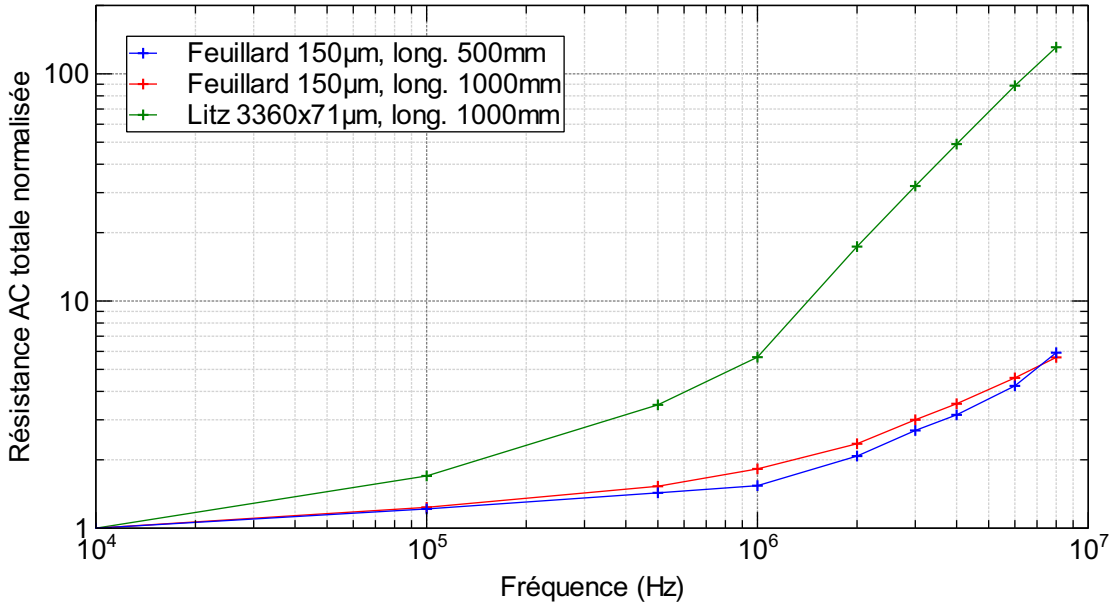


FIGURE 2.3.6 – Résistance AC mesurée pour différentes constructions d'inductance à air

Selon la valeur d'inductance souhaitée le conducteur est choisi plus ou moins long et configuré en boucle mono-tour de géométrie variable ou, au-delà de 1 µH (qui nécessiterait un diamètre de boucle dépassant le mètre) en solénoïde de quelques tours largement espacés afin d'éviter un impact significatif de l'effet de proximité. En raison des dimensions assez importantes des boucles et du champ magnétique résultant, on prêtera attention à l'impact d'éventuels matériaux ferromagnétiques environnants : si la structure acier de la paillasse ne semble pas avoir d'influence sensible sur les pertes mesurées, l'introduction d'objets en acier d'un certain volume à proximité immédiate ou à l'intérieur de la boucle entraine au contraire une claire augmentation.

2.3.3.4 Instruments de mesure

La forme d'onde du courant circulant $i_L(t)$ peut être déterminée à partir des grandeurs électriques du circuit, aussi il n'y a techniquement pas de nécessité de la mesurer pour obtenir les valeurs indispensables à l'exploitation des données de pertes que sont $\hat{i_L}$ et I_{RMS}. Cependant une observation directe de la valeur réelle de ce courant constitue un garde-fou appréciable permettant de confirmer la validité de certaines hypothèses fortes sur lesquelles repose la méthode de mesure (composante continue de $i_L$nulle, i_L quasi-constant durant le temps mort et durant les « plateaux », I_{sw} proportionnel à ϕ, ...).

Ce courant ne peut être mesuré par un oscilloscope doté d'une sonde de courant classique (effet Hall + transformateur de courant) car ce type de transducteur entoure le conducteur d'un noyau magnétique dans lequel des pertes fer non-négligeables apparaissent en raison du courant fortement ondulé. On emploie donc une sonde de Rogowski (modèle CWT Ultra Mini de POWER ELECTRONICS MEASUREMENTS) qui n'introduit aucune impédance appréciable sur le conducteur qu'elle entoure. Quelques inconvénients découlent cependant de ce choix de capteur :

— une impossibilité de mesurer la composante continue du courant (normalement nulle pour des rapports cycliques parfaitement symétriques : dans la réalité ce n'est jamais exactement le cas) - il s'agit donc de vérifier préalablement avec une sonde Hall que cette composante continue reste suffisamment faible pour ne pas invalider l'approximation,
— une plus grande sensibilité au bruit couplé capacitivement en raison du fort $\frac{dV}{dt}$, tout particulièrement lors des commutations à faible courant où, en l'absence de ZVS, les $\frac{dV}{dt}$ sont extrêmes donc les pics parasites élevés alors que le signal utile de courant est justement faible,
— une bande passante plus limitée que les sondes classiques en raison de l'intégrateur analogique (20 MHz sur notre modèle, ce qui reste néanmoins largement suffisant pour mesurer correctement l'amplitude crête-crête du trapèze, seule information nécessaire).

Les mesures de tension et courant DC ne présentent, eux, aucune difficulté particulière et peuvent être réalisées par des multimètres quelconques tant qu'ils disposent des calibres adaptés (même une précision très médiocre de 1% ne devrait représenter qu'une contribution mineure à l'erreur expérimentale totale, au vu des autres sources d'incertitude). Dans le cadre de cette étude, une paire de multimètres de table Keysight 34461A a été utilisée.

L'alimentation DC doit évidemment pouvoir délivrer, sous la tension de bus souhaitée, une puissance au moins égale aux pertes à mesurer. Elle doit également être capable de délivrer un courant beaucoup plus important à tension faible afin de réaliser la caractérisation in-situ de R_{DC} présentée ci-après (il est aussi possible de lui substituer pour cette étape une autre alimentation plus adaptée).

L'alimentation, les multimètres, l'oscilloscope et la carte FPGA sont tous connectés au PC par USB. L'ensemble étant automatisé, les mesures peuvent être effectuées en série à raison de moins d'une seconde par point, permettant de caractériser les pertes de la jambe de pont sur de larges plages de paramètres.

2.3.3.5 Caractérisation in-situ de R_{DC}

Les mesures de pertes de commutation sont toujours précédées d'une session de mesure de résistance DC en utilisant les mêmes connexions et la même configuration de refroidissement.

Les deux transistors d'une diagonale (K_{high} d'une jambe de pont et K_{low} de l'autre) sont rendus passants et l'alimentation de bus injecte un courant régulé, balayé de 0 jusqu'à une valeur suffisamment élevée pour amener les transistors près de leur température maximale. La tension de bus résultante est mesurée aux bornes des jambes de pont : on obtient ainsi la R_{DC} totale dans cette configuration, c'est-à-dire de la diagonale de transistors et de l'inductance. La mesure est renouvelée en faisant conduire la diagonale opposée et on moyenne les deux. On calcule en même temps la puissance P_{DC} dissipée par l'ensemble.

La R_{DC} de l'inductance (connexions comprises) est mesurée séparément via la tension à ses bornes ce qui permet, par soustraction, de retrouver la R_{DC} moyenne d'une paire de transistors seule. Rappelons que la R_{DC} de l'inductance est indépendante du courant injecté en raison d'un échauffement nul (faible densité de pertes et surface d'échange thermique très importante).

Plutôt que de caractériser la résistance de la paire de transistors en fonction de leur tempé-

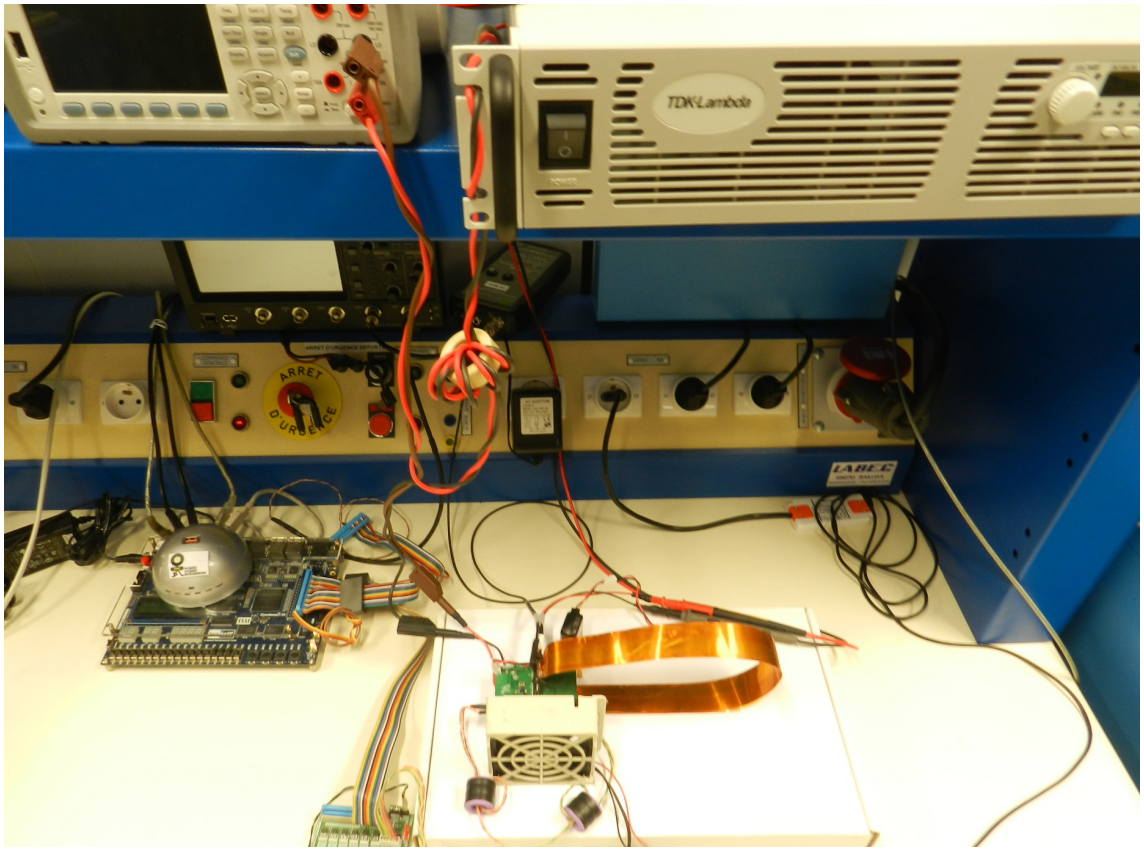


FIGURE 2.3.7 – Vue générale du montage de mesures de pertes par commutation

rature $R_{DC}(T_j)$, on le fait en fonction de la puissance totale qu'ils dissipent, grandeur calculable pendant la session de caractérisation de R_{DC} comme pendant celles de E_{sw} (dans les deux cas $P_{dissip} = P_{DC} - R_{DC_L} \times I_{RMS}^2$). En effet, en considérant la relation entre température et puissance dissipée linéaire, c'est-à-dire $T_j = R_\theta \times P_{dissip}$ avec une résistance thermique R_θ inchangée entre les différentes sessions de mesure, les caractéristiques $R_{DC}(T_j)$ et $R_{DC}(P_{dissip})$ sont équivalentes [3]. On évite ainsi le recours à une mesure thermique complexe à mettre en œuvre pour prendre en compte l'impact de l'échauffement des transistors sur leurs pertes par conduction.

2.3.4 Résultats

Les mesures sont faites par balayage croissant du déphasage, qui commence généralement à $T_\phi = 0$. Le point de donnée ainsi obtenu correspond en toute logique à un courant circulant nul entre les deux jambes de pont : pour ce point, la mesure de P_{DC} pourrait d'ailleurs être faite inductance déconnectée.

Pour les premiers des points balayés ensuite, le temps mort est loin d'être négligeable comparé au déphasage : l'hypothèse d'un courant constant durant T_{dead} n'est pas du tout respectée. Ainsi, jusqu'à atteindre un déphasage de l'ordre de $T_\phi > 4 \times T_{dead}$, la deuxième jambe commute avec

3. Notons que ceci repose sur l'hypothèse que le $R_{DS(on)}$ des transistors varie uniquement en fonction de leur température mais pas du courant (comportement parfaitement ohmique du canal). Cette hypothèse est très largement valide en pratique sur les plages de courant employées.

un courant encore croissant et de valeur moyenne sensiblement inférieure à $\hat{i_L}$ pendant le temps mort . Les énergies mesurées sur cet intervalle ne sont donc pas fiables.

Chaque balayage est effectué deux fois en échangeant le rôle des deux jambes afin de vérifier que cela n'introduit aucune différence appréciable. C'est pourquoi les courbes expérimentales présentées ci-dessous sont toutes légèrement dédoublées.

Rappelons que, dans ce mode de mesure, les deux commutations de chaque jambe sont supposées parfaitement symétriques, ainsi $E_{sw_h\to l} = E_{sw_l\to h}$. On peut donc désigner par E_{sw} l'énergie perdue indifféremment lors d'un de ces évènements de commutation dans la jambe au complet ($P_{sw} = 2 \times E_{sw} \times f_{sw}$ pour chaque jambe).

Les résultats présentés ci-après ont été obtenus pour des jambes à base de transistor 100 V EPC2001, caractérisées sur la gamme d'emploi visée de 30 à 50 V. Afin de maximiser la qualité des résultats sur une large gamme de courants, deux valeurs d'inductance différentes ont été employées :

— une inductance multi-tours de $L \approx 5,5\,\mu\text{H}$ et $R_{DC} \approx 34,1\,\text{m}\Omega$ a été utilisée afin d'obtenir des mesures valides dès un courant très faible mais limitées à environ 3 A par le déphasage maximal à la fréquence de découpage $f_{sw} = 500\,\text{kHz}$ (ces mesures n'ont pas été réalisées pour $V_{DC} = 50\,\text{V}$ en raison d'une défaillance du montage),

— une courte boucle de $L \approx 250\,\text{nH}$ et $R_{DC} \approx 4,7\,\text{m}\Omega$ n'assure au contraire pas de mesures fiables en-dessous de quelques ampères mais permet d'aller au-delà de 10 A tout en découpant à $f_{sw} = 1\,\text{MHz}$. La résistance faible et la fréquence élevée contribuent à garder P_{sw} à un niveau correct relativement à P_{cond}, qui augmente mécaniquement avec le courant.

Les figures 2.3.8(a)-(c) présentent les courbes $E_{sw} = f(I_{sw})$ des pertes par jambe et par évènement de commutation pour différentes tensions V_{DC} et temps morts T_{dead} sur l'intervalle $0 < I_{sw} \leq 7\,\text{A}$. Les courbes issues des deux sessions de mesure ne se « raccordent » pas parfaitement pour tous les couples V_{DC}/T_{dead}, potentiellement en raison du cumul de légers écarts à la fois sur les mesures de I_{sw} et de E_{sw}. Il faut néanmoins garder à l'esprit que cet écart reste de l'ordre de la centaine de nJ, une énergie faible en termes absolus.

Un maximum de pertes est observé à courant nul, qui augmente sensiblement avec la tension V_{DC} mais ne varie pas selon T_{dead}. Le minimum se situe à un courant commuté d'autant plus faible que T_{dead} est important.

La valeur constatée des pertes au niveau de ce minimum croit légèrement avec la tension mais reste dans tous les cas inférieure à 200 nJ. On rappelle qu'avec les cartes de développement utilisées pour ces mesures, les pertes parasites engendrées par le recouvrement inverse de la diode de bootstrap du circuit de pilotage sont estimées par son fabricant à $E_{rr} = 250\,\text{nJ}$ pour $V_{DC} = 50\,\text{V}$. Cette énergie n'étant dissipée que lors de la transition « état bas → état haut » de la jambe, elle se traduirait sur la courbe de E_{sw} par une erreur $\frac{E_{rr}}{2}$. Il est donc tout-à-fait envisageable qu'elle représente l'essentiel des pertes mesurées à proximité du minimum de la courbe.

L'allure des courbes à courants plus élevés, mieux observable sur la figure2.3.8(d), est indicatrice d'un problème de validité des mesures sur cette plage. En effet, l'égalité de courbes

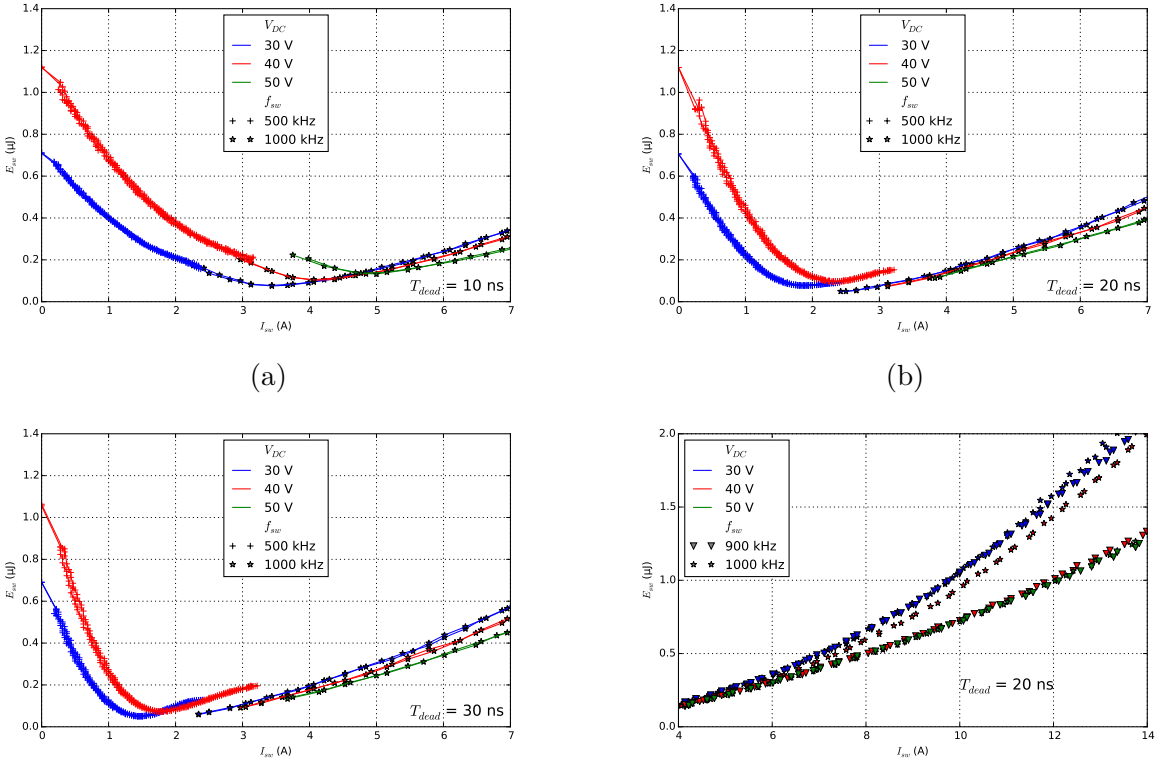


FIGURE 2.3.8 – Courbes expérimentales de pertes par commutation pour une jambe de EPC2001 : (a)-(c) mesures composites sur la gamme $0 < I_{sw} \leq 7\,\text{A}$; (d) mesures à I_{sw} élevé acquises à deux fréquences différentes

d'énergies correspondant aux mêmes conditions de commutation, mais simplement acquises à des fréquences de découpage différentes, constitue un outil de diagnostic fort que la méthode de mesure offre pour sonder la validité des valeurs obtenues. Dans le cas présent, des divergences notables apparaissent entre certaines courbes réalisées à $f_{sw} = 900\,\text{kHz}$ et $f_{sw} = 1\,\text{MHz}$. La différence est très prononcée à certaines tensions (notamment $V_{DC} = 40\,\text{V}$) et quasiment inexistante à d'autres ($V_{DC} = 50\,\text{V}$, pour lequel les courbes sont presque confondues).

Toutes les sessions de mesures effectuées jusqu'à des valeurs élevées de I_{sw} ont résulté en des allures de courbe comparables. Ceci indique que, malgré les précautions prises pour minimiser ou prendre en compte les sources d'erreur lors de leur évaluation, les pertes mesurées à courant commuté important ne constituent pas des données systématiquement fiables.

A ce niveau, on se heurte manifestement à une limite pratique de la méthode employée, due à la faible valeur des pertes de commutation qu'on cherche à caractériser (quelques µJ par composant tout au plus) qui exacerbe probablement l'influence de phénomènes de pertes plus complexes et d'origine mal identifiée.

Les questions soulevées par cette étude expérimentale ont ainsi entrainé la recherche d'une meilleure compréhension des mécanismes en jeu lors d'une commutation.

2.4 Modélisation des pertes par commutation dans une jambe de pont

2.4.1 Présentation de l'approche

2.4.1.1 Originalité

Les pertes par commutation des transistors sont assez largement évoquées dans la littérature technique, cependant leur traitement s'avère peu générique et rarement satisfaisant. La méthode généralement employée pour calculer les pertes lors d'une commutation est semblable à celle mise en œuvre dans une mesure « double impulsion », à savoir simplement intégrer le produit $v_{DS} \times i_{DS}$ [34, 35, 36, 37, 38, 39, 40, 41, 42, 43]. Elle souffre donc de la même limitation fondamentale en résumant le transistor à un simple dipôle drain-source dissipatif (i.e. son canal) ce qui obfusque complètement le rôle essentiel de sa capacité de sortie.

L'importance de la différence entre le courant de canal et le courant drain-source total lors d'une commutation a d'ailleurs été mise en avant dans [44] (via une simulation mixte déterminant le comportement du MOSFET au niveau de la physique du semiconducteur et non à partir d'un modèle électrique simplifié). Cependant, tant que les pertes sont calculées pour une période contenant une commutation à $I_{sw} \approx I$ et une à $I_{sw} \approx -I$, la sur-estimation de E_{Koff} est compensée par la sous-estimation de E_{Kon}, masquant le problème de raisonnement sous-jacent. Ainsi les estimations obtenues de cette façon s'avèrent correctes dans le cas du convertisseur buck synchrone à faible ondulation de courant, généralement le seul considéré (implicitement ou non) dans la littérature technique précédemment mentionnée.

Dans le cadre d'une topologie de conversion isolée à base de jambes de pont, capable d'assurer $I_{sw} > 0$ pour toutes ses commutations, il devient par contre inévitable d'analyser plus correctement les mécanismes de pertes en décomposant la séquence des évènements lors d'un changement d'état de la jambe de pont.

2.4.1.2 Méthodologie

Notre approche restera autant que possible basée sur des considérations analytiques simples et des grandeurs connues des éléments du circuit, le but étant d'estimer les pertes sans devoir mener des caractérisations supplémentaires (le montage n'ayant généralement pas encore été réalisé au moment de mener ces calculs). Seul ce type de résultat est réellement utilisable par l'ingénieur électronicien de puissance dans le cadre d'une conception.

Bien qu'il ne soit pas ici question de se reposer directement sur des simulations temporelles afin d'extraire des valeurs de pertes (le temps de calcul étant de toute façon prohibitif pour une évaluation à la volée), des simulations SPICE utilisant les modèles exposés en 2.1 ont servi à mieux comprendre certains mécanismes et à évaluer la validité de certaines hypothèses. En admettant que ces modèles représentent suffisamment bien le comportement des composants, ils forment une précieuse source d'informations en nous donnant accès à des grandeurs qui seraient tout simplement inaccessibles expérimentalement. Il faut cependant accepter que les phénomènes dynamiques entrant en jeu lors d'une commutation sont dans tous les cas trop

complexes et dépendants des caractéristiques exactes de chaque composant et du circuit pour espérer viser autre chose qu'une estimation de premier ordre. Nous nous efforcerons néanmoins de quantifier au mieux chacun des mécanismes afin de dégager une valeur cohérente de pertes dans chaque jeu de conditions.

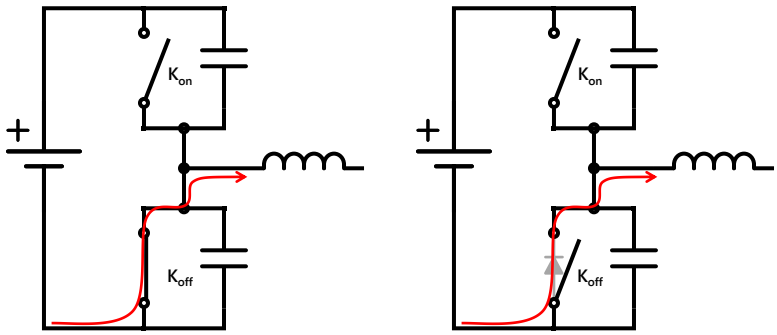
Les pertes dues à la commande de grille ont déjà été évoquées précédemment dans ce manuscrit. Elles seront abordées en premier puisque se plaçant un peu à part des autres mécanismes de pertes. Ensuite, les mécanismes de pertes par commutation affectant directement les transistors seront étudiés selon le sens du courant I_{sw} au moment de la commutation.

2.4.2 Pertes de commande de grille

Le premier mécanisme de perte est dû à la capacité de la grille du composant (grille-source mais également grille-drain) qui doit être chargée pour amorcer le composant puis déchargée pour le bloquer. Si on appelle $Q_G(V_{drive})$ la charge stockée dans la grille à sa tension nominale de pilotage V_{drive}, c'est une énergie $E_G = 1/2 \times Q_G(V_{drive}) \times V_{drive}$ qui doit ainsi être stockée, puis déstockée, à chaque période. Cette charge-décharge est généralement assurée par un circuit intégré de pilotage dont les transistors du « totem-pole » CMOS de sortie [4] ont chacun un certain $R_{DS(on)}$ auquel s'ajoutent la résistance de grille interne au FET de puissance et l'éventuelle résistance de grille externe supplémentaire. Lors de la charge, une quantité d'énergie égale à celle stockée dans la capacité se retrouve dissipée dans la résistance de ce circuit. Lors de la décharge, l'énergie qui était stockée dans la grille est intégralement dissipée dans cette même résistance. Au total, c'est donc une énergie $2 \times E_G = Q_G(V_{drive}) \times V_{drive}$ qui est perdue à chaque période de découpage, par transistor.

La résistance de grille interne du transistor représente généralement une part réduite de la résistance totale de ce circuit : la dissipation est dans ce cas en grande majorité externe au FET. De plus, la puissance est consommée sur l'alimentation auxiliaire et non pas directement sur le bus d'entrée du convertisseur. On prendra donc souvent en compte ce mécanisme séparément du reste des pertes par commutation.

Il est important de remarquer que, la valeur de Q_G incluant la charge de la capacité C_{GD}, elle dépend donc de la tension bloquée par le transistor au moment de l'amorçage. A défaut de mieux, on se satisfera de l'approche premier ordre qui se base sur la Q_G spécifiée par le fabricant à une valeur de tension bloquée de $1/2 \times V_{DSmax}$ représentative d'un emploi conservateur du transistor. Cette approximation s'avère bien suffisante pour dimensionner le circuit de pilotage de grille. En matière d'impact sur le rendement global du convertisseur, elle est d'autant moins problématique que la valeur de Q_G des HFET GaN est dans tous les cas remarquablement faible : ce mécanisme de pertes pourra sans problème être négligé par rapport à ceux décrits ci-après.



(a) (b)

FIGURE 2.4.1 – Blocage à courant négatif : (a) état initial ; (b) temps mort

2.4.3 Pertes lors d'une commutation à $I_{sw} \leq 0$

2.4.3.1 Blocage de K_{off} et temps mort : conduction inverse

On a vu précédemment que, si les HFET GaN ne disposent pas de véritable diode de corps, ils exhibent un comportement similaire : avec $V_{GS} = 0$ le canal devient passant s'il est polarisé en inverse.

L'état initial est montré sur la figure 2.4.1(a) où K_{off} (ici arbitrairement choisi comme K_{low}) est passant. L'évènement de commutation commence quand son circuit de commande cherche à le bloquer : bien que la conduction « normale » de son canal ne soit plus présente, il va continuer à conduire I_{sw} par ce mécanisme de conduction inverse - cf. figure 2.4.1(b).

Ceci continuera pendant tout le temps mort, jusqu'à l'amorçage de K_{on} qui pourra alors prendre le relais de la conduction. En notant $V_{SD}(I_{sw})$ la chute de tension inverse du transistor quand il est traversé par un courant inverse I_{sw}, l'énergie dissipée de cette façon est donc :

$$E_{Koff(reverse)} = I_{sw} \times V_{SD}(I_{sw}) \times T_{dead}$$

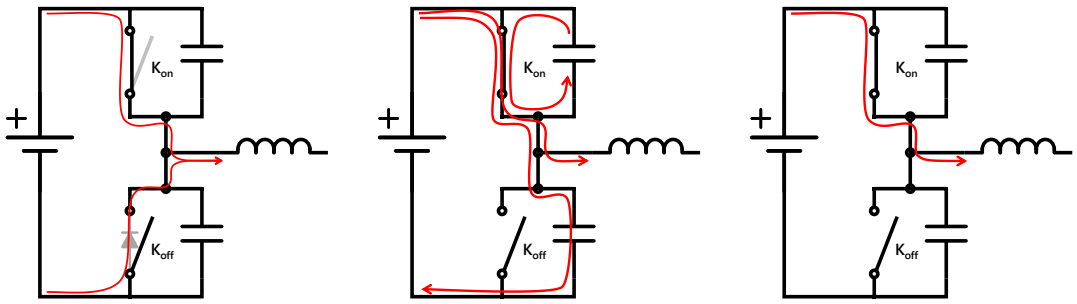
Ceci constitue la seule énergie significative dissipée par K_{off} lors d'une commutation à I_{sw} négatif.

2.4.3.2 Amorçage de K_{on} : croisement $v_{DS} \times i_{ch}$

Formes d'ondes approchées La figure 2.4.2(a) schématise la première étape de l'amorçage de K_{on}, alors que le canal de ce dernier n'est pas encore assez enrichi pour délivrer tout le courant I_{sw} dont une partie continue à être délivrée par K_{off} en conduction inverse. Aussi longtemps que cela dure, la tension aux bornes de K_{off} vaut seulement quelques volts : la tension aux bornes de K_{on} reste donc imposée à environ V_{DC}.

Ce n'est qu'une fois que I_{sw} est entièrement délivré à travers le canal de K_{on} que la tension aux bornes de K_{off} est libre de s'élever et donc celle de K_{on} de descendre à 0.

4. Certains circuits intégrés de pilotage de grille utilisent un étage de sortie en technologie BiCMOS voire simplement bipolaire, mais ceci ne change rien à la dissipation résultante



(a) (b) (c)

FIGURE 2.4.2 – Amorçage à courant négatif : (a) transfert du courant ; (b) charge-décharge dissipative des capacités de sortie ; (c) état final

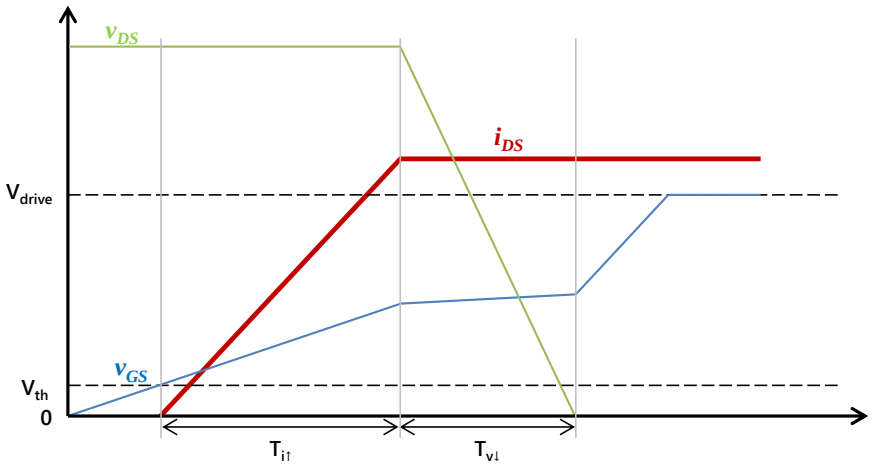


FIGURE 2.4.3 – Formes d'ondes schématiques des courants et tensions d'un transistor amorçé à courant commuté positif

Les formes d'ondes exactes du courant et de la tension vus par le canal de K_{on} durant cette phase de transition sont potentiellement complexes : l'approche généralement employée est de les réduire à des segments de droite comme sur la figure 2.4.3. Ainsi, le courant de canal $i_{ch} = i_{DS}$ augmente linéairement de 0 à I_{sw} pendant que la grille est en train d'être chargée par son circuit de pilotage (durée $T_{i\nearrow}$) puis la tension v_{DS} aux bornes du composant décroit linéairement de V_{DC} à 0 pendant une durée $T_{v\searrow}$. Il est alors possible d'estimer l'énergie dissipée dans K_{on} durant cette transition par :

$$E_{Kon(v\times i)} = 1/2 \times V_{DC} \times I_{sw} \times (T_{i\nearrow} + T_{v\searrow})$$

Estimation des durées Le point délicat consiste à déterminer les durées $T_{i\nearrow}$ et $T_{v\searrow}$ de ces deux phases dissipatives (l'axe des temps sur la figure 2.4.3 est purement indicatif et n'implique pas que l'une de ces phases dure forcément plus longtemps que l'autre).

Durant $T_{i\nearrow}$ la tension v_{DS} est quasiment constante, aussi la non-linéarité de C_{GD} n'intervient pas. Si les mailles de puissance et de commande partagent une unique connexion de source d'inductance L_S non-nulle, la croissance du courant induit une tension $V_L = L_S \times \frac{dI_{DS}}{dt}$ qui

vient se soustraire à la tension imposée par le circuit de pilotage [5] et ainsi ralentir la montée de v_{GS} [45, 37]. La configuration *flip-chip* sans des FET *eGaN* et l'existence de plusieurs barres ou billes de source (dont l'une est spécifiquement appairée à la grille sur la majorité de la gamme, mais pas sur les références génération 2 utilisées dans ce travail [6]) permet raisonnablement de poser $L_S = 0$ si le routage est réalisé dans les règles de l'art.

Durant $T_{v\searrow}$ le courant i_{DS} est inchangé, aussi l'inductance de source L_S ne pose plus aucun problème. Par contre la tension v_{DS} décroit rapidement, induisant un courant i_{GD} à travers la capacité C_{GD} (capacité non-linéaire qui, pour ne pas arranger les choses, augmente au fur et à mesure que v_{DS} diminue). Ce courant vient se soustraire à celui débité par le circuit de pilotage et s'oppose ainsi à la charge de C_{GS} : c'est l'effet Miller. Pendant $T_{v\searrow}$, en raison de cette contre-réaction, la tension v_{GS} a ainsi tendance à former un plateau de pente fortement réduite voire nulle (dictée par la différence entre i_{GD} et i_{drive}). Par la suite on désignera le niveau de v_{GS} auquel ce plateau apparait comme $V_{plateau} \approx V_{th} + \frac{I_{sw}}{g}$ avec la transconductance $g = \left.\frac{\partial i_{ch}}{\partial v_{GS}}\right|_{v_{DS}>v_{GS}>V_{th}}$.

Déterminer la dynamique temporelle de la montée en tension de v_{GS} n'est donc pas une chose aisée, la forte non-linéarité empêchant de réduire le circuit d'attaque de grille à un simple RC (ou RLC sous-amorti). Faute de solution plus universelle, l'approche usuelle est d'estimer des valeurs moyennes pour le courant d'attaque de grille à partir de la différence de potentiel moyenne appliquée à la résistance de grille dans chacune de ces deux phases : $I_{drive_Ti\nearrow} \approx \frac{V_{drive} - 1/2\left(V_{th}+V_{plateau}\right)}{R_{G_tot}}$ et $I_{drive_Tv\searrow} \approx \frac{V_{drive}-V_{plateau}}{R_{G_tot}}$. Reste à connaitre la charge qui doit être délivrée à la grille par ces courants pour remonter à $T_{i\nearrow}$ et $T_{v\searrow}$.

Une courbe de la tension v_{GS} en fonction de la charge stockée dans la grille $v_{GS}(q_G)$ fait en partie des données standards fournies par les fabricants (cf figure 2.4.4). Tracée pour une valeur typique de courant et une, voire plusieurs, de $v_{DS}(v_{GS} = 0)$, elle fait apparaitre le plateau de Miller sous la forme d'une région où la charge augmente sans que la tension ne varie significativement. La convention désigne sous le nom de « charge grille-source » Q_{GS} l'abscisse à laquelle ce plateau commence et « charge grille-drain » Q_{GD} la largeur de ce dernier (qui correspond à la charge soustraite à la grille par i_{GD}). Ces deux valeurs sont généralement retrouvées de façon numérique à la suite de Q_G dans le tableau de données du FET [7]. Q_{GS} est parfois spécifiée en deux parties situées en-deçà (Q_{GS1}) et au-delà (Q_{GS2}) de la tension de seuil V_{th}, la première ne faisant que causer un léger délai à l'amorçage sans participer aux pertes puisque le transistor est toujours bloqué (à défaut, ces valeurs peuvent toujours être lues sur la courbe).

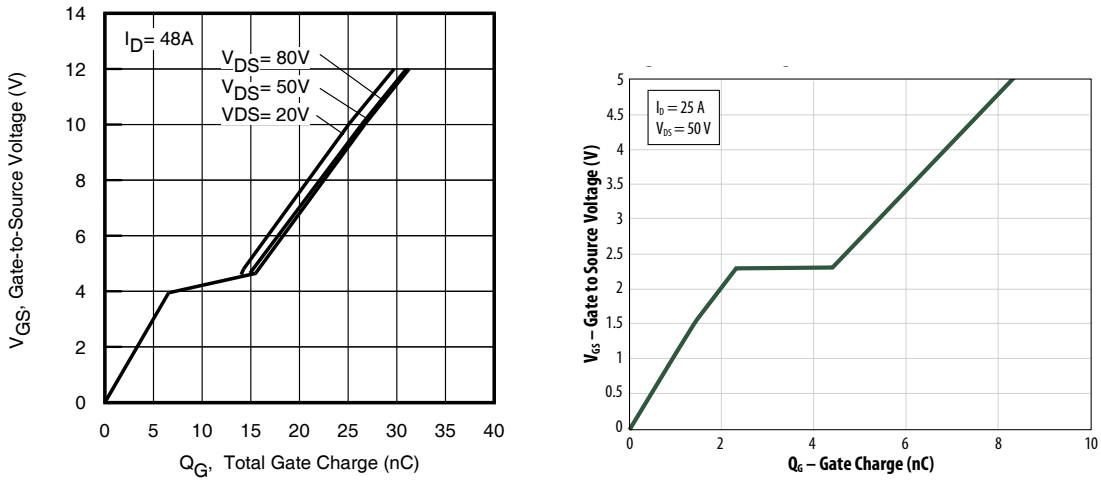
Il en découle alors immédiatement $T_{i\nearrow} = \frac{Q_{GS2}}{I_{drive_Ti\nearrow}}$ et $T_{v\searrow} = \frac{Q_{GD}}{I_{drive_Tv\searrow}}$.

On notera que ces calculs se basent entre autres sur la tension de seuil V_{th}, caractéristique

5. Cette tension se soustrait également à v_{DS} sans conséquence remarquable.

6. La génération 2 est constituée de références remplaçant directement celles de la génération 1, avec des empreintes rétro-compatibles. Une modification a été toutefois apportée : un contact au substrat (qui était laissé flottant en génération 1) a remplacé la bille de source dédiée au pilotage de la grille. Toutes les nouvelles références introduites par la suite, sans volonté de rétro-compatibilité, disposent à la fois d'une bille de source dédié au pilotage (adjacente à la bille de grille comme il se doit) et une bille de contact substrat située ailleurs (à proximité d'une bille ou barre de source).

7. Notons que $Q_G > Q_{GS} + Q_{GD}$ puisque passé le plateau de Miller, bien que le transistor ait globalement fini de commuter la tension, il reste encore à finir de charger C_{iss} jusqu'à V_{drive} afin d'obtenir un $R_{DS(on)}$ optimal.



(a) (b)

FIGURE 2.4.4 – Exemples de courbes de charge de grille fournies par les fabricants : (a) MOSFET IRFH7191 ; (b) HFET EPC2001

spécifiée de façon assez lâche notamment pour un FET *eGaN* $(0,7-2,5\,\mathrm{V})$: la valeur, qu'elle soit lue sur la courbe ou donnée directement par le fabricant, est donc à manier avec prudence ainsi que les durées qui en découlent. Plus généralement, il faut garder à l'esprit que l'approche présentée ici représente simplement la méthode traditionnelle d'estimation de ces pertes et s'avère souvent assez peu précise. Les commutations à $I_{sw} < 0$ ne représentant pas le cas d'intérêt principal de cette étude, la question ne sera pas développée plus avant.

2.4.3.3 Amorçage de K_{on} : capacité de sortie

Comme on vient de le voir, au moment où K_{on} est amorcé, ce dernier est toujours en train de bloquer la tension V_{DC}. Une énergie $E_{oss}(V_{DC}) = 1/2 \times Q_{oss}(V_{DC}) \times V_{DC}$ est donc stockée dans sa capacité de sortie C_{oss}.

Comme représenté sur la figure 2.4.2(b), la mise en conduction du canal de K_{on} va venir court-circuiter cette capacité par un courant de décharge complètement interne au composant. La dynamique exacte de ce courant importe peu puisqu'au final, l'énergie dissipée est $E_{oss}(V_{DC})$.

De la même façon, la capacité de sortie de K_{off} va irrémédiablement être chargée à V_{DC} : c'est la même énergie $E_{oss}(V_{DC})$ qui va se stocker dedans. Cette charge, elle, se fait à travers le circuit RLC de la maille de puissance, composé de :

— l'inductance L_{loop} de la maille de puissance,
— la résistance du canal de K_{on} (à laquelle viennent s'ajouter d'autres résistances parasites normalement négligeables en regard : pistes, condensateur de bus, etc.),
— la capacité non-linéaire C_{oss} de K_{off}.

Ce circuit reste généralement sous-amorti en pratique et on observe un dépassement plus ou moins importante de la tension drain-source de K_{off} (ce qui peut être une contrainte de dimensionnement) avec un amortissement en quelques périodes. Dans des mailles de puissance optimisées à l'inductance remarquablement basse ou avec un C_{oss} particulièrement élevé, il est

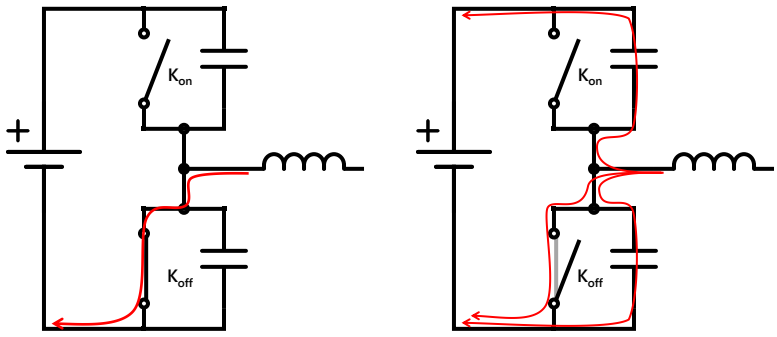
possible d'observer une réponse sans aucun dépassement, de type RC. Dans les deux cas une énergie égale à celle stockée dans le capacité de sortie de K_{off} aura été dissipée, essentiellement dans le canal de K_{on}.

Au final, en raison des capacités de sortie, l'énergie dissipée dans K_{on} (bien que la moitié soit en fait due à K_{off}) s'écrit simplement :

$$E_{Kon(Coss)} = 2 \times E_{oss}(V_{DC})$$

Une fois les éventuelles oscillations amorties, la commutation est complètement terminée et la jambe de pont se trouve dans la configuration de la figure 2.4.2(c).

2.4.4 Pertes lors d'une commutation à $I_{sw} > 0$



(a) (b)

FIGURE 2.4.5 – Blocage à courant positif : (a) état initial ; (b) transfert du courant

2.4.4.1 Blocage de K_{off} : croisement $v_{DS} \times i_{ch}$

L'état initial est représenté sur la figure 2.4.5(a). Lors du blocage, la continuité du courant commuté I_{sw} est assurée comme représenté sur la figure 2.4.5(b) : le courant du canal de K_{off} en cours de déplétion se transfère vers sa C_{oss} qui commence alors à se charger, ainsi que vers la C_{oss} de K_{on} qui se décharge simultanément.

Contrairement à ce qui est souvent considéré comme évident, le déroulement de ce blocage $I_{sw} > 0$ est donc très loin d'être le symétrique de l'amorçage $I_{sw} < 0$ précédemment présenté.

Approche qualitative par simulation La dynamique de répartition du courant pendant le blocage du canal est excessivement complexe. Afin de mieux comprendre et illustrer ce phénomène, les formes d'ondes d'intérêt tirées d'une simulation SPICE sont présentées sur la figure 2.4.6. Bien que limité par les modèles et hypothèses employées (il n'y a notamment aucune inductance parasite dans la maille de puissance, contrairement à la maille de commande) ce type de simulation permet d'accéder à des signaux non observables en pratique et constitue une aide précieuse à l'analyse de tels phénomènes dynamiques.

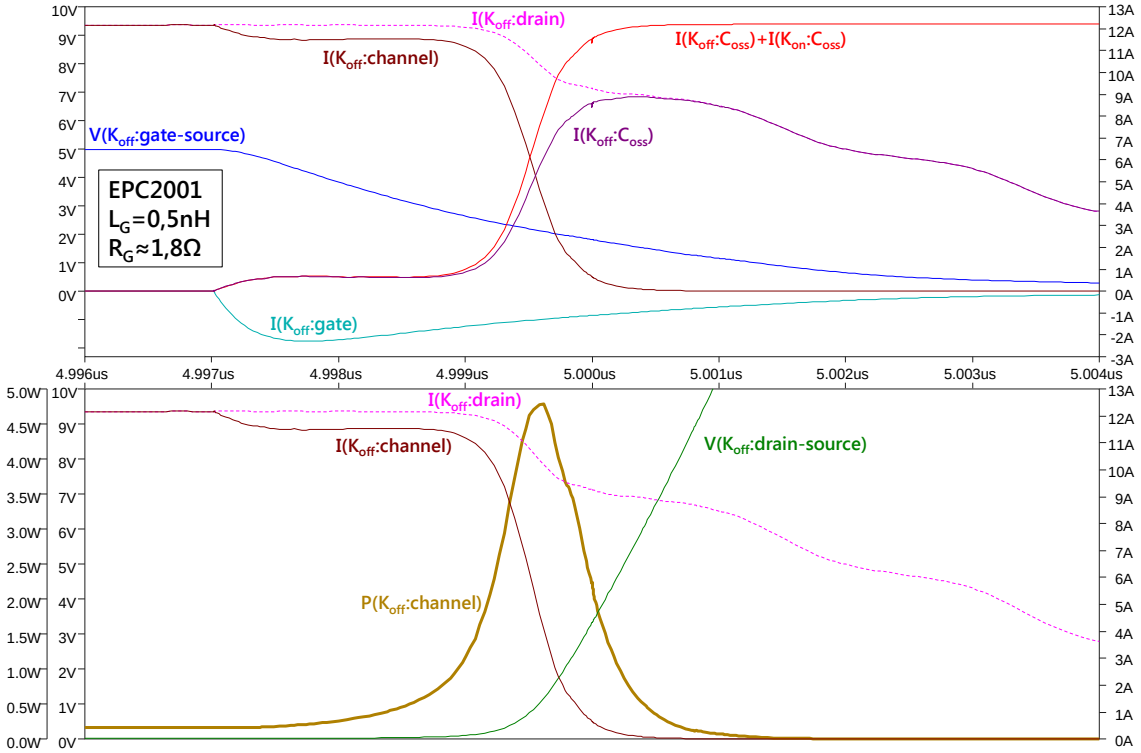


FIGURE 2.4.6 – Simulation du blocage d'un EPC2001 à $I_{sw} \approx 12\,\text{A}$

A l'échelle de ce transitoire et aux inductances parasites près, les capacités de sortie de K_{off} et K_{on}sont effectivement « en parallèle » telles que vues depuis le nœud commuté de la jambe de pont : on les combine ici en une unique capacité dynamique composite C_{oss_total} traversée par un courant de charge/décharge i_{oss_total}. Il est clair que l'évolution du courant total i_{DS} à travers K_{off} diffère grandement de celle du courant i_{ch} traversant effectivement son canal : il n'est donc pas question d'estimer l'énergie perdue en intégrant $v_{DS} \times i_{DS}$ (ce qui est souvent fait, i_{DS} étant de toute façon le seul courant mesurable de l'extérieur). Par contre, à tout instant pendant le blocage on a bien $i_{ch} + i_{oss_total} = I_{sw}$.

La grille du HFET GaN étant déchargée suffisamment rapidement, on est ici dans le cas où K_{off} voit son courant de canal i_{ch} s'annuler très vite par rapport à la charge de sa capacité de sortie, au point que sa tension v_{DS} n'a encore atteint que quelques volts : l'intégrale du $v_{DS} \times i_{ch}$ reste très faible ($< 10\,\text{nJ}$ ici) et on peut tout simplement s'autoriser à ignorer ce mécanisme de pertes. Avec des composants lents au blocage [8] l'ajout d'un condensateur en parallèle avec chaque transistor est une pratique courante afin de ralentir la montée de la tension et d'assurer le blocage à tension quasi-nulle (cet ajout se fait au prix d'une énergie capacitive stockée E_{oss} beaucoup plus importante, rendant destructrice toute commutation sans ZVS).

Formes d'ondes approchées Même si elles sont *a priori* très faibles avec un HFET GaN bien commandé et dans sa plage d'utilisation normale, il reste envisageable de tenter une quan-

8. Tout particulièrement les IGBT, dont le recouvrement des porteurs minoritaires entraine une « queue de courant » persistant après que la grille soit déchargée.

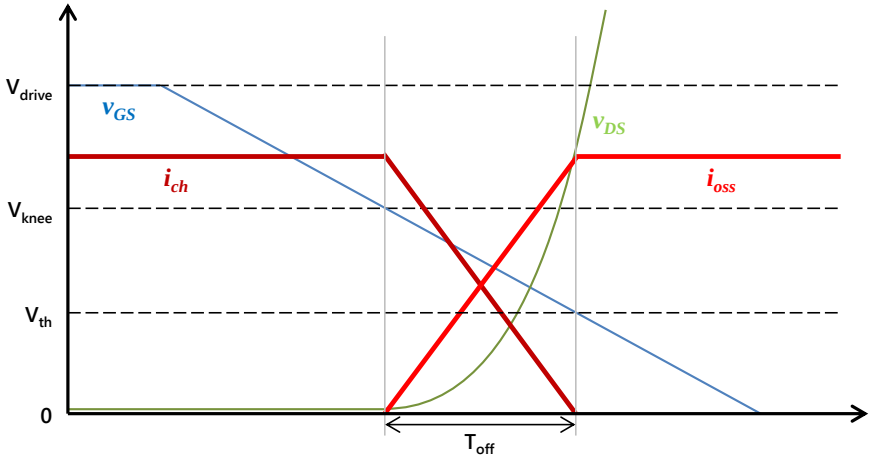


FIGURE 2.4.7 – Formes d'ondes schématiques des courants et tensions d'un transistor bloqué à courant commuté positif

tification des pertes engendrées par ce mécanisme en effectuant des simplifications au premier ordre. La figure 2.4.7 représente les formes d'ondes correspondant à ces hypothèses simplificatrices. Pour mener ce calcul, on doit partir de l'hypothèse que v_{DS} ne va pas s'élever trop vite par rapport à la décharge de la grille. L'effet Miller peut alors être négligé et la capacité d'entrée C_{iss} considérée constante.

Appelons V_{knee} la tension de commande en-dessous de laquelle le courant de canal i_{ch} commence à décroitre. Supposons ensuite que le courant de canal i_{ch} décroit linéairement de I_{sw} à 0 pendant la durée T_{off} qu'il faut à la grille pour être déchargée depuis V_{knee} jusqu'à la tension de seuil V_{th} :

$$i_{ch}(t) = \left(1 - \frac{t}{T_{off}}\right) \times I_{sw}$$

Au fur et à mesure que i_{ch} décroit, une part de plus en plus importante de I_{sw} bascule vers i_{oss_total} qui augmente donc linéairement de 0 à I_{sw} : $i_{oss_total}(t) = \frac{t}{T_{off}} \times I_{sw}$. La capacité de sortie composite C_{oss_total} accumule donc une charge croissante :

$$Q_{oss_total}(t) = \int_0^t \frac{\tau}{T_{off}} \cdot I_{sw}\, d\tau = \frac{I_{SW} \cdot t^2}{2 \cdot T_{off}}$$

A défaut d'inverser la véritable caractéristique non-linéaire $Q_{oss}(V_{DS})$ des transistors (qui impliquerait de renoncer à une écriture analytique simple) on s'appuiera sur l'hypothèse de faible variation de v_{DS} faite précédemment pour fixer cette capacité à une valeur constante $C_{oss_total} = C_{oss}\,(0\,\mathrm{V}) + C_{oss}(V_{DC})$ et utiliser directement $V = \frac{Q}{C}$ pour obtenir $v_{DS}(t) = \frac{I_{sw} \cdot t^2}{2 \cdot T_{off} \cdot C_{oss_total}}$. A ce stade, il est nécessaire de vérifier que la tension finale $v_{DS}(T_{off}) = \frac{I_{sw} \cdot T_{off}}{2 \cdot C_{oss_total}}$ est bel et bien faible, validant l'hypothèse initiale : dans le cas contraire, la démarche de calcul présentée ici n'est pas applicable.

L'énergie dissipée dans le canal pendant la durée du blocage peut alors s'écrire :

$$E_{Koff(v\times i)} = \int_0^{T_{off}} i_{ch}(t) \cdot v_{DS}(t)\, dt = \frac{I_{sw}^2 \cdot T_{off}^2}{24 \cdot C_{oss_total}}$$

On retrouve le même résultat dans [46] où est traité le circuit d'aide au blocage précédemment évoqué (condensateur parallèle).

Estimation de la durée Notons que dans l'hypothèse prise ici d'une commutation rapide du canal, cette énergie perdue n'est pas proportionnelle à V_{DC} - contrairement au croisement $v_{DS}\times i_{ch}$ lors d'un amorçage à $I_{sw} < 0$. La vitesse de blocage du canal est par contre déterminante puisque T_{off} est un facteur quadratique, aussi il semble pertinent de chercher à déterminer sa valeur. On considèrera qu'il s'agit du temps écoulé entre les instants T_{knee} (où $v_{GS} = V_{knee}$) et T_{th} (où $v_{GS} = V_{th}$).

Par définition, V_{knee} représente la tension grille-source pour laquelle, sous $v_{DS} \approx 0$, le courant traversant le canal vaut tout juste I_{sw}. On retrouve quasiment une définition identique à celle du plateau Miller, au détail près qu'ici v_{DS} est très faible : dans cette situation, la transconductance g n'est pas rigoureusement définie car le transistor n'est pas en régime de saturation, il serait donc abusif d'écrire $V_{knee} = V_{th} + \frac{I_{sw}}{g}$. Aucune solution plus élégante n'a été dérivée dans le cadre de ces travaux.

La décroissance de v_{GS} dépend de la dynamique du circuit formé par la résistance totale d'attaque de grille R_G, la capacité C_{iss} (on prendra ici sa valeur à $v_{DS} = 0\,\mathrm{V}$) et l'inductance de la boucle de commande L_G. Si ce circuit est bien sur-amorti ($R_G \gg 2 \times \sqrt{\frac{L_G}{C_{iss}}}$) on peut le traiter comme un circuit RC et écrire $v_{GS}(t) = V_{drive} \times \left(1 - e^{-\frac{t}{R_G \cdot C_{iss}}}\right)$. De cette approche, probablement valable dans la majorité des cas avec un MOSFET silicium, il découle :

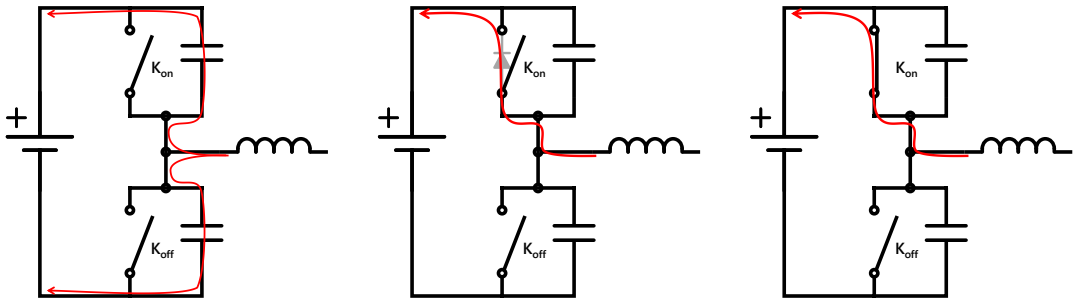
$$\begin{aligned} T_{knee} &= -R_G \times C_{iss} \times \ln\left(1 - \frac{V_{knee}}{V_{drive}}\right) \\ T_{th} &= -R_G \times C_{iss} \times \ln\left(1 - \frac{V_{th}}{V_{drive}}\right) \\ \implies T_{off} &= T_{th} - T_{knee} = -R_G \times C_{iss} \times \ln\left(\frac{V_{drive} - V_{th}}{V_{drive} - V_{knee}}\right) \end{aligned}$$

Avec un HFET GaN dont on a optimisé R_G pour obtenir les commutations les plus rapides possibles on est typiquement plutôt dans le cas d'un amortissement critique ou légèrement sub-critique [9], bien plus complexe à traiter mathématiquement. En considérant que le circuit est sous-amorti, on peut essayer d'estimer le temps de descente par la demi-période de résonance $\frac{T_{res}}{2} = \pi \times \sqrt{L_G \cdot C_{iss}}$. La comparaison avec des simulations SPICE semble montrer que cette approche donne un ordre de grandeur raisonnable de cette durée de blocage.

Une dernière solution, retenue pour la suite de ces travaux, consiste à mesurer ces durées sur un prototype de jambe de pont représentatif du routage qui sera utilisé dans des futurs

9. Lorsque la tension de commande est dans la gamme $4,5 - 5\,\mathrm{V}$, un léger sous-amortissement menant à un dépassement de tension de l'ordre du demi-volt (soit 10%) permet de réduire sensiblement le temps de montée et reste acceptable en terme de stress sur la grille.

convertisseurs. En pratique, l'erreur commise par toutes ces approches constitue rarement un problème crucial car la valeur calculée de $E_{Koff_v\times i}$ reste normalement très inférieure aux autres mécanismes de pertes.



(a) (b) (c)

FIGURE 2.4.8 – Amorçage à courant positif : (a) résonance pendant le temps mort ; (b) éventuelle conduction inverse ; (c) état final

2.4.4.2 Amorçage de K_{on} : capacité de sortie

Une fois le canal de K_{off} complètement bloqué et pendant toute la durée du temps mort, la continuité du courant I_{sw} est initialement assurée par les capacités de sortie C_{oss} des deux transistors de la jambe de pont, venant charger celle de K_{off} et décharger celle de K_{on} - comme représenté sur la figure 2.4.8(a).

A la fin du temps mort, c'est-à-dire au moment de l'amorçage de K_{on}, la tension v_{DS} aux bornes de ce dernier aura donc décru jusqu'à une valeur $V_{on} < V_{DC}$ (idéalement nulle) permettant de réduire les pertes par rapport au cas $I_{sw} \leq 0$.

K_{off} a alors à ses bornes la tension complémentaire $V_{DC} - V_{on}$. Dans ce cas, l'énergie restant dans la capacité de sortie de K_{on} est $E_{oss}(V_{on})$. L'énergie stockée dans celle de K_{off} est $E_{oss}(V_{DC} - V_{on})$, il y manque donc encore $E_{oss}(V_{DC}) - E_{oss}(V_{DC} - V_{on})$ pour être entièrement chargée. A l'amorçage, l'énergie qui sera dissipée dans le canal de K_{on} est donc :

$$E_{Kon(Coss)} = E_{oss}(V_{on}) + E_{oss}(V_{DC}) - E_{oss}(V_{DC} - V_{on})$$

On notera que cette expression générale se réduit bien :
— à 0 dans le cas où $V_{on} = 0$ (ZVS),
— et à $2 \times E_{oss}(V_{DC})$ si $V_{on} = V_{DC}$ (commutation à $I_{sw} \leq 0$).

La figure 2.4.9 schématise, à l'échelle du temps mort, les formes d'ondes d'une commutation où le ZVS est obtenu. Le temps nécessaire à assurer la transition jusqu'à zéro de la tension aux bornes de K_{on} est T_{ZVS}. On peut immédiatement calculer sa valeur à partir de la charge $Q_{oss_total} = 2 \times Q_{oss}(V_{DC})$ devant être fournie par le courant constant I_{sw} : $T_{ZVS} = \frac{Q_{oss_total}}{I_{sw}}$. Ceci représente le « temps mort optimal » qui assure en théorie l'absence de toute perte à l'amorçage. Avec des FET GaN, l'ordre de grandeur de T_{ZVS} va de moins de 1 ns pour des applications basse tension et fort courant jusqu'à quelques dizaines de nanosecondes pour des

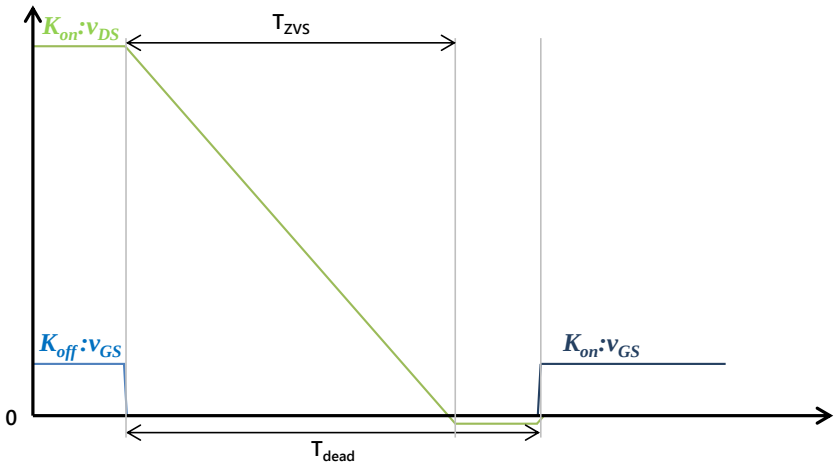


FIGURE 2.4.9 – Formes d'ondes schématiques de la transition menant au ZVS

applications à tension plus élevée et courant de quelques ampères [10].

Pour estimer V_{on} quand $T_{dead} \leq T_{ZVS}$, bien que la décroissance de la tension aux bornes de K_{on} ne soit régulière en raison de la non-linéarité de C_{oss}, on peut au premier ordre considérer qu'elle l'est et écrire que $\frac{V_{on}}{V_{DC}} = 1 - \frac{T_{dead}}{T_{ZVS}}$. Là encore, une approche plus précise nécessiterait d'inverser la caractéristique $Q_{oss}(V_{DS})$, ce qui reste envisageable mais n'a pas été effectué au vu des résultats satisfaisants obtenus par ce calcul dans la majorité des cas.

2.4.4.3 Amorçage de K_{on} : conduction inverse

Si $T_{dead} > T_{ZVS}$, la tension V_{on} est réduite à 0 avant l'amorçage de K_{on}. Le courant I_{sw} se met alors à circuler dans K_{on} par le mécanisme de conduction inverse non-commandée, comme représenté en figure 2.4.8(b), jusqu'à la fin du temps mort. Ceci a pour conséquence la dissipation d'une énergie :

$$E_{Kon(reverse)} = I_{sw} \times V_{SD}(I_{sw}) \times \left(T_{dead} - \frac{Q_{oss_total}}{I_{sw}} \right)$$

Dans le cas contraire, la conduction inverse non-commandée n'a pas l'occasion d'entrer en jeu avant la commande d'amorçage de K_{on} et on arrive directement à l'état final représenté en 2.4.8(c).

2.4.5 Synthèse du modèle $E_{sw} = f(V_{bus},\ I_{sw},\ T_{dead})$

Le tableau 2.4.1 résume les différentes sources de pertes par commutation présentées dans les paragraphes précédents.

Il est capital de remarquer que le cas $I_{sw} > 0$ comporte deux colonnes selon que la charge/décharge des capacités de sortie a eu l'occasion de s'effectuer entièrement : le sens positif du

10. Vu les temps très courts en jeu, les délais d'amorçage et de blocage des transistors peuvent modifier sensiblement le T_{dead} effectif par rapport à sa valeur commandée. Il est donc délicat en pratique de cibler précisément T_{ZVS}.

courant commuté est une condition nécessaire mais non suffisante pour obtenir un amorçage à zéro de tension. Il est ainsi abusif de subdiviser les commutations en « blocages commandés » où seule une énergie E_{Koff} serait perdue et « amorçages commandés » où seule E_{Kon} le serait, approche courante dans la littérature.

Courant commuté*	$I_{sw} < 0$	$I_{sw} = 0$	$0 < I_{sw} < I_{ZVS}$	$I_{sw} = I_{ZVS}$	$I_{sw} > I_{ZVS}$
E_{Koff}	Conduction inverse	**0**	Faible croisement $v_{DS} \times i_{ch}$		
E_{Kon}	C_{oss} (complet) et croisement $v_{DS} \times i_{ch}$	C_{oss} (complet)	C_{oss} (partiel)	**0**	Conduction inverse

* avec $I_{ZVS} = \frac{Q_{oss_total}}{T_{dead}}$

TABLE 2.4.1 – Synthèse des mécanismes de pertes lors d'une commutation

La figure 2.4.10 permet de visualiser l'articulation de ces différents mécanismes sur un graphique $E_{sw}(I_{sw})$ simplifié (où $E_{sw} = E_{sw_h\to l} = E_{sw_l\to h}$ est l'énergie perdue dans l'ensemble de la jambe lors d'un évènement de commutation).

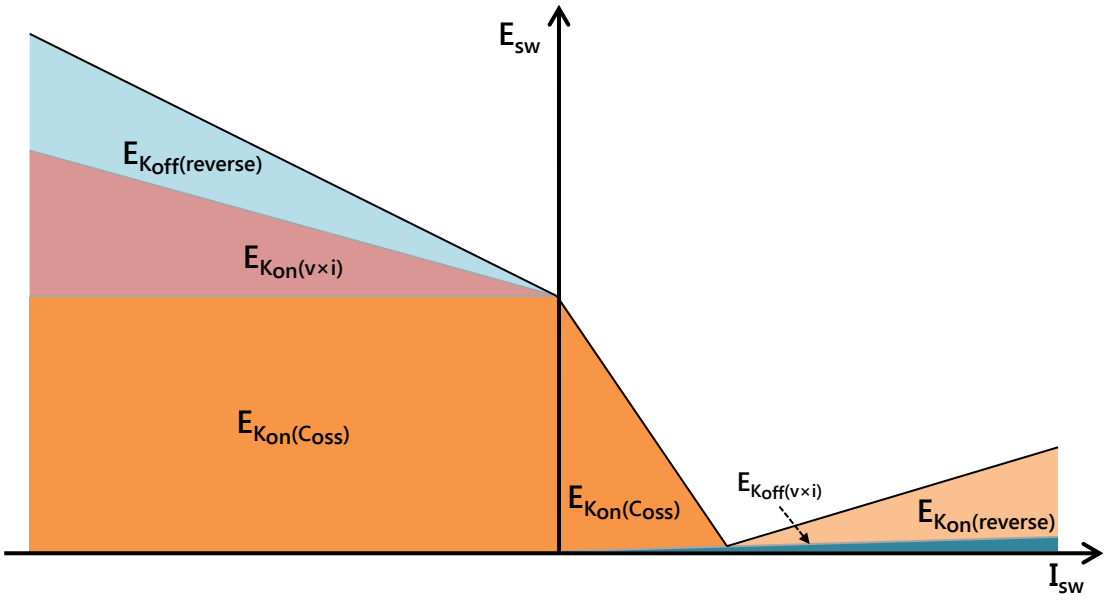


FIGURE 2.4.10 – Allure de la courbe $E_{sw}(I_{sw})$ issue du modèle à tension V_{DC} et temps mort T_{dead} fixés

Même dans un convertisseur capable d'assurer toutes les commutations à courant positif, l'importance du choix du temps mort est nette. Trop court, seuls des courants commutés très élevés assureront un amorçage à tension réellement nulle. Trop long, des pertes de conduction inverse importantes apparaitront. Dans le cas d'une combinaison optimale temps mort / courant commuté, l'amorçage se fait à tension nulle sans conduction inverse : le modèle prévoit alors des pertes quasiment nulles (le très faible croisement $v \times i$ au blocage étant le seul mécanisme de pertes restant).

L'idéal semble évidemment être un temps mort adaptatif $T_{dead} = \frac{Q_{oss_total}}{I_{sw}}$. Une commande

d'amorçage auto-pilotée transformant le transistor en « thyristor dual » [11] remplirait également ce rôle, mais la mise en œuvre de ce genre de circuit pose des problèmes de temps de propagation car le temps mort optimal se situe typiquement entre 1 et 30 ns pour une jambe de pont à base de HFET GaN commutant des courants adaptés à leur calibre.

2.4.6 Comparaison mesures - modèle analytique

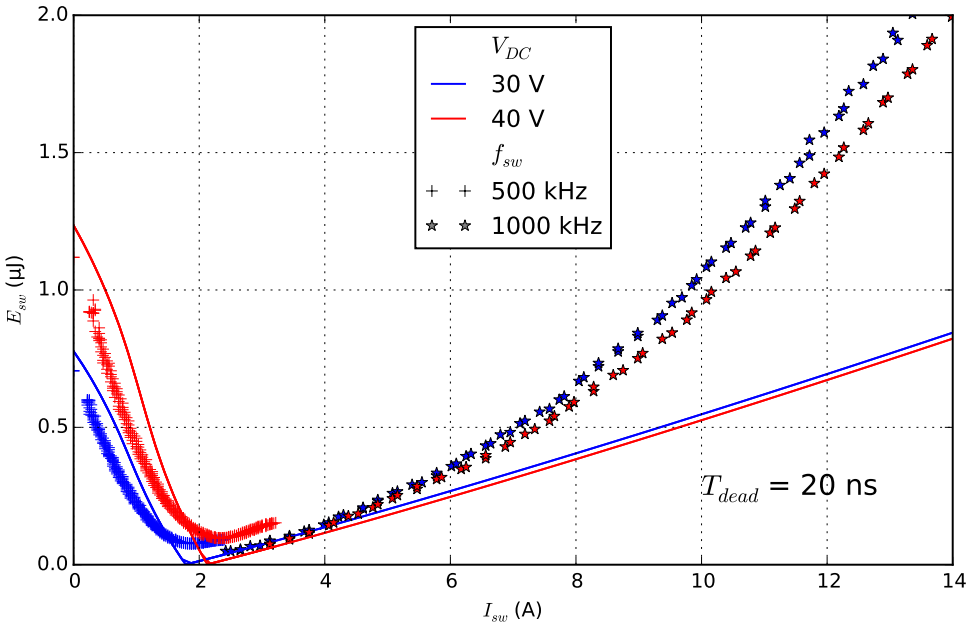


FIGURE 2.4.11 – Comparaison des courbes $E_{sw}(I_{sw})$ expérimentales avec le modèle analytique (tracé en trait plein)

La figure 2.4.11 présente une comparaison entre des courbes expérimentales et celles issues du modèle analytique. Une ressemblance qualitative est nette et un certain nombre de points de concordance apparaissent, alors que d'autres aspects sont assez différents.

Le maximum de pertes, à courant commuté nul, semble bien estimé : il s'agit simplement de la somme des E_{oss} des deux transistors, la différence entre modèle et mesure pouvant être expliquée par une capacité parasite moyenne des composants réels un peu plus faible que la valeur nominale annoncée par le fabricant.

Pour un courant inférieur à I_{ZVS} le modèle surestime manifestement l'énergie perdue : la mesure, fiable sur cette gamme de courant, décrit une trajectoire incurvée. La transition observée en pratique de la tension pendant le temps mort est pourtant très proche de celle prévue par le modèle (et utilisée pour calculer l'énergie restant à décharger et décharger dans les transistors de la jambe). L'explication se situe donc probablement dans un aspect non complètement pris en compte par le modèle, tel que par exemple l'inductance de la maille de puissance qui pourrait,

11. Composant théorique au comportement dual du thyristor, il est commandé au blocage mais s'auto-amorce quand la tension à ses bornes vaut 0.

lors de l'amorçage de K_{on} à tension réduite mais non-nulle, rendre non entièrement dissipative la charge du C_{oss} de K_{off} .

Avec un ajustement de quelques nanosecondes du temps mort employé dans le calcul (en raison des différents délais d'amorçage et de blocage, le temps effectivement écoulé entre le début et la fin de la transition de tension diffère potentiellement de plusieurs nanosecondes du T_{dead} demandé) le courant I_{ZVS} auquel survient le minimum de pertes est assez bien situé. L'ajustement de T_{dead} nécessaire ici met bien en évidence la difficulté, à la fois en terme de mesures et de modélisation, induite par la sensibilité extrême des pertes à des variations des paramètres temporels de la commutation. Il semble en effet difficile, pour ne pas dire impossible, de déterminer *a priori* le temps mort effectif avec une précision de 1 ns...

La valeur des pertes au niveau du I_{ZVS}, estimée à une valeur absolument négligeable par le modèle, est manifestement non-nulle en mesure (mais cette dernière, on l'a vu, est potentiellement limitée par un plancher de pertes dû au circuit de commande)

Au-delà de I_{ZVS} la position relative des courbes aux différentes tensions est conservée, mais l'énergie calculée augmente bien plus modérément que celle mesurée. Il est difficile de quantifier ici à quel point le modèle est erroné, la fiabilité des mesures n'étant - on l'a vu - absolument pas acquise sur cette gamme de courant.

Chapitre 3

Optimisation du dimensionnement d'un convertisseur isolé pour SSPA

3.1 Introduction

3.1.1 Présentation du besoin « Electronic Power Conditioner » pour SSPA GaN

Le besoin sur lequel porte cette étude est la conception d'une alimentation de « forte puissance » (*Electronic Power Conditioner*, EPC) pour un SSPA de dernière génération capable d'émettre jusqu'à 130 W RF en bande C (autour de 4 GHz). Celui-ci utilisant des HEMT GaN pour l'amplification, la tension d'alimentation principale se situe dans la gamme $35 - 45\,\mathrm{V}$ (réglable par télécommande analogique) avec une ondulation maximale de $300\,\mathrm{mV_{pp}}$. La tension d'entrée est un bus 100 V nominal, régulé à $\pm 2\%$, galvaniquement isolé de l'équipement. La puissance DC maximale nécessaire est de 200 W, mais la conception visera 250 W afin d'anticiper une future évolution. Le gabarit d'émissions conduites à respecter en entrée est celui représenté sur la courbe supérieure ($> 100\,\mathrm{W}$) de la figure 1.4.1.

L'équipement nécessite également des tensions 5 V et $-5\,\mathrm{V}$ de quelques watts tout au plus pour polariser les grilles avant l'application de la tension principale et alimenter les circuits de télémesure/télécommande, pré-amplification et linéarisation. Un convertisseur isolé auxiliaire multi-sorties de faible puissance étant inévitable pour générer ces tensions, il fournit du même coup une tension d'alimentation auxiliaire : le circuit de contrôle du convertisseur principal peut ainsi être placé côté secondaire, ce qui simplifie grandement la régulation précise de la tension de sortie. La conception de ce convertisseur auxiliaire ne sera pas développée plus avant ici mais mentionnons que, si on souhaite également réduire sa taille par rapport aux produits existants, les solutions étudiées au chapitre 4 correspondent tout-à-fait au besoin. Pour la suite, on considèrera simplement comme acquise la disponibilité de cette tension auxiliaire référencée au secondaire et on se consacrera à la conception du « cœur de puissance » principal.

Le rendement est un critère capital et doit être maximisé, restant autant que possible au-dessus de 96% (valeur de référence des produits existants). Un des objectifs industriels pour ce type de produit est d'être compatible avec une installation dans une zone « chaude » du

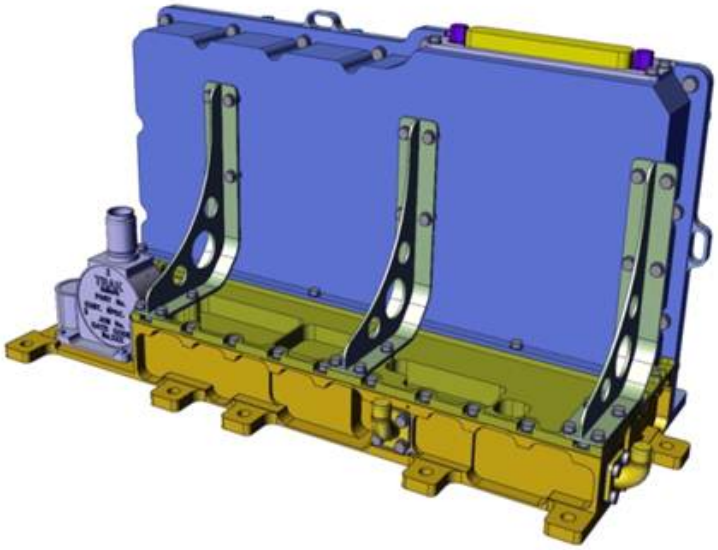


FIGURE 3.1.1 – Structure mécanique d'un équipement SSPA existant : chaine RF à la base en jaune, servitudes dans le boitier bleu vertical (figure THALES ALENIA SPACE)

satellite. De plus, l'alimentation se trouve placée au-dessus de la chaine d'amplification RF, très dissipative car d'un rendement de l'ordre de 50%. La température de référence visée (température des points de fixation de la carte d'alimentation) est donc de 85 °C. Les pertes du convertisseur devront donc de toute façon être limitées afin de maintenir ses composants en-deçà de leurs températures maximales autorisées.

Optimiser le rendement ne doit cependant pas se faire au détriment de la taille de l'alimentation qui est actuellement dimensionnante pour l'équipement complet, comme on peut le comprendre en observant la figure 3.1.1 : les servitudes, interfaces de télécommande/télémesure et surtout alimentation, occupent plus de volume que la chaine RF à proprement parler. Pour des raisons d'industrialisation, la réalisation se fera sous la forme d'un circuit imprimé unique : la surface de PCB occupée par les composants représente donc un bon indicateur de l'encombrement. Enfin, le cout et la complexité (souvent liés) de l'architecture retenue restent des critères de sélection plus difficiles à quantifier finement en première approche, mais qu'il faut garder en vue. Dans cette optique, une régulation analogique reste obligatoire.

Le cahier des charges est en fait relativement proche des spécifications auxquelles se conforment les alimentations isolées commerciales pour équipements réseau et télécom de type « convertisseur de bus intermédiaire » (*Intermediate Bus Converter*, IBC). Il est donc pertinent de s'intéresser à la façon dont ces derniers sont généralement conçus : la figure 3.1.2 présente un aperçu de quelques-uns d'entre eux. On peut notamment remarquer l'usage systématique de la technologie « *planar* » pour la réalisation des composants magnétiques de puissance, qui consiste à l'utilisation de pistes PCB en guise d'enroulements autour de noyaux à bas profil. Incontournable dans ces convertisseurs depuis plus d'une décennie, elle est encore très peu implantée dans l'industrie spatiale, c'est pourquoi il a été décidé d'explorer cette piste dans le cadre de la présente étude.

(a) (b) (c)

FIGURE 3.1.2 – Quelques convertisseurs « IBC » $250 - 300\,\mathrm{W}$ en format 1/8 de brique ($58,4 \times 22,7\,\mathrm{mm}$) : (a) ERICSSON PKB 4000B ; (b) ARTESYN AVO250 ; (c) VICOR IB054E120

3.1.2 Dimensionnement de convertisseur DC/DC : approche générale et intérêt d'un outil logiciel

La conception d'un convertisseur DC/DC depuis une feuille blanche est une tâche difficile pour l'ingénieur électronicien. Même une fois la topologie décidée, un grand nombre de décisions doivent être prises. C'est généralement une combinaison de retours d'expérience et de calculs au premier ordre qui permet d'identifier grossièrement les calibres des composants actifs et les valeurs des composants passifs essentiels de la chaine de puissance. L'issue de cette démarche initiale est une première estimation des performances du convertisseur.

S'ensuit un processus itératif, souvent assez long, où il tente d'améliorer ces dernières en jouant sur différents degrés de liberté du dimensionnement. Là encore, l'expérience et des approches analytiques simples permettent d'identifier les valeurs à faire varier pour obtenir une amélioration (ou du moins une évolution) de tel ou tel aspect. La marge de manœuvre du concepteur est parfois fortement restreinte, notamment par des contraintes sur les composants disponibles (le chapitre 4 en donne un exemple). On peut considérer que ceci présente l'avantage de simplifier ce travail de conception, en réduisant les possibilités d'optimisation à explorer... en tout cas tant qu'il n'en résulte pas une impossibilité de répondre au cahier des charges. Cependant, sur des structures plus complexes et moins contraintes, un grand nombre de degrés de liberté demeure généralement à explorer. De ce constat découle l'intérêt d'un outil logiciel relativement simple de mise en œuvre, mais suffisamment complet pour assister le concepteur dans cette étape laborieuse du dimensionnement et aboutir rapidement à un compromis intéressant entre les critères essentiels de performance d'un convertisseur que sont la taille et les pertes.

La méthodologie proposée dans ce chapitre a été développée et mise en œuvre sur le cas d'application « EPC SSPA » en réponse à un besoin industriel concret, mais elle se veut suffisamment générique dans son approche et extensible dans son implémentation pour ne pas se limiter à cet usage.

Dans tous les cas, c'est sur un prototype que la conception du convertisseur reçoit ses touches finales : comme le chapitre 2 en a donné un aperçu, notre compréhension des phénomènes en jeu dans les alimentations à découpage est loin d'être suffisante pour en prédire avec certitude

l'ensemble des performances.

3.2 Sélection de la topologie Dual Active Bridge

3.2.1 Topologies adaptées

Les EPC pour SSPA GaAs existants sont conçus selon une topologie en pont complet inadaptée aux niveaux de puissance et de tension demandés par les nouveaux SSPA GaN. Il s'agit donc, dans un premier temps, de sélectionner une topologie adéquate avant de s'intéresser au dimensionnement détaillé du convertisseur.

Afin de limiter les pertes par commutation, l'amorçage à zéro de tension de tous les FET (primaires et secondaires) est fortement souhaité sur une portion aussi large que possible de la gamme de fonctionnement. Ceci n'est possible que si la topologie utilise des jambes de pont avec contrôle complémentaire. Cette restriction exclut donc le contrôle par modulation de largeur d'impulsion (*Pulse Width Modulation*, PWM) symétrique, où le rapport cyclique des deux interrupteurs est identique et inférieur à 50%, laissant un intervalle important entre amorçage et blocage.

Les topologies à contrôle PWM asymétrique pilotent bien les jambes de pont de façon complémentaire, mais - par définition - la valeur moyenne de la tension résultante varie avec le rapport cyclique. En pratique, ceci complique grandement la mise en œuvre des transformateurs de puissance et de commande de grille : même avec une capacité série pour assurer l'annulation des volts-secondes du transformateur en régime permanent, les excursions de flux sont difficiles à anticiper lors des transitoires.

L'idéal est donc un rapport cyclique complémentaire et constant de 50% (au temps mort près) pour toutes les jambes de pont. Celui-ci est obtenu dans les topologies utilisant d'autres degrés de liberté de commande pour réguler leur sortie, notamment la fréquence de découpage ou le déphasage : 3 topologies de ce type, présentées ci-après, ont été considérées pour la réalisation du convertisseur.

3.2.1.1 PSFB

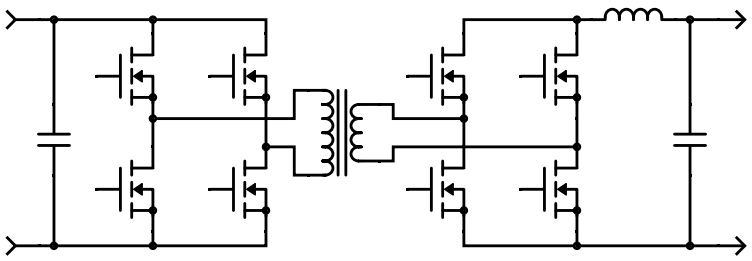


FIGURE 3.2.1 – Schéma électrique de base de la topologie PSFB avec secondaire en pont complet

Le pont complet à décalage de phase (*Phase-Shift Full Bridge*, PSFB) est probablement la plus courante des trois. Le contrôle est réalisé en déphasant le découpage des deux jambes

du pont primaire, imposant une forme d'onde à 3 niveaux au primaire du transformateur (le niveau intermédiaire correspond à une tension nulle appliquée à l'enroulement, entrainant une recirculation à niveau constant du courant magnétisant). Le ZVS de la première jambe du pont primaire est assez facilement obtenu car celle-ci commute alors que le courant de charge circule au primaire, mais la deuxième jambe commute à la fin d'une phase de recirculation et n'a que l'énergie stockée dans l'inductance de fuite du transformateur à disposition : ainsi la réduction maximale des pertes par commutation est difficile à obtenir avec un PSFB.

Le redressement au secondaire peut être réalisé par n'importe quelle configuration de transistors [1] qui vient attaquer une inductance de sortie avec la tension redressée [2]. Vu la tension de sortie relativement élevée, un pont complet est ici préféré car c'est le seul type de structure de redressement qui limite la surtension vue par les transistors. Après analyse un peu plus détaillée, cette topologie révèle un inconvénient majeur : si les transistors secondaires sont commandés avec les mêmes signaux à rapport cyclique $\alpha = 50\%$ que les jambes du pont primaire, la phase de recirculation se fait par conduction inverse (non commandée) dans la moitié des transistors secondaires. En raison du mécanisme de conduction inverse non-commandée d'un HFET GaN décrit au chapitre 1, la puissance dissipée dans ce cas est très largement supérieure (de plus d'un ordre de grandeur) à celle obtenue en conduction commandée. Il est donc inacceptable en termes de pertes que le convertisseur fonctionne avec un tel mode de redressement « semi-asynchrone ». Pour obtenir un véritable redressement synchrone pendant toutes les phases du fonctionnement, il serait nécessaire de générer les signaux de commande des transistors secondaires à partir de combinaisons logiques de ceux du pont primaire, ce qui s'avère très pénalisant à implémenter.

3.2.1.2 DAB

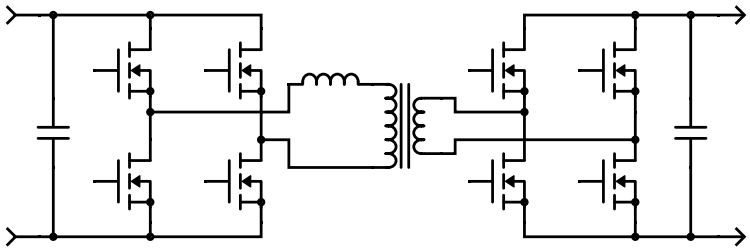


FIGURE 3.2.2 – Schéma électrique de base de la topologie DAB avec primaire et secondaire en pont complet

Dans la topologie *Dual Active Bridge* (DAB), le transfert de puissance est contrôlé en déphasant le pilotage du pont secondaire par rapport au primaire - il est également possible d'agir sur le rapport cyclique de chaque pont afin de gagner deux degrés de liberté pour optimiser les performances sur une large plage mais ce type de commande est trop complexe à implémenter sans contrôle numérique. Le stockage d'énergie est cette fois assuré par une inductance placée sur le lien AC, en série avec le transformateur du côté primaire ou secondaire, voire un peu de chaque côté (elle peut éventuellement consister uniquement en son inductance de fuite).

1. Voire de diodes, si la simplicité était préférée au rendement.
2. Deux inductances dans le cas d'un redresseur « doubleur de courant ».

Le ZVS est assuré par l'énergie stockée dans cette inductance pour toutes les jambes des ponts primaire et secondaire. Le transfert bidirectionnel de puissance est un autre avantage important de cette topologie, mais ne nous intéresse pas ici. Une autre propriété, nettement plus remarquable pour notre application, est la possibilité d'utiliser un demi-pont avec point milieu capacitif pour un côté du convertisseur, voire les deux : on n'utiliserait ainsi que 4 transistors pour toute la structure de puissance.

D'une structure de prime abord très semblable au PSFB, le DAB apparait comparativement plus intéressant en termes de performances et de facilité de réalisation.

3.2.1.3 LLC

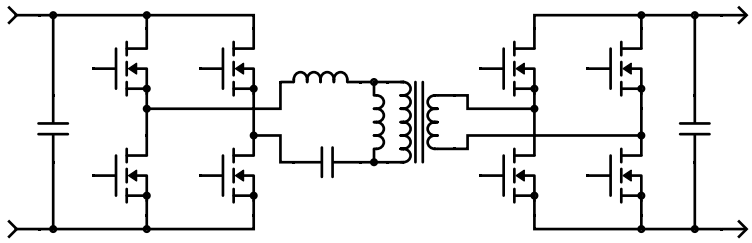


FIGURE 3.2.3 – Schéma électrique de base de la topologie LLC avec primaire et secondaire en pont complet

Le convertisseur « LLC » emploie un pont pour appliquer la tension d'entrée découpée à un circuit résonant composé d'un condensateur et deux inductances qui donne son nom à la topologie. C'est la configuration de convertisseur résonant la plus couramment employée en raison de la flexibilité relative apportée par les propriétés du circuit LLC par rapport à d'autres configurations résonantes. En faisant varier la fréquence de découpage du pont primaire, on modifie le gain en tension du circuit résonant et donc la tension appliquée au transformateur qui est ensuite redressée au secondaire par une configuration librement choisie (comme dans un PSFB). Dans les faits, l'inductance en parallèle du transformateur est quasi-systématiquement son inductance magnétisante qui est éventuellement ajustée par l'introduction d'un entrefer. L'inductance série peut également être réalisée entièrement par l'inductance de fuite du transformateur. Le ZVS primaire est assuré par l'inductance parallèle au transformateur mais le secondaire commute lui à courant nul, ce qui est bienvenu pour un redressement à diodes mais beaucoup moins pour un redressement synchrone.

Il est là aussi possible d'employer un simple demi-pont au primaire (éventuellement en combinant les fonctions du point milieu capacitif et du condensateur résonant) comme au secondaire, ce qui permet également d'envisager une structure de puissance à seulement 4 transistors, avantageuse en termes d'encombrement mais plutôt limitée aux puissances modérées. Les formes d'ondes de courant d'un convertisseur résonant étant quasi-sinusoïdales, elles ont *a priori* l'avantage d'un faible contenu harmonique mais l'inconvénient d'une valeur RMS élevée entrainant des pertes par conduction plus importantes, à puissance transférée donnée, que dans les autres topologies.

3.2.2 Fonctionnement du Dual Active Bridge en déphasage simple

Une étude approfondie de chacune des trois topologies aurait résulté en une comparaison très intéressante, mais elle aurait très largement débordé du temps disponible, aussi il a été choisi d'explorer la seule topologie DAB pour la suite de ces travaux. Une succincte description du fonctionnement de cette topologie, pilotée simplement par variation du déphasage, est présentée ici (une analyse beaucoup plus complète peut être trouvée dans [47]).

3.2.2.1 Formes d'ondes

On l'a vu, la structure de base du DAB comprend un pont de transistors au primaire et au secondaire. Le rôle de chacun est d'onduler la tension du bus DC auquel il est connecté (V_{in} au primaire, V_{out} au secondaire) en une forme d'onde carrée de valeur moyenne nulle que l'on appellera respectivement $v_1 = \pm V_1$ et $v_2 = \pm V_2$ (avec $V_1 = V_{in}$ si le primaire est en pont complet et $V_1 = \frac{V_{in}}{2}$ s'il est en demi-pont, idem au secondaire). Chacune de ces tensions carrées est appliquée à un côté du « lien AC » constitué du transformateur et de l'inductance série.

Pour la suite de cette explication, on place arbitrairement cette inductance côté primaire et on ramène v_2 au primaire via le rapport de transformation : $v_2' = \frac{N_P}{N_S} \times v_2$. Au premier ordre (sans prendre en compte le courant magnétisant du transformateur) ce choix arbitraire ne change rien au fonctionnement du convertisseur qui est de toute façon réversible : l'inductance pourrait aussi bien se situer entièrement du côté secondaire ou même répartie de part et d'autre du transformateur. On obtient donc le schéma de principe représenté sur la figure 3.2.4(a).

La seule variable de commande utilisée ici est l'angle de déphasage ϕ de v_2 par rapport à v_1 : on suppose ici que $0 < \phi < \pi$, c'est-à-dire que v_2 est « en retard » sur v_1, condition nécessaire pour que le transfert de puissance se fasse du primaire vers le secondaire. Lors de chaque période de durée T_{sw} la tension aux bornes de l'inductance $v_L = v_1 - v_2'$ prend alors successivement les valeurs suivantes :

1. $v_L = V_1 + V_2'$ (quand $v_1 = V_1$ et $v_2 = -V_2$) pendant une durée $\frac{\phi}{2\pi} \times T_{sw}$,
2. $v_L = V_1 - V_2'$ (quand $v_1 = V_1$ et $v_2 = V_2$) pendant une durée $\left(\frac{1}{2} - \frac{\phi}{2\pi}\right) \times T_{sw}$,
3. $v_L = -V_1 - V_2'$ (quand $v_1 = -V_1$ et $v_2 = V_2$) pendant une durée $\frac{\phi}{2\pi} \times T_{sw}$,
4. $v_L = -V_1 + V_2'$ (quand $v_1 = -V_1$ et $v_2 = -V_2$) pendant une durée $\left(\frac{1}{2} - \frac{\phi}{2\pi}\right) \times T_{sw}$.

Il est apparent que les demi-périodes (1,2) et (3,4) sont symétriques. Ceci implique que les deux commutations de chaque jambe de pont par période se font, en régime établi, dans des conditions identiques. Si le dimensionnement est tel que $V_1 = V_2'$, les formes d'ondes de l'inductance sont alors identiques à celles de la méthode de mesure de pertes par commutation présentée en 2.3 et toutes les commutations se déroulent à $I_{sw} > 0$. Une stricte égalité est difficile à respecter en pratique, ne serait-ce que parce que les tensions d'entrée et de sortie sont variables, mais la démarche traditionnelle de dimensionnement vise à se placer autant que possible autour de $V_1 \approx V_2'$. Plus les deux tensions diffèrent, plus le courant pendant les phases 2 et 4 s'éloigne d'un « plateau » et présente une pente importante : à des puissances faibles, il risque alors de changer de signe avant la commutation du pont primaire (si $V_1 < V_2'$) ou secondaire ($V_1 > V_2'$) qui auront alors lieu à $I_{sw} < 0$ (avec les pertes par commutation importantes qui en découlent).

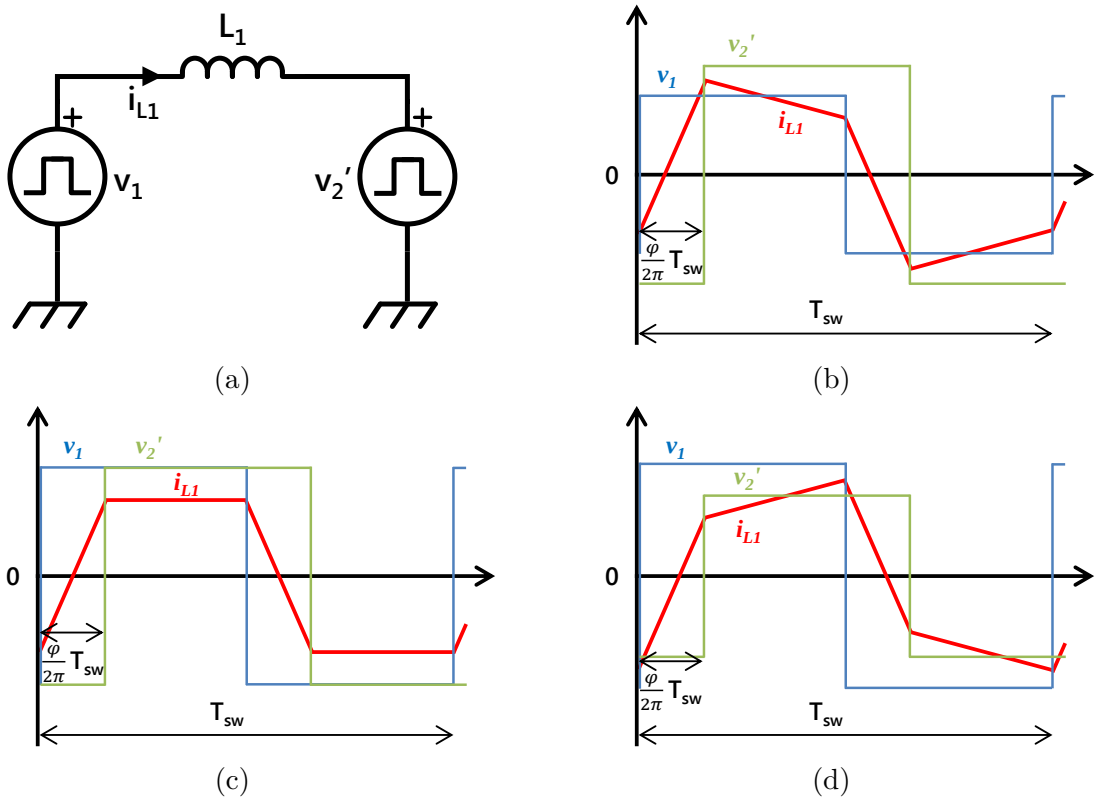


FIGURE 3.2.4 – (a) Schéma de principe de la topologie DAB et formes d'ondes correspondantes en commande par déphasage : (b) $V_1 < V_2'$; (c) $V_1 = V_2'$; (d) $V_1 > V_2'$

En utilisant la variable normalisée $\tau = \frac{t}{T_{sw}}$ pour simplifier l'écriture, le courant dans l'inductance au cours d'une période - i.e. sur l'intervalle $\tau \in [0;\ 1[$ - peut s'exprimer mathématiquement [47] :

$$\begin{cases} i_L(\tau) = \frac{\left(1-2\cdot\frac{\phi}{\pi}\right)\cdot\frac{N_1}{N_2}\cdot V_2 - V_1}{4\cdot L_1\cdot f_{sw}} + \tau\cdot\frac{V_1+\frac{N_1}{N_2}\cdot V_2}{L_1\cdot f_{sw}} & 0 \leq \tau \leq \frac{\phi}{2\pi} \\ i_L(\tau) = i_L(\frac{\phi}{2\pi}) + \left(\tau - \frac{\phi}{2\pi}\right)\cdot\frac{V_1-\frac{N_1}{N_2}\cdot V_2}{L_1\cdot f_{sw}} & \frac{\phi}{2\pi} < \tau \leq \frac{1}{2} \\ i_L(\tau) = -i_L(\tau - \frac{1}{2}) & \frac{1}{2} < \tau < 1 \end{cases}$$

C'est également le courant dans l'enroulement primaire du transformateur, ainsi que celui fourni par chacune des jambes de pont primaires $i_1(t) = i_L(t)$. Au courant magnétisant près, le courant de l'enroulement (et des jambes de pont) secondaire en découle immédiatement $i_2(t) = \frac{N_1}{N_2} i_1(t)$. On peut ainsi déterminer à partir de cette expression le courant traversant tous les composants de puissance.

3.2.2.2 Puissance transférée

La puissance transférée du primaire vers le secondaire dans le convertisseur DAB idéal s'écrit comme ci-dessous [47], elle peut être visualisée sur la figure 3.2.5 :

$$P_{1\to 2} = \frac{\frac{N_1}{N_2} \cdot V_1 \cdot V_2 \cdot \frac{\phi}{\pi} \cdot (1 - \frac{|\phi|}{\pi})}{2 \cdot f_{sw} \cdot L_1}$$

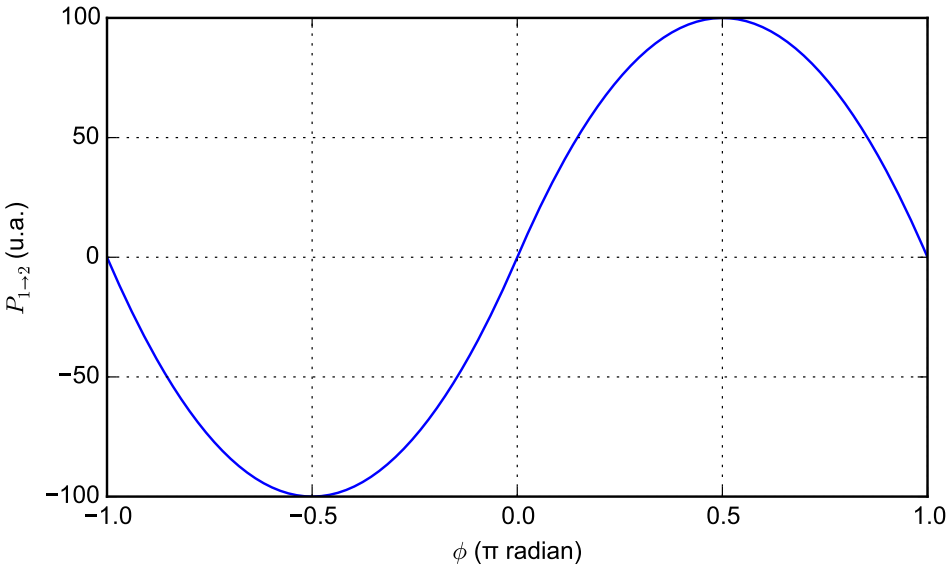


FIGURE 3.2.5 – Puissance transférée par le convertisseur DAB idéal en fonction du déphasage

Cette formule met en évidence la bidirectionnalité du convertisseur, son transfert de puissance étant symétrique autour de $\phi = 0$. Il est également important de noter que, quelle que soit la direction, la puissance transférée croit avec la valeur absolue du déphasage jusqu'à $|\phi| = \frac{\pi}{2}$ puis décroit symétriquement. Ainsi à une puissance transférée donnée correspondent deux déphasages complémentaires possibles : il est *a priori* toujours plus pertinent de travailler dans la gamme $|\phi| \leq \frac{\pi}{2}$ à laquelle correspondent des courants circulants plus faibles.

On trouve l'expression de la puissance maximale absolue pouvant être transférée par le convertisseur idéal en fixant $\phi = \frac{\pi}{2}$ dans l'expression de $P_{1\to 2}$ (en raison des pertes de conversion, la limite réelle sera toujours inférieure à cette valeur) :

$$P_{max} = \frac{\frac{N_1}{N_2} \cdot V_1 \cdot V_2}{8 \cdot f_{sw} \cdot L_1}$$

3.2.2.3 Degrés de liberté du dimensionnement

Les principaux degrés de liberté du dimensionnement d'un convertisseur DAB, au premier ordre, sont donc le rapport de transformation $\frac{N_1}{N_2}$, la fréquence de découpage f_{sw} et la valeur d'inductance série L_1 mais aussi le nombre de jambes des ponts primaire et secondaire. Évi-

demment, le rapport $\frac{N_1}{N_2}$ ne peut être choisi arbitrairement : N_1 et N_2 doivent être entiers et les valeurs acceptables dépendent fortement de la réalisation du transformateur (noyau magnétique et enroulements).

L'impact du choix de toutes ces valeurs sur les pertes est très complexe puisqu'elles influent toutes sur la forme d'onde du courant i_L, dont dépendent non-linéairement la grande majorité des mécanismes de pertes au sein du convertisseur : pertes par conduction et commutation dans les transistors primaires et secondaires, pertes cuivre et fer dans l'inductance et pertes cuivre dans le transformateur. Il n'est donc pas envisageable de remonter analytiquement au dimensionnement optimal à partir d'un cahier des charges : une approche exploratoire numérique semble plus adaptée au problème.

3.3 Logiciel d'aide à l'optimisation de dimensionnement

Afin d'aider à l'identification du dimensionnement de convertisseur DAB le plus adéquat, un outil logiciel a été développé en Python, langage choisi pour sa flexibilité et la clarté de sa syntaxe. Son objectif est de pouvoir explorer et comparer, de façon automatisée et rapide, de nombreuses variantes de design de convertisseur. Cette comparaison se fait sur la base de deux indicateurs de performance qu'on cherche idéalement à minimiser : les pertes et l'encombrement (quantifié, dans le cas présent d'une réalisation mono-PCB, par la surface d'implantation totale des composants).

Dans un premier temps, il faut donc disposer de briques logicielles implémentant les modèles et algorithmes nécessaires à l'estimation de ces deux indicateurs, pour un design de convertisseur donné et à un point de fonctionnement donné - un « point de fonctionnement » étant défini dans la suite de ces travaux comme un triplet tension d'entrée V_{in}, tension de sortie V_{out}, puissance de sortie P_{out}. Dans une approche modulaire et orientée objet, ces briques sont autant de classes représentant chacune un convertisseur d'une topologie donnée, un type de composant de puissance ou même un sous-élément permettant de réaliser un composant. Ces classes peuvent d'ailleurs être utilisées, seules ou combinées, pour divers calculs et études ne consistant pas forcément en une optimisation de dimensionnement complète.

3.3.1 Briques logicielles de base pour l'estimation des performances d'un convertisseur de puissance

3.3.1.1 FET GaN (jambes de pont)

Les expressions analytiques décrivant la résistance passante et les capacités non-linéaires des FET *eGaN* ont été tirées des modèles de simulation fournis par EPC. Les paramètres spécifiques à chaque référence dont dépendent ces expressions ont été automatiquement extraits et stockés dans une base de données. Ces formules empiriques étant issues des caractérisations effectuées par le fabricant, elles permettent de retrouver par le calcul la quasi-totalité des caractéristiques des composants disponibles dans la fiche de données.

On peut ainsi instancier, pour les différentes références de la gamme, un objet « transistor

eGaN » qui donne accès aux valeurs typiques de $R_{DS(on)}$ (en fonction de v_{GS} et de la température) et de Q_{GS}, Q_{DS}, Q_{GD} (en fonction des tensions v_{GS} et v_{DS}).

Cependant, on l'a vu, les transistors sont toujours associés par jambes de pont dans la topologie qui nous intéresse. Pour définir un convertisseur, on manipulera donc plutôt des objets « jambe de pont *eGaN* » , caractérisés par les propriétés suivantes :

— référence des transistors [3],
— temps mort à chacune de leurs commutations,
— tension de pilotage de leurs grilles (par défaut 5 V).

Pour être capable d'estimer les pertes de commutation selon la méthode présentée au chapitre chapitre 2 il manque encore des informations sur la dynamique d'attaque de grille. Celle-ci n'étant pas évidente à déterminer de façon générique, des valeurs fixes basées sur des simulations ou des essais préliminaires sont employées pour les différentes durées d'amorçage et de blocage.

L'encombrement d'une jambe de pont, comprenant non seulement les transistors de puissance mais également leurs circuits de commande, a été évalué à partir de prototypes déjà routés. Il est d'ailleurs indépendant de la référence *eGaN* utilisée, la puce elle-même ne représentant qu'une faible portion de la surface d'implantation totale.

3.3.1.2 Inductances catalogue

Les inductances peuvent être des références « sur étagère » choisies dans un catalogue. Dans ce cas, les paramètres électriques L, R_{DC}, I_{sat} ainsi que les dimensions géométriques sont directement issus de la base de données. A défaut d'informations plus précises, pour ce type de composant il n'est pas possible d'estimer la résistance AC du bobinage, pas plus que les pertes fer dans le noyau. En matière de fiabilité de l'estimation des pertes, l'emploi d'inductances « catalogue » est donc plus adapté à des applications dont l'ondulation de courant est relativement faible, d'où des pertes fer et cuivre haute fréquence négligeables par rapport à celles engendrées par la composante continue du courant. C'est malheureusement tout le contraire dans l'inductance série d'un convertisseur DAB.

3.3.1.3 Composants magnétiques sur mesure

L'autre façon de définir un composant magnétique, particulièrement un transformateur (mais il est possible de spécifier une inductance de la même façon) consiste à détailler sa construction sur mesure à partir d'un noyau et d'enroulements. Seule une construction de type « *planar* » où des enroulements réalisés en pistes de PCB entourent un noyau à profil bas est proposée dans le code. La surface d'implantation du composant est alors déterminée à partir des dimensions géométriques du noyau.

Noyau « *planar* » Une base de données comprenant quelques géométries de noyaux standard a été construite manuellement à partir des fiches de données constructeurs, elle regroupe principalement celles qui semblaient présenter un intérêt dans le cadre de cette étude : sections

3. Notons que le code supporte des références différentes pour les deux transistors, mais le cas d'application n'a pas l'utilité d'une jambe hétérogène aussi cette possibilité n'est pas exploitée.

allant jusqu'à $A_e \approx 100\,\mathrm{mm}^2$ dans les familles « *planar* » EE/EI (jambe centrale droite) et ER (jambe centrale ronde). Pour les matériaux magnétiques, une base de données est également fournie et contient toutes les ferrites du catalogue FERROXCUBE, dont les propriétés (induction à saturation et paramètres de Steinmetz) ont été directement extraites des données utilisées par leur propre logiciel de calcul des pertes (le support des matériaux de l'autre grand fabricant de noyaux en ferrite, TDK, n'a pas été implémenté à l'heure actuelle). Les pertes fer dans les noyaux peuvent être estimées au choix :

— par la traditionnelle « équation de Steinmetz » $k \times f_{sw}^{\alpha} \times \left(\frac{\Delta B_{pp}}{2}\right)^{\beta}$ en fournissant simplement l'excursion magnétique crête-crête ΔB_{pp} et la fréquence de découpage f_{sw} (une dépendance de k en fonction de la température est supportée),

— ou par sa version généralisée améliorée (*improved Generalized Steinmetz Equation*, iGSE) développée par VENKATACHALAM et al. [48], dont l'implémentation est faite avec une forme d'onde de flux spécifiée linéairement par morceaux.

Bien que globalement meilleure que l'équation de Steinmetz, l'iGSE est loin de fournir des résultats corrects dans tous les cas de figure, ce que ses auteurs mettent eux-même en exergue. Les problèmes notables se situent au niveau des formes d'onde de flux avec des variations rapides séparant de longues périodes à valeur constante : les pertes sont alors fortement sous-estimées - cette limitation s'avère particulièrement gênante pour l'inductance série d'un DAB. La prise en compte de la composante DC du flux est également manquante, mais ceci n'impactera par contre pas les calculs dans le cadre du DAB.

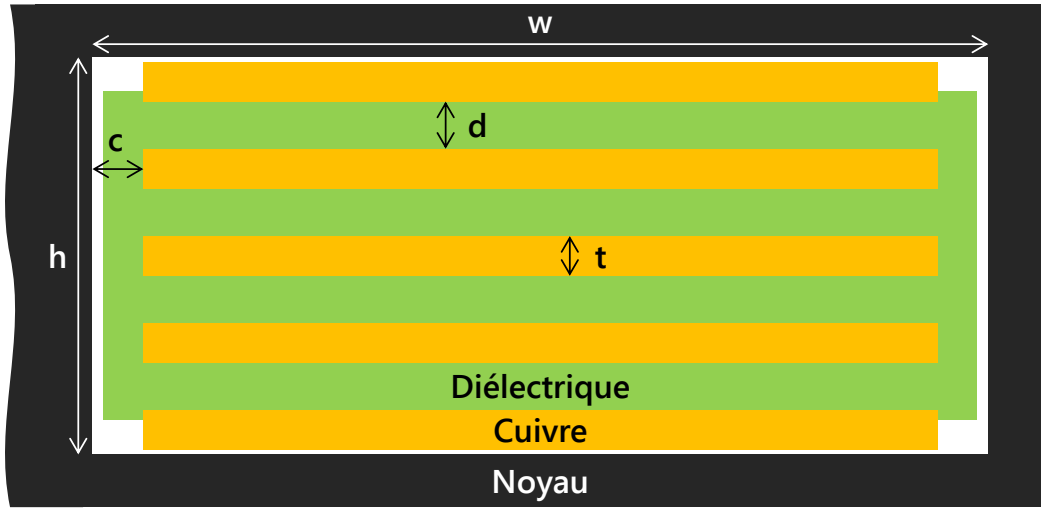


FIGURE 3.3.1 – Paramètres dimensionnels définissant un enroulement « planar »

Enroulements « planar » Les enroulements sont restreints à un seul tour par couche de PCB, ce qui est le plus pertinent dans les magnétiques « *planar* » de puissance. Ils sont donc essentiellement paramétrés par leur nombre de tours : le reste des dimensions, schématisées sur la figure 3.3.1, sont automatiquement dérivées de la fenêtre de bobinage disponible dans le noyau (hauteur h, largeur w) et des paramètres de la technologie PCB utilisée à savoir épaisseur

de cuivre t (par défaut 70 µm), épaisseur de diélectrique entre couches d (par défaut 100 µm) et distance latérale de la piste au noyau c (par défaut 200 µm). La résistance DC de chaque enroulement est aisément estimée à partir de la section des pistes, la conductivité du cuivre, le nombre de tours et la longueur moyenne de ceux-ci (ceci néglige notamment les vias et autres interconnexions).

On l'a vu, cette formule est relativement peu pertinente pour un composant magnétique à forte ondulation, tel qu'un transformateur. Dans ce dernier cas, le code permet d'estimer la résistance AC équivalente de chacun d'entre eux, due à l'effet de peau / proximité, dans les conditions de fonctionnement et en connaissant le niveau d'entrelacement des deux enroulements [4]. Il utilise pour ce faire la formule analytique dérivée en 1966 par Dowell [49] dans un modèle mono-dimensionnel de la fenêtre de bobinage [5]. La qualité de cette estimation reste très grossière en raison des hypothèses fortes prises par le calcul, mais il n'existe pas de formulation générale qui permette d'arriver à de meilleurs résultats. Une simulation par éléments finis de la géométrie exacte est bien évidemment hors de propos dans le cadre d'un code d'évaluation des pertes qui doit s'exécuter en quelques millisecondes.

3.3.1.4 Condensateurs

En raison de leurs plus faibles non-idéalités et de leur criticité moindre en terme de dimensionnement de la chaine de puissance, les modèles de condensateurs utilisés sont assez peu sophistiqués. La seule particularité remarquable prise en compte est la non-linéarité des composants en céramique multi-couches de type II. Leur capacité effective chute fortement par rapport à sa valeur nominale quand la tension de polarisation DC augmente, en raison de la saturation des matériaux ferroélectriques employés pour obtenir de fortes capacités dans des boitiers compacts. Bien qu'une approche rigoureuse emploierait là aussi une expression $Q(v)$ pour caractériser cette capacité non-linéaire, ce type de données est peu disponible : au mieux on se contentera de la modéliser au premier ordre par un coefficient $\frac{dC}{dV}$ négatif appliqué à la valeur de capacité nominale. On fait éventuellement de même pour le coefficient de température $\frac{dC}{dT}$.

Au contraire des autres types de composants « catalogue » aucune bibliothèque de condensateurs n'a été intégrée au programme, notamment à cause des nombreuses références disponibles. Lorsque l'objet est créé, on doit donc spécifier sa capacité, sa résistance série équivalente et la surface de son empreinte. Une version spécialisée pour condensateur céramique est disponible : elle permet de préciser les deux coefficients suscités ainsi qu'une taille standard de boitier CMS (dont la surface d'empreinte est automatiquement extraite).

3.3.1.5 Convertisseur Dual Active Bridge

La classe « convertisseur de puissance DAB » est la brique logicielle centrale du code d'estimation de performances. On l'instancie en spécifiant sa fréquence de découpage et en lui associant

4. Défini par le nombre de tours adjacents d'un même enroulement formant l'unité élémentaire du motif d'entrelacement primaire-secondaire.

5. On remarquera au passage que la même dérivation exposée par Mühlethaler [50] donne une formule similaire, mais différente. Ceci soulève quelques questions sur les hypothèses prises de part et d'autres, mais cette discussion n'est pas le sujet de la présente thèse.

les objets correspondant à ses principaux composants de puissance.

L'objet ainsi obtenu peut calculer un encombrement total simplement en sommant la surface d'implantation de chacun de ses composants (contrôleur et autres circuits auxiliaires ne sont pas pris en compte). L'évaluation des pertes est un peu plus complexe.

Calcul des pertes à déphasage connu Pour un déphasage ϕ connu, il est aisé de calculer la forme d'onde du courant $i_L(\tau)$ à partir de l'expression exposée en 3.2.2.1. On connait donc $i_1(\tau)$ et $i_2(\tau)$ ainsi que leurs valeurs RMS $I_{RMS,1}$ et $I_{RMS,2}$, qui permettent à l'aides des objets « jambe de pont » de calculer les pertes de conduction dans les $N_{legs,1}$ jambes du pont primaire et les $N_{legs,2}$ jambes du pont secondaire :

$$P_{cond,1} = N_{legs,1} \cdot R_{DS(on),1} \cdot I_{RMS,1}^2$$

$$P_{cond,2} = N_{legs,2} \cdot R_{DS(on),2} \cdot I_{RMS,2}^2$$

De même, avec l'objet « transformateur » et sans prendre en compte les effets haute fréquence dans les enroulements, les pertes cuivre primaire et secondaire sont calculés :

$$P_{Cu,1} = R_{DC,1} \cdot I_{RMS,1}^2$$

$$P_{Cu,2} = R_{DC,2} \cdot I_{RMS,2}^2$$

Notons que si on souhaite prendre en compte les pertes haute fréquence dans les enroulements du transformateur pour les N premières harmoniques de f_{sw}, il faut connaitre le courant efficace correspondant en domaine fréquentiel afin de plutôt calculer les pertes cuivre de l'enroulement sous la forme $P_{Cu} = \sum_{n=0}^{N} \Big(R_{AC}(n \cdot f_{sw}) \times I_{eff}^2(n \cdot f_{sw}) \Big)$. Sauf à avoir dérivé une expression analytique excessivement complexe des coefficients de Fourier de $i_1(\tau)$ et $i_2(\tau)$, l'obtention de ces courants efficaces passe par un calcul numérique, typiquement par l'algorithme FFT. Or une seule exécution de cet algorithme avec un nombre suffisant d'échantillons consomme le double du temps de calcul nécessaire au reste de l'évaluation des pertes du convertisseur. Sauf à négliger le courant magnétisant, il faudra calculer la transformée de Fourier de deux courants (primaire et secondaire) ce qui implique de multiplier par 5 le temps de calcul des pertes. Il est donc important de réfléchir à la réelle nécessité de prendre en compte les pertes haute fréquence dans les enroulements du transformateur plutôt de considérer, au vu des choix d'entrelacement et d'épaisseur de piste faits, qu'on sera toujours dans le cas $R_{AC} \approx R_{DC}$: dans le cadre de l'étude menée ici, c'est cette dernière hypothèse qui sera faite.

Les pertes fer dans le transformateur dépendent de l'excursion magnétique crête-crête du noyau, elle-même aisément calculée à partir du produit volt-secondes appliqué à l'enroulement secondaire : $\Delta B_{pp} = \frac{V_2}{2 \cdot f_{sw} \cdot N_2 \cdot A_e}$. On peut alors demander à l'objet « transformateur » d'évaluer les pertes dans son noyau via la simple équation de Steinmetz (le flux étant de forme triangulaire, l'emploi de l'algorithme iGSE ne présente ici pas vraiment d'intérêt) :

$$P_{core} = P_{Steinmetz}(\Delta B_{pp},\, f_{sw})$$

Les deux commutations de chaque jambe sont parfaitement symétriques, elles ont toutes lieu au même courant $I_{sw,1} = i_1(1/2)$ côté primaire et $I_{sw,2} = i_2(\frac{\phi}{2\pi})$ côté secondaire. On a donc $E_{sw_h\to l} = E_{sw_l\to h} = E_{sw}$ pour toutes les jambes, cette énergie étant évaluée par les objets « jambe de pont » avec $V_{DC} = V_{in}$ et $I_{sw} = I_{sw,1}$ au primaire, $V_{DC} = V_{out}$ et $I_{sw} = I_{sw,2}$ au secondaire. Les pertes de commutation sont donc calculées ainsi :

$$P_{sw,1} = N_{legs,1} \cdot 2 \cdot E_{sw}(V_{in},\, I_{sw,1}) \cdot f_{sw}$$

$$P_{sw,2} = N_{legs,2} \cdot 2 \cdot E_{sw}(V_{out},\, I_{sw,2}) \cdot f_{sw}$$

Si l'inductance série est matérialisée par un objet « inductance », ses pertes cuivre et fer sont également prises en compte de façon similaire. Cependant, les modèles de pertes cuivre et fer disponibles étant, on l'a vu, très mal adaptés à ces conditions de fonctionnement, il ne s'agit pas forcément d'une option pertinente à utiliser dans tous les cas de figure. L'étude présentée ici, on le verra, ne matérialise pas l'inductance série par un composant donc ces pertes ne sont pas calculées.

Les pertes totales dans le convertisseur au déphasage choisi sont simplement obtenues en sommant toutes les pertes énumérées ici. Le problème est ici d'identifier à quelle valeur de déphasage le convertisseur doit fonctionner pour un point de fonctionnement (V_{in}, V_{out}, P_{out}) donné, sachant que cette valeur est justement affectée par l'existence des pertes. Il s'avère donc nécessaire de faire appel à un algorithme itératif pour le résoudre.

Algorithme itératif d'identification du point de fonctionnement Les grandes lignes de cet algorithme sont présentées sur la figure 3.3.2. Bien qu'appliquée ici au DAB contrôlé en déphasage, la logique est généralisable à toute autre topologie disposant d'une relation bijective entre variable de commande et puissance transférée.

L'algorithme converge vers la valeur de déphasage pour laquelle le convertisseur transfère une puissance égale à la puissance de sortie demandée P_{out} additionnée de ses pertes internes P_{loss}. Cette approche revient à situer toutes les pertes dans l'étage de sortie, elle reste donc approximative.

Pour un convertisseur de bon rendement, même avec une condition d'arrêt sévère ($\epsilon = 100\,\text{mW}$, valeur par défaut utilisée dans le cadre de l'étude) cet algorithme converge en pratique en très peu d'itérations, le minimum de 2 étant fréquemment suffisant. Notons qu'en spécifiant $\epsilon = \infty$ il est possible de n'exécuter que la première itération du calcul (sans rebouclage avec pertes, donc) puisque la condition $|P_{loss} - P'_{loss}| < \epsilon$ est alors toujours vérifiée.

Considérations thermiques Notons que la température n'est pas considérée comme une variable libre dans cet algorithme : elle est par défaut fixée à 100 °C pour l'ensemble des calculs de pertes des composants de puissance. Il reste bien évidemment possible, à la fin des itérations,

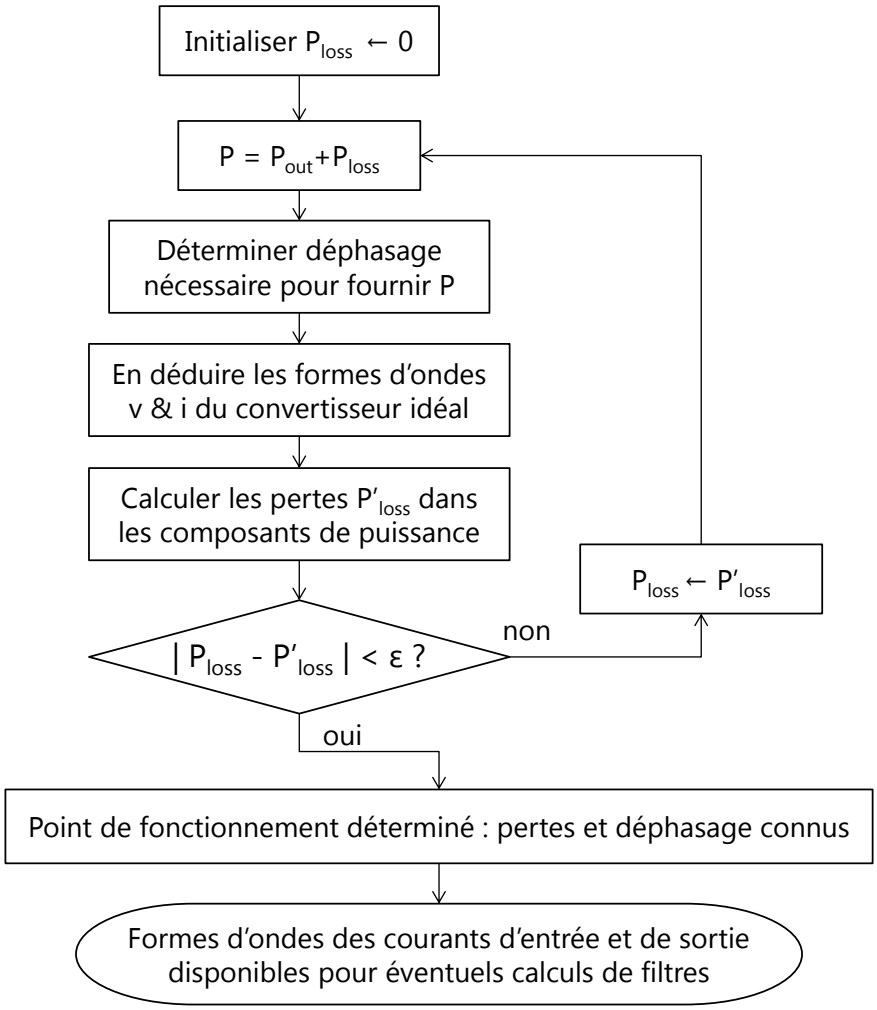


FIGURE 3.3.2 – Diagramme de l'algorithme itératif de détermination du point de fonctionnement et d'estimation des pertes

d'obtenir une estimation de l'élévation de température de chaque composant à l'aide de sa dissipation et de sa résistance thermique jusqu'à une surface de référence, mais le code ne recalcule pas les pertes en fonction de cette température. Ceci est particulièrement acceptable pour un convertisseur qui devra dans tous les cas opérer dans une plage réduite de températures ($T_{base} = 85\,°\text{C} < T_{op} < T_{j(max)} = 110\,°\text{C}$) puisque c'est la résistance thermique qui sera, par la conception adéquate du report des composants et de la structure mécanique environnante, adaptée au niveau de dissipation.

Ondulations et filtres Lors du calcul itératif, les filtres sont volontairement considérés sans pertes (c'est en pratique une approche raisonnable pour un filtre correctement dimensionné). Ceci permet, au besoin, de dimensionner automatiquement les filtres d'entrée et de sortie à partir du déphasage tout juste déterminé sans créer de dépendance circulaire [6]. Les données de base

6. Qu'il faudrait, dans le cas contraire, également résoudre en utilisant un algorithme itératif...

pour ce dimensionnement sont en effet les formes d'ondes de courant en entrée et en sortie du cœur de puissance du convertisseur (disponibles à l'issue de l'exécution de l'algorithme itératif, puisque définies par le déphasage auquel le convertisseur fonctionne).

Pour les topologies en pont primaire comme le DAB, la fréquence fondamentale de l'ondulation de courant en entrée est $2 \times f_{sw}$: on considèrera qu'il s'agit de la raie dimensionnante pour le filtre d'entrée. On peut estimer numériquement son amplitude de façon efficiente en utilisant « l'algorithme de Goertzel » qui, au contraire d'une FFT, évalue une unique fréquence (ce calcul est implémenté sans toutefois être utilisé par la procédure d'optimisation dont l'implémentation actuelle ne gère pas le dimensionnement du filtre d'entrée).

Le courant dans les condensateurs de sortie est simplement le courant de sortie du cœur de puissance débarrassé de sa composante continue. Le calcul de l'ondulation de tension correspondante est alors relativement aisé à partir de la capacité et de la résistance série équivalente totales du banc de condensateurs.

3.3.2 Optimisation du dimensionnement

Ces briques de bases à disposition, on peut envisager différentes approches algorithmiques pour trouver la variante de design la plus intéressante parmi toutes celles qu'on s'autorise à réaliser :

- soit explorer par « force brute » l'ensemble d'entre elles, ce qui suppose une discrétisation de tous les degrés de liberté permis (y compris ceux continus par nature),
- soit implémenter une optimisation multicritères afin de faire émerger la solution la plus pertinente, ce qui est plus délicat en présence de degrés de liberté discontinus par nature.

Dans le cadre de ces travaux, l'approche d'optimisation a été envisagée, mais seule la méthode « force brute » a réellement été mise en œuvre. Cette section décrit les principes suivis pour traiter un problème de dimensionnement.

3.3.2.1 Définition du problème : cahier des charges

Pour commencer, il s'agit d'instancier le problème - objet spécifique à une topologie - avec le cahier des charges à respecter par le convertisseur.

Selon le type d'équipement alimenté, les conditions dans lesquelles le convertisseur DC/DC doit opérer sont parfois spécifiées par un ou plusieurs points de fonctionnement fixés. Plus souvent, c'est un intervalle continu qui est spécifié pour chacune des 3 variables V_{in}, V_{out} et P_{out} : on considèrera alors que les 8 points de fonctionnement situés aux angles du cube ainsi formé constituent un ensemble représentatif.

Avec la liste de ces points de fonctionnement, l'autre élément important du cahier des charges est composé des contraintes en termes d'émissions conduites du convertisseur, sous la forme de :

- l'ondulation maximale du courant d'entrée (spécifiée par un gabarit dans le domaine fréquentiel) - non supportée par la version actuelle du code qui ne prend pas en compte le dimensionnement du filtre d'entrée,
- l'ondulation maximale de la tension de sortie (spécifiée dans le domaine temporel).

Il est également possible de spécifier une borne supérieure aux pertes tolérées, permettant d'écarter les designs bien trop peu performants sans encombrer les résultats.

Un exemple de définition de problème d'optimisation est présenté dans l'extrait de code 3.3.1. Conformément au cahier des charges pour l'alimentation du SSPA, 12 points de fonctionnement sont spécifiés individuellement et l'ondulation maximale de sortie est définie à 300 mV. Un plafond de pertes est défini à 10 W afin d'économiser du temps de calcul sur des variantes de design trop peu performantes.

Extrait de code 3.3.1 Définition du problème d'optimisation

```
operating_points = [  # list of (Vin, Vout, Pout)
                    (98, 35, 85), (102, 35, 85),
                    (98, 40, 110), (102, 40, 110),
                    (98, 45, 130), (102, 45, 130),
                    (98, 35, 130), (102, 35, 130),
                    (98, 40, 165), (102, 40, 165),
                    (98, 45, 250), (102, 45, 250),
                    ]

optimization = DABOptimization(operating_points=operating_points, ΔVout_max
   =300e-3, Pout_max=10)
```

3.3.2.2 Définition des variantes de design

L'implémentation logicielle du problème d'optimisation définit un jeu de variables qui permettent de paramétrer une variante de design. Le nombre et la nature exacte des paramètres - qui sont en fait autant de degrés de liberté pour l'optimisation - restent à la discrétion du développeur du problème d'optimisation.

Typiquement, la majorité de ces paramètres correspond directement à un aspect de la configuration des composants de puissance utilisés (référence, nombre, etc.). Une logique plus complexe peut aussi être astucieusement employée pour éviter de sur-contraindre le design et ainsi réduire le nombre de combinaisons de paramètres non-viables à explorer. Cette approche est ici utilisée pour la définition de la fréquence de découpage, en partant de la contrainte suivante : pour qu'une variante de design de DAB puisse être viable, la puissance maximale absolue qu'il peut transférer doit être supérieure à la valeur de P_{out} la plus élevée présente au cahier des charges. Si le reste de la configuration du convertisseur est fixé, on peut alors déterminer une borne supérieure pour f_{sw} :

$$\frac{\frac{N_1}{N_2} \cdot V_1 \cdot V_2}{8 \cdot f_{sw} \cdot L_1} > P_{out(max)} \implies f_{sw} < \frac{\frac{N_1}{N_2} \cdot V_1 \cdot V_2}{8 \cdot L_1 \cdot P_{out(max)}}$$

Ainsi, plutôt que d'utiliser directement f_{sw} comme paramètre, on choisit plutôt le rapport $\frac{f_{sw}}{f_{sw(max)}}$ dont toute valeur inférieure à 1 résultera par définition en un convertisseur théoriquement capable de délivrer la puissance requise.

Enfin, certains aspects du dimensionnement du convertisseur qui s'y prêtent (pas de dépendances circulaires avec le reste) peuvent être automatiquement déterminés « au mieux », comme

présenté pour le filtre de sortie : cette approche limite le nombre de degrés de liberté à explorer.

Dans le cadre des travaux présentés ici, la liste des paramètres définissant une variante de design est la suivante :

- pont primaire :
  - nombre de jambes (1 = demi-pont, 2 = pont complet)
  - référence des transistors
  - temps mort
- pont secondaire : mêmes paramètres qu'au primaire
- inductance série primaire
- transformateur :
  - nombre de tours du primaire
  - nombre de tours du secondaire
  - géométrie du noyau
  - matériau du noyau
- ratio de la fréquence de découpage sur sa valeur maximale possible $\frac{f_{sw}}{f_{sw(max)}}$
- technologie des condensateurs de sortie (céramique multi-couches ou électrolytique tantale)

Ce jeu de paramètres, tout juste suffisant pour décrire une portion acceptable des variations possibles d'un convertisseur DAB tel que nous cherchons à dimensionner, représente déjà 13 degrés de liberté. Il est important de noter que cette description du problème résume l'inductance série du lien AC à une simple grandeur électrique. L'encombrement et les pertes dus à sa réalisation physique sous forme d'un composant bobiné sur mesure ou choisi sur étagère ne sont ainsi absolument pas pris en compte dans les calculs effectués, choix (très discutable) qui devra être gardé en tête lors de la comparaison des solutions obtenues.

Dans le cadre d'une évaluation de nombreuses variantes par une approche « force brute », l'espace des designs explorés contient toutes les combinaisons générées à partir d'une liste de valeurs possibles pour chacune des variables du jeu de paramètres. En raison de cette exploration combinatoire, l'espace des valeurs possibles pour un paramètre continu par nature (comme un temps mort) ne peut être spécifié sous la forme de bornes mais doit être discrétisé pour se présenter lui aussi sous la forme d'une liste de valeurs.

L'ensemble ainsi décrit peut rapidement représenter plusieurs milliers à plusieurs millions de designs et dans la pratique, tous les degrés de liberté rendus disponibles par l'implémentation du problème ne sont pas forcément exploités lors de chaque étude. Ainsi, dans l'extrait de code 3.3.2, les références de composants employées pour les transistors primaires et secondaires, le nombre de jambes du pont secondaire, le matériau du noyau et le type des capacités de sortie ont tous été fixés à une valeur unique - le nombre de combinaisons à examiner restant tout de même supérieur à 8×10^5.

3.3.2.3 Évaluation d'une variante de design

Validation de viabilité La première chose qui est faite lors de l'évaluation d'une variante est de valider sa faisabilité. La façon dont certains composants sont paramétrés permet en effet

Extrait de code 3.3.2 Initialisation de l'espace des paramètres définissant les variantes de design à explorer

```
parameters_space = DABOptimization.ParameterSet(
                        Nlegs1=[1, 2],
                        switch1=['EPC2010'],
                        tdead1=linspace(10e-9, 30e-9, num=5),
                        Nlegs2=[2],
                        switch2=['EPC2001'],
                        tdead2=linspace(10e-9, 30e-9, num=5),
                        Ls1=linspace(0.8e-6, 1.6e-6, num=5),
                        fsw_ratio=linspace(0.4, 0.9, num=6),
                        N1=range(5, 15),
                        N2=range(3, 10),
                        transfo_geometry=['EI18', 'EI22', 'ER18', 'ER23'],
                        transfo_material=['3F35'],
                        Cout_type=['MLCC', 'Ta'])

# Calcul du nombre de combinaisons
print( prod([len(p) for p in parameters_space]) )
⟹ 840000
```

des combinaisons aberrantes telles qu'un bobinage plus grand que la fenêtre devant l'accueillir dans le cas du transformateur : ces variantes sont immédiatement rejetées.

Des vérifications simples et rapides sur l'adéquation du design avec les spécifications sont ensuite effectuées, économisant si elles s'avèrent négatives le temps de calcul d'une évaluation poussée du design : dans le cas d'un DAB, on peut ainsi aisément vérifier que la puissance à fournir pour chaque point de fonctionnement ne dépasse pas le maximum absolu délivrable (qui se situe à $\phi = \frac{\pi}{2}$, comme vu sur la figure 3.2.5) et que le produit volts-secondes vu par le transformateur - indépendant du point de fonctionnement en raison du rapport cyclique fixe - reste inférieur celui correspondant à une induction $1/2 \times B_{sat}$ (une marge confortable est ainsi conservée par rapport à la saturation). Ce genre de « déverminage » est d'autant plus pertinent qu'on s'attend à faire évaluer une proportion importante de variantes de design inadéquates par l'emploi d'une exploration « force brute ».

Calcul des indicateurs de performance Il convient alors d'évaluer le fonctionnement du convertisseur pour chacun des points de fonctionnement spécifiés, à l'aide des briques logicielles présentées précédemment. Afin de retourner une seule valeur de pertes qui puisse être utilisée comme indice de performance, un choix doit être fait sur la façon de considérer chaque point de fonctionnement. On peut choisir de calculer une moyenne des pertes, éventuellement pondérée pour chacun d'entre eux d'un facteur reflétant son importance relative dans le « profil de mission » de l'équipement. Ainsi un design doté d'un excellent rendement à pleine puissance mais des pertes relativement élevées à faible charge serait peu pénalisé si l'alimentation doit fonctionner la majorité du temps à charge maximale.

L'approche choisie pour cette étude est différente : c'est le pire cas de pertes qui est retenu comme indice de performance, quel que soit le point de fonctionnement auquel il survient. On

favorise ainsi les designs dont les pertes sont relativement constantes sur toute la gamme, ce qui a l'avantage de rationaliser la conception thermique (contributeur important au budget de masse de l'alimentation). Toujours afin d'économiser du temps de calcul, si un plafond de pertes autorisées a été défini et que cette valeur est dépassée à l'issue de l'évaluation d'un quelconque point de fonctionnement, le calcul des performances de la variante de design entière est immédiatement abandonné (la liste des points de fonctionnement à évaluer est classée par ordre décroissant de puissance de sortie, de sorte que cette élimination ait probablement lieu le plus tôt possible).

Pour chaque point de fonctionnement, après détermination du déphasage nécessaire un facteur indicatif de dimensionnement du filtre de sortie est calculé en se basant sur la forme d'onde du courant de sortie. Une fois tous les points de fonctionnement balayés, il suffit d'ajuster le nombre de condensateurs connectés en parallèle à partir de la valeur de ce facteur la plus élevée afin d'assurer que l'ondulation de tension en sortie soit inférieure à la limite spécifiée pour l'ensemble des points de fonctionnement. L'encombrement du convertisseur peut alors être calculé en incluant son filtre de sortie correctement dimensionné : on obtient ainsi le deuxième indice de performance recherché.

3.3.2.4 Exploration des variantes par « force brute »

Les temps de calcul présentés ci-dessous sont ceux obtenus avec un processeur mobile Intel i5-3437U cadencé à 2.4 GHz qui est loin de représenter un summum de performances : il faut donc les comprendre comme des ordres de grandeur indicatifs qui permettent d'exposer les usages possibles d'un tel programme. La recherche de performances plutôt que de simplicité du code aurait conduit à de toutes autres décisions architecturales (à commencer probablement par le choix d'un langage compilé au lieu de Python).

Dans l'implémentation actuelle, pour chaque point de fonctionnement évalué, une itération du calcul des formes d'ondes et pertes résultantes dure environ 2 ms sans calcul des pertes cuivre haute fréquence (environ 10 ms avec). Ce calcul est typiquement exécuté de 2 à 5 fois selon la finesse de la condition d'arrêt d'itération demandée. S'y ajoutent ensuite, une fois le déphasage pour ce point de fonctionnement déterminé, les calculs d'ondulation de sortie et d'entrée au temps d'exécution inférieur à la milliseconde.

Avec 12 points de fonctionnement à traiter, on arrive à un temps d'exécution minimal d'environ 60 ms (environ 600 ms au maximum) pour l'évaluation complète d'une variante de design. Si la variante s'avère non-viable dès l'origine, son temps d'évaluation sera négligeable. Si un maximum de pertes autorisées a été défini et s'avère être non respecté pour un des points de fonctionnement, tous ceux restant à traiter ne le seront pas et la variante de design complète est comptée comme non-viable. Ainsi il n'est pas possible d'anticiper précisément le temps de calcul à partir du nombre de variantes à évaluer, mais on peut en obtenir une borne supérieure.

En pratique, l'exécution de l'extrait de code 3.3.3 a pris 140 minutes, 87698 variantes s'avérant valides avec le plafond de pertes de 10 W imposé (soit environ 10% des configurations issues de l'espace des paramètres défini). Un plafond de pertes inférieur aurait pour effet de réduire le nombre de variantes retenues tout comme le temps de calcul, alors plus proche de 30 minutes.

Extrait de code 3.3.3 Exécution de l'exploration par « force brute »

```
designs = optimization.brute_force(parameters_space)

# Nombre de variantes valides identifiées
len(designs)
⟹ 87698
```

3.3.2.5 Résultats

Chacune des variantes valides est située dans le plan pertes-encombrement sur la figure 3.3.3. La frontière inférieure gauche de l'amas de points correspond au « front de Pareto », l'ensemble des solutions qui ne sont pas absolument pires qu'une autre : c'est *a priori* une d'entre elles qu'il est pertinent de choisir. Selon de quel côté on souhaite tirer le compromis entre pertes et encombrement, le dimensionnement peut être assez différent, ce qui est clairement apparent au niveau de la valeur d'inductance primaire utilisée.

Remarquons cependant, par un simple constat visuel, que l'écrasante majorité des solutions Pareto-optimales semble utiliser un transformateur de rapport $\frac{N_1}{N_2} \approx 1,2$ - rapport qui correspond approximativement à $\frac{V_1}{V_2}$ si on prend une valeur moyenne de $V_2 = 40\,\mathrm{V}$ (la quasi-totalité des variantes présentées sur le graphique utilisent un primaire configuré en demi-pont, donc $V_1 = \frac{V_{in}}{2}$). On retrouve donc le rapport de transformation recommandé par la démarche classique de dimensionnement du DAB, pour lequel $V_1 = V_2'$ d'où un courant i_L de forme trapézoïdale qui en minimise la valeur RMS.

Extrait de code 3.3.4 Extraction de la variante à pertes minimales

```
min(designs, key=lambda d: d[1].Ploss)
⟹ ( ParameterSet(
                  Nlegs1=1,
                  switch1='EPC2010',
                  Tdead1=20e-09,
                  Nlegs2=2,
                  switch2='EPC2001',
                  Tdead2=10e-09,
                  Ls1=1.6e-06,
                  fsw_ratio=0.4,
                  N1=7,
                  N2=6,
                  transfo_geometry='EI22',
                  transfo_material='3F35',
                  Cout_type='MLCC'),
   Performance(footprint=0.000852, Ploss=3.408) )
```

Ainsi la variante la plus efficiente identifiée dans l'étude présentée ici utilise un demi-pont primaire, une inductance de $1,6\,\mu\mathrm{H}$ et un transformateur E22 7 : 6 pour une fréquence de découpage d'environ 320 kHz qui nécessite la mise en parallèle de 25 condensateurs pour réaliser le filtre de sortie d'où une surface de $850\,\mathrm{mm}^2$ (hors inductance, comme explicité précédemment). La valeur maximale estimée de pertes est $3,4\,\mathrm{W}$ - elle est en fait atteinte quasiment à l'identique

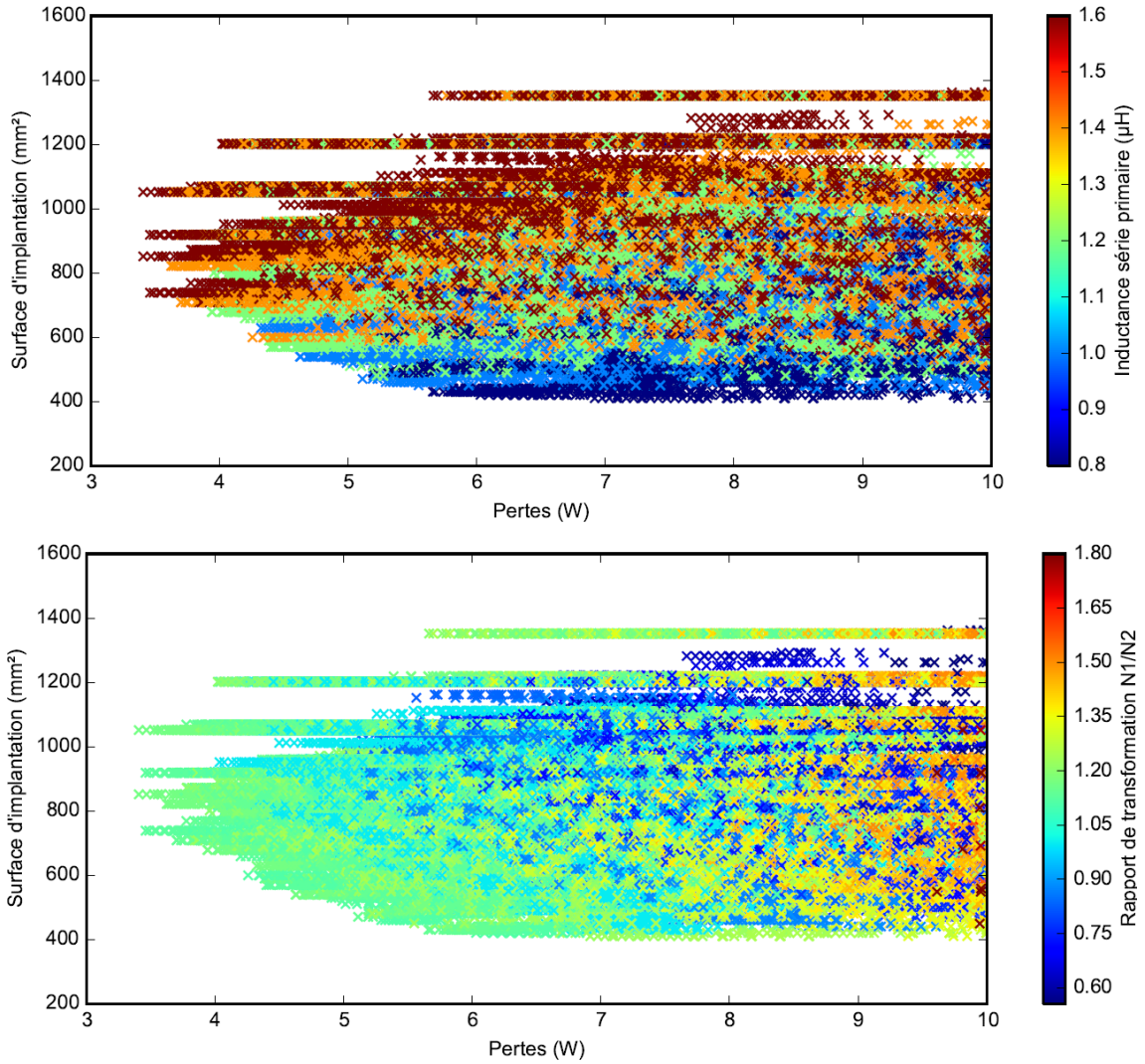


FIGURE 3.3.3 – Représentation des variantes de design valides dans le plan pertes-encombrement

pour deux points de fonctionnement très différents :

- le point de puissance maximale $V_{in} = 98\,\text{V}$, $V_{out} = 45\,\text{V}$, $P_{out} = 250\,\text{W}$ où les pertes sont essentiellement résistives et se répartissent entre transistors et enroulements primaire et secondaire,
- le point $V_{in} = 102\,\text{V}$, $V_{out} = 35\,\text{V}$, $P_{out} = 130\,\text{W}$ où les pertes résistives sont environ moitié moindres mais où le pont secondaire commute sous un courant légèrement négatif, entrainant des pertes par commutation bien plus élevées.

La variante la plus compacte, elle, emploie une inductance de $0,8\,\mu\text{H}$ et un transformateur ER18 11 : 9 avec une fréquence de découpage d'environ 674 kHz qui ne nécessite que 13 condensateurs de sortie. La surface totale hors inductance est inférieure de moitié à la solution précédente : $411\,\text{mm}^2$.

Les pertes maximales sont obtenues au point de fonctionnement $V_{in} = 98\,\text{V}$, $V_{out} = 45\,\text{V}$, $P_{out} = 130\,\text{W}$: elles sont alors estimées à $6,9\,\text{W}$ - le double de la variante précédente - essentiel-

Extrait de code 3.3.5 Extraction de la variante à encombrement minimal

```
# Variante la plus compacte
min(designs, key=lambda d: d[1].footprint)
⟹ ( ParameterSet(
                    Nlegs1=1,
                    switch1='EPC2010',
                    Tdead1=30e-09,
                    Nlegs2=2,
                    switch2='EPC2001',
                    Tdead2=10e-09,
                    Ls1=0.8e-06,
                    fsw_ratio=0.4,
                    N1=11,
                    N2=9,
                    transfo_geometry='ER18',
                    transfo_material='3F35',
                    Cout_type='MLCC'),
      Performance(footprint=0.000411, Ploss=6.918) )
```

lement en raison des commutations à courant quasi-nul du demi-pont primaire.

Il est intéressant de constater que, bien qu'assez différent du précédent en terme de fréquence de découpage, ce dimensionnement se positionne avec le même rapport $\frac{f_{sw}}{f_{sw(max)}} = 0,4$ soit un point de fonctionnement à puissance maximale situé à 40% de son plafond théorique de puissance transférée. En se référant à la courbe de puissance transférée par un DAB en fonction de son déphasage (figure 3.2.5) on constate que ceci correspond à une opération dans une plage de déphasage relativement faible, ϕ restant inférieur à $0,15\pi$.

3.4 Prototypage

3.4.1 Présentation de la maquette

Afin de pouvoir évaluer la qualité des résultats obtenus avec l'algorithme présenté, une maquette de convertisseur DAB à primaire en demi-pont et secondaire en pont complet a été réalisée. Cette configuration ressortait comme la plus pertinente des études assistées par logiciel. De plus, en appliquant une tension $V_1 = \frac{V_{in}}{2}$ au côté primaire du lien AC, elle a l'avantage de se rapprocher de $V_1 = V_2$ (on rappelle que $V_{in} = 100\,\mathrm{V}$ et $35\,\mathrm{V} < V_{out} < 45\,\mathrm{V}$) ce qui favorise l'emploi d'un transformateur de ratio quasiment unitaire, dont la réalisation entrelacée est nettement plus aisée.

Un unique PCB de $65 \times 80\,\mathrm{mm}$, réalisé dans un process 6 couches 70 µm standard de 1 mm d'épaisseur totale, accueille le convertisseur DAB au complet, contrôleur compris. Le convertisseur auxiliaire est hors du cadre de l'étude et n'y a pas été intégré. Un filtre d'entrée à deux étages est présent, bien que sa conception mérite d'être revue en raison d'un amortissement un peu trop faible.

Le circuit de contrôle, entièrement analogique, a été développé à partir de composants disponibles en version spatiale (comme d'ailleurs tout le reste du convertisseur). Un contrôleur PWM

standard à une sortie, quelques circuits logiques intégrés CMOS et un double comparateur assurent ainsi la régulation (en mode tension) à la valeur souhaitée de V_{out} par ajustement du déphasage primaire-secondaire [7] ainsi que la protection du lien AC contre les surintensités et le démarrage progressif par relâchement de la fréquence de découpage (initialement plus élevée que la valeur visée en régime stationnaire). La commande isolée de chaque jambe de pont se fait par l'intermédiaire d'un petit transformateur véhiculant à la fois alimentation et signal de commande pour les circuits locaux d'attaque de grille. Le routage des jambes de pont a été soigné afin de minimiser d'une part l'inductance de la boucle de puissance et d'autre part - plus important encore - celle de la boucle de commande.

— Au primaire, deux condensateurs en série étant nécessaires pour supporter la tension, c'est la configuration « maille verticale » (condensateurs de découplage placés au dos du PCB) qui est utilisée alors que la tension secondaire inférieure permet d'utiliser facilement la configuration coplanaire dite « maille optimale » [51]. Les surtensions drain-source obtenues à l'ouverture, environ 10 V au primaire et 5 V au secondaire, sont ainsi bien assez faibles pour ne poser aucun problème de dimensionnement.

— Afin d'obtenir une attaque de grille rapide mais suffisamment amortie pour éviter surtensions excessives et réamorçages indésirables, le trajet « aller » est aussi court que permis par les boitiers du circuit intégré [8] et de la paire de résistances série ; le trajet « retour » est coplanaire grâce à un plan local en couches internes connecté en un point à la source du transistor. Après réglage, la commande des EPC2010 utilisés au primaire nécessite des résistances de grille externes de $1,8\,\Omega$ pour l'amorçage et le blocage alors que celle des EPC2001 (de capacité de grille supérieure) se contente de $0\,\Omega$ à l'amorçage et $1\,\Omega$ au blocage.

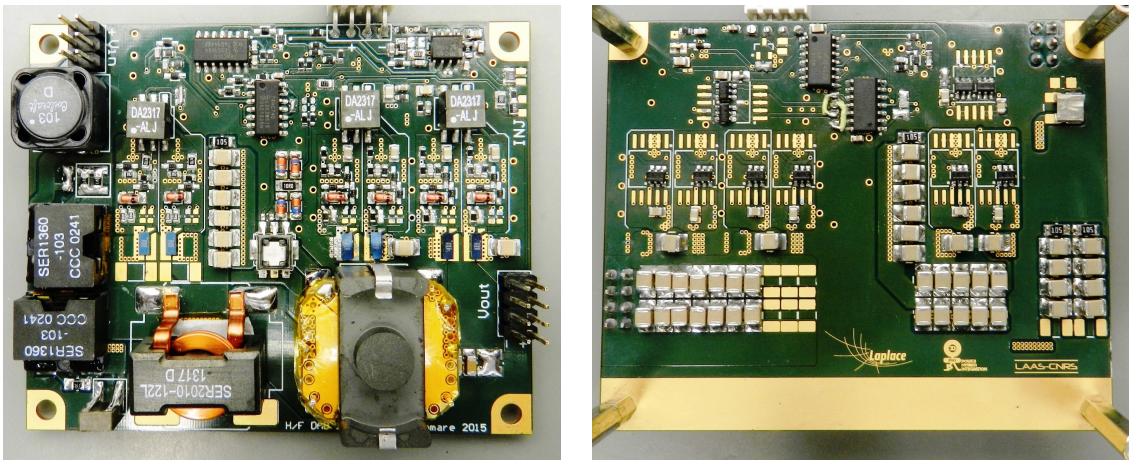


FIGURE 3.4.1 – Maquette réalisée d'un convertisseur DAB 250 W pour SSPA

Les deux faces de la maquette sont visibles sur la figure 3.4.1. La face inférieure est relativement vide : elle accueille essentiellement les condensateurs d'entrée et de sortie, tous de type

7. Il existe bien un (unique) modèle de circuit intégré de contrôleur à déphasage qualifié spatial mais, étant d'origine américaine et ses performances laissant à désirer, son usage n'était pas souhaité.

8. Bien que les tests aient été effectués avec un circuit intégré commercial au boitier bien plus compact, le routage a été conçu pour accueillir le boitier hermétique du composant spatial équivalent.

céramique multi-couches offrant ainsi un profil bas. Sur la face du dessus, la configuration par nature modulaire de la topologie DAB fait apparaitre assez distinctement chaque bloc logique. Ainsi les circuits de contrôle se situent le long de la tranche supérieure du PCB, en-dessous se trouvent de gauche à droite :

— les inductances du filtre d'entrée,
— l'unique jambe du demi-pont primaire,
— le lien AC avec inductance série, petit transformateur de mesure de courant et transformateur de puissance,
— la paire de jambes du pont complet secondaire.

En-dehors de la configuration demi-pont / pont complet et des références de transistors utilisées, il est possible avec cette maquette de jouer sur tous les degrés de liberté disponibles lors de l'étude présentée précédemment. La fréquence de découpage et les temps morts peuvent chacun être modifiés simplement en changeant la valeur d'une résistance. Le nombre de condensateurs de sortie câblés peut être modulé. Les composants magnétiques de puissance (inductance série et transformateur) ne sont pas intégrés au PCB et la disposition de leurs plages d'accueil donne une certaine liberté concernant leur facteur de forme.

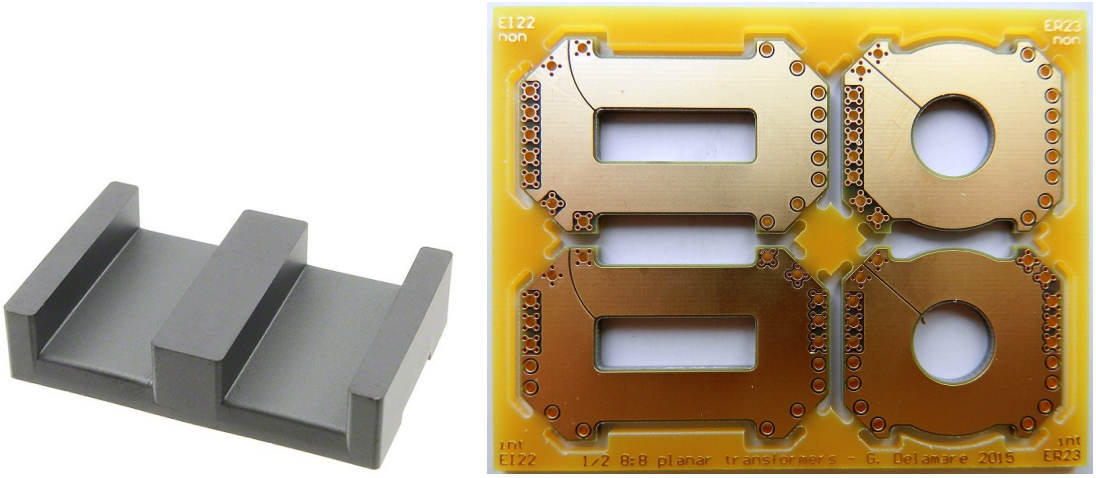
3.4.2 Composants magnétiques

3.4.2.1 Transformateur

Construction La réalisation de prototypes de composants magnétiques sur mesure se heurte malheureusement souvent à une difficulté d'approvisionnement des modèles exacts de noyaux magnétiques souhaités. Pour le transformateur, il n'a ainsi pas été possible d'obtenir des noyaux en 3F35 de Ferroxcube comme prévu lors de l'étude de dimensionnement. Par chance, des noyaux en ferrite N49 de TDK, dont les caractéristiques sont très proches du 3F35, ont pu être approvisionnés pour deux géométries à profil bas parmi les plus intéressantes identifiées : ER23 (jambe centrale ronde, $A_e = 50,3\,\mathrm{mm}^2$) et E22/ELP22 (jambe centrale droite, $A_e = 78,5\,\mathrm{mm}^2$). Dans les deux cas, le noyau complet est obtenu par l'association d'un demi-noyau « E » - comme celui représenté sur la figure 3.4.2(a) - et d'une plaque « I » correspondante, résultant en une fenêtre de bobinage d'environ 3 mm de haut.

Les enroulements ont été conçus à base de circuits imprimés en technologie 8 couches 70 µm d'une épaisseur totale de $1,5$ mm (les épaisseurs de diélectrique entre couches de cuivre ne sont pas homogènes en raison du process de fabrication standard utilisé, mais la valeur moyenne est proche de 100 µm). Empilés par paire dans un noyau, ces PCB forment un transformateur planar 8 : 8 dont les couches sont reliées par des vias disposés en périphérie. Les broches de connexion au circuit extérieur peuvent être soudées dans n'importe lesquels de ces vias, permettant ainsi l'obtention d'un nombre de tours inférieur à 8. Ainsi la mise en œuvre du DAB s'est ici faite avec le transformateur configuré en 7 : 6. Cette flexibilité a pour inconvénient des performances suboptimales dans tous les cas autres que 8 : 8 en raison de la présence de « couches mortes » (qu'on préfère laisser à l'extérieur pour limiter leur impact).

Pour chacune des deux géométries de noyau, deux configurations différentes ont été pro-



(a) (b)

FIGURE 3.4.2 – (a) Demi-noyau « planar » E22 ; (b) Différentes configurations d'enroulements réalisés pour le transformateur planar du DAB sur noyau E22 ou ER23

duites :

- la première juxtapose les 8 couches de chaque enroulement sans aucune forme d'entrelacement, i.e. 1-1-1-1-1-1-1-1 / 2-2-2-2-2-2-2-2 (un enroulement complet par PCB 8 couches),
- la deuxième entrelace au contraire quasi-complètement les enroulements, l'alternance étant de la forme 1-2-1-2-1-2-1-2 / 2-1-2-1-2-1-2-1 (deux demi-enroulements par PCB 8 couches).

Caractérisation Les inductances magnétisantes et de fuite vues du primaire (mesurées respectivement à 10 kHz avec un simple RLC-mètre et à 100 kHz avec un analyseur d'impédance de précision Keysight 4294A) pour ces 4 transformateurs sont rapportées dans le tableau 3.4.1. On y constate les valeurs de fuites excessivement faibles obtenues par l'entrelacement - elles sont probablement encore sur-estimées à cause de l'inductance non-nulle du shunt utilisé pour court-circuiter le secondaire lors de la mesure.

Noyau	Entrelacement	L_{m1}	L_{lk1}
ER23	Non	110 µH	335 nH
	Oui	122 µH	60 nH
E22	Non	235 µH	640 nH
	Oui	236 µH	70 nH

TABLE 3.4.1 – Inductances magnétisantes L_{m1} et de fuite L_{lk1} vues du primaire mesurées sur les différents transformateurs

Des mesures de $\frac{R_{AC}}{R_{DC}}$ effectuées avec l'analyseur d'impédance 4294A sur les quatre variantes de transformateurs sont présentées sur la figure 3.4.3. Les résultats obtenus avec les deux géométries de noyau étant quasiment indiscernables dans le cas d'enroulements entrelacés, une seule courbe est représentée. Afin d'obtenir lors de cette mesure la même configuration de champ magnétique - donc la même résistance AC - que lors du fonctionnement du transformateur dans

le convertisseur, il faut que les courants primaire et secondaire se compensent dans la fenêtre [9] (i.e. $i_S = \frac{N_P}{N_S} \times i_P$). Pour ce faire, l'analyseur d'impédance est connecté à l'enroulement primaire et le secondaire est court-circuité (par un shunt dont on considère l'impédance négligeable) : la résistance mesurée est alors $R_{AC_tot} = R_{AC_P} + \left(\frac{N_P}{N_S}\right)^2 \times R_{AC_S}$. Notons que cette méthode ne permet pas de dissocier la contribution des deux enroulements.

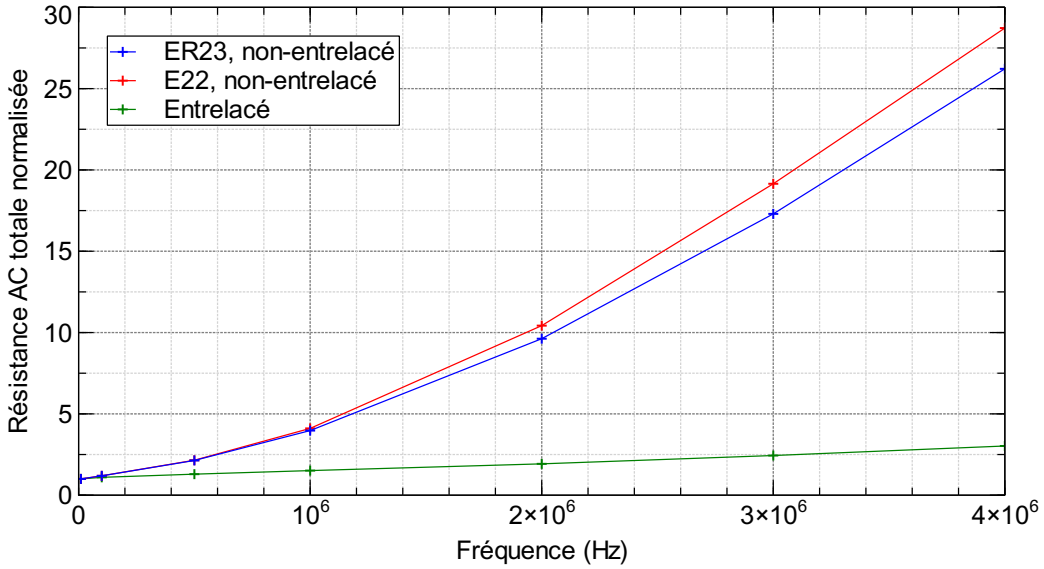


FIGURE 3.4.3 – Résistance AC série (total vu du primaire) des différents transformateurs construits pour la maquette

Des pertes bien supérieures sont attendues dans les enroulements non-entrelacés au vu de l'augmentation considérablement plus importante de leur résistance AC avec la fréquence. Cependant, il a été envisagé que l'inductance de fuite plus élevée permette, sinon de supprimer la bobine série externe, tout du moins de réduire sa valeur à un point suffisant pour que les pertes cuivre et fer ainsi évitées mènent à une diminution des pertes totales. La qualité médiocre des modèles de pertes pour les composants magnétiques ne permettait pas de trancher cette question par le calcul lors de l'étape de conception.

3.4.2.2 Inductance série

L'inductance série du lien AC reste obtenue dans la configuration de base par l'emploi d'une bobine physiquement séparée du transformateur. Elle a dans un premier temps été bobinée avec 2 tours de fil de litz sur une paire de noyaux ER14.5 en ferrite 3F45, résultant en une valeur $L \approx 1,2\,\mu H$ avec un léger entrefer (ce choix, fait avant tout en fonction des noyaux disponibles, constitue néanmoins un dimensionnement tout-à-fait acceptable). Divers essais ont été menés par la suite avec des composants sur étagère (gammes COILCRAFT SER1590 et SER2000) de valeurs allant de $0,68\,\mu H$ à $1,2\,\mu H$.

9. Au courant magnétisant près, qu'on s'autorise à négliger dans un tel transformateur sans entrefer.

3.4.3 Performances

La configuration initialement testée était la suivante :

— $f_{sw} = 490\,\text{kHz}$

— $T_{dead_1} = 27\,\text{ns}$

— $T_{dead_2} = 20\,\text{ns}$

— Transformateur EI22 7 : 6 non-entrelacé

— Inductance série 2×ER14.5, $L \approx 1,2\,\mu\text{H}$

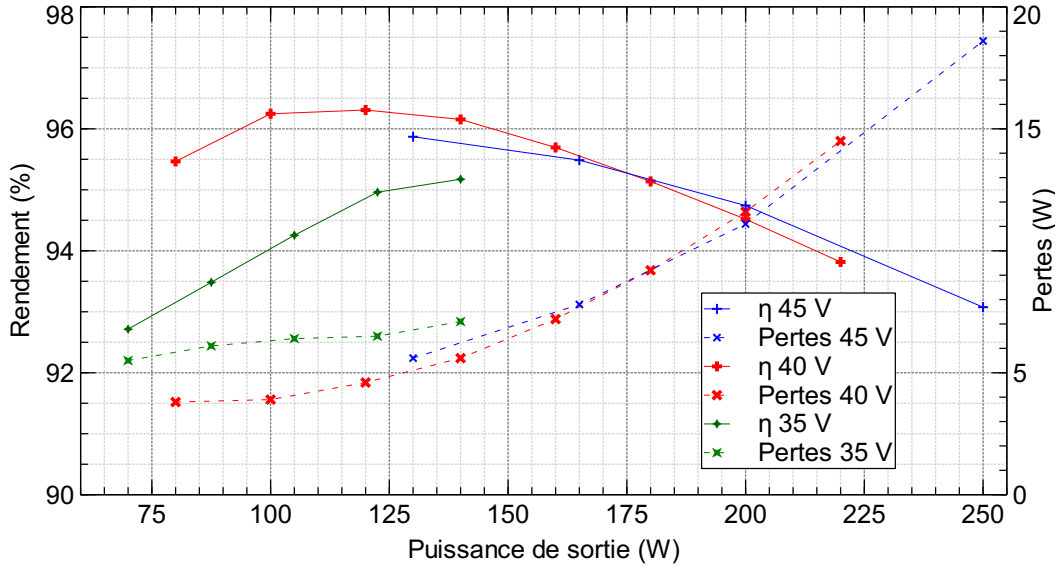


FIGURE 3.4.4 – Rendements obtenus avec le prototype de DAB dans la configuration EI22 7 : 6 non-entrelacé + 1, 2 µH

Les rendements obtenus à température ambiante pour différents points de fonctionnement sont représentés figure 3.4.4. Bien qu'ils soient globalement encourageants pour une configuration qu'on sait être significativement sous-optimale en raison du transformateur non-entrelacé, il faut déjà noter leur chute importante dès 120 W avec des pertes atteignant plus de 18 W à puissance maximale. Une inspection à la caméra thermique confirme que la très grande majorité des pertes provient des deux composants magnétiques de puissance - c'est plus précisément dans le noyau de l'inductance série et dans les enroulements du transformateur qu'elles semblent être essentiellement localisées, comme rapporté dans le tableau 3.4.2.

V_{out}	P_{out}	FET prim.	FET sec.	Noyau induct.	Transfo.
35 V	90 W	-	44 °C	41 °C	41 °C
40 V	160 W	-	-	55 °C	54 °C
45 V	250 W	60 °C	-	100 °C	80 °C

TABLE 3.4.2 – Températures des composants de puissance du prototype DAB pour 3 points de fonctionnement (les valeurs non précisées correspondent à une température égale à celle du circuit imprimé < 40°C)

Les transistors GaN, eux, sont quasiment à l'équilibre thermique avec le PCB (signe d'une

dissipation bien inférieure au watt par composant) sur la majeure partie de la gamme de puissance. Seul le fonctionnement à $V_{out} = 35\,\mathrm{V}$ et à faible puissance de sortie, qui fait commuter le pont secondaire à courant négatif, conduit à un léger échauffement. Les transistors primaires, commutent toujours en ZVS et ce n'est qu'à l'approche de la puissance maximale que les pertes en conduction induisent une élévation de température visible.

Au vu des pertes majeures induites par les composants magnétiques utilisés, les investigations se sont d'abord orientées vers l'emploi d'autres composants magnétiques. Pour des raisons de temps, une courbe complète de rendement n'a pas pu être acquise à chaque changement de configuration de composants [10].

Le remplacement de l'inductance bobinée sur mesure par différentes autres valeurs de composants sur étagère a été exploré. Selon la construction du composant, ses pertes se répartissent différemment entre noyau et enroulement, sans que ne se dégage de choix clairement optimal (d'impact systématiquement positif sur le rendement total du convertisseur). La figure 3.4.5 correspond à une configuration utilisant un transformateur ER23 non-entrelacé et une inductance série SER1590 de 1 µH. La longueur réduite des enroulements grâce à la jambe centrale ronde du transformateur contribue probablement à la légère réduction des pertes à fort courant. Le rendement est en contrepartie sensiblement dégradé à faible puissance, les pertes fer supérieures notamment étant légèrement supérieures dans cette configuration.

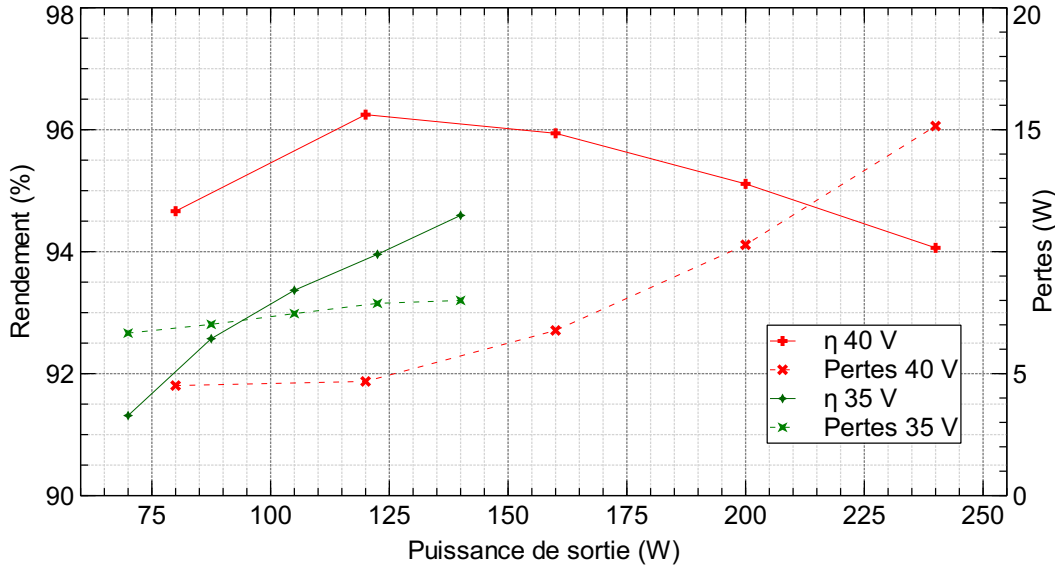


FIGURE 3.4.5 – Rendements obtenus avec le prototype de DAB dans la configuration ER23 7 : 6 non-entrelacé + 1 µH

De façon au premier abord contre-intuitive, l'emploi de transformateurs entrelacés n'a guère permis de réduire les pertes à puissance de sortie élevée, bien loin du facteur 2 attendu sur les pertes cuivre au vu du rapport des résistances AC mesurées. Il faut considérer qu'en raison de l'inductance de fuite d'un transformateur non-entrelacé, l'inductance primaire totale L_1 est bien

10. Le convertisseur étant régulé en boucle fermée, chaque changement d'un composant de puissance majeur nécessite un ajustement de la compensation du régulateur analogique afin d'obtenir un fonctionnement stable sur la large gamme de points de fonctionnement visés.

supérieure à la seule valeur de l'inductance externe (placée en série avec le transformateur). Dans le cas d'un transformateur entrelacé, par contre, l'inductance externe représente la seule contribution conséquente à L_1. Toutes choses étant égales par ailleurs, le DAB doit donc, pour un point de fonctionnement donné, travailler à un déphasage plus faible avec un transformateur entrelacé. Or le déphasage a un impact important sur les pertes, dans l'inductance notamment : ainsi, de façon qualitative, la forme d'onde du courant contient d'autant plus d'énergie à des harmoniques élevées que le déphasage est faible, augmentant les pertes cuivre haute fréquence. De même, la diminution du déphasage augmente d'autant la variation instantanée $\frac{dB}{dt}$ de la magnétisation de son noyau, grandeur influant sur les pertes fer. Ces deux derniers mécanismes de pertes se trouvent justement être ceux qu'on sait ne pas savoir estimer correctement par le calcul, d'où l'impossibilité de quantifier leur variation en raison du déphasage plus faible. Ceci rend donc en pratique très difficiles les comparaisons directes entre les performances obtenues avec les deux types de transformateurs.

3.5 Conclusion : intérêt des FET GaN dans les applications forte puissance

Dans le cadre d'une application concrète, la conception d'un « *Electronic Power Conditioner* » 250 W pour l'alimentation de SSPA GaN, ce chapitre a mis en évidence les points délicats du dimensionnement d'un convertisseur DC/DC de puissance isolé à haute fréquence de découpage et notamment le besoin de modèles et d'outils logiciels adaptés.

Il a été prouvé que, dans ce type d'application, le découpage à une fréquence plus proche du mégahertz que de la centaine de kilohertz ne pose guère de problème pour des HFET GaN, pour peu que leur commande soit conçue dans les règles de l'art et que la topologie de conversion employée leur assure des commutations ZVS. La difficulté est plus grande au niveau des composants magnétiques - inductances comme transformateurs - dont les pertes, majoritairement dues à des effets haute fréquence assez mal modélisés, ont un impact majeur sur le rendement. Puisqu'ils représentent également une contribution significative à l'encombrement total, l'optimisation de leur conception est indispensable à l'obtention d'un convertisseur compact, objectif premier de l'augmentation de la fréquence de découpage. Comme l'a montré l'écart conséquent entre calculs de dimensionnement et performances observées en pratique, cette optimisation reste malheureusement difficile à mettre en œuvre de façon analytique, sans faire appel au laborieux processus de multiples itérations de simulation tridimensionnelle par éléments finis.

L'expérimentation sur le prototype de convertisseur DAB étant loin d'en avoir exploré tous les aspects intéressants, il semble cependant pertinent d'évoquer quelques perspectives d'études et d'améliorations. Premièrement, l'investigation de l'impact sur le rendement des paramètres que sont les temps morts, la fréquence de découpage et même le rapport de transformation mériterait d'être menée (en utilisant le transformateur en configuration 8 : 8, la suppression des 3 « couches mortes » diminuerait peut-être sensiblement les pertes cuivre à courant élevé).

Ensuite, l'ajout d'inductances placées en parallèle de part et d'autre du lien AC, tel que proposé dans [52], est une solution élégante permettant d'injecter une dose contrôlée de puissance

réactive supplémentaire dans les jambes de pont indépendamment de la puissance transférée par le convertisseur. Ces degrés de liberté supplémentaires permettraient ainsi peut-être d'obtenir le ZVS sur l'intégralité des points de fonctionnement visés.

Concernant l'outil logiciel d'aide au dimensionnement, un certain nombre de fonctionnalités envisagées, non-critiques à la réalisation de l'étude menée ici, n'ont pas été implémentées. Elles constituent autant de perspectives intéressantes pour élargir son utilité, bien que cette dernière reste avant tout limitée par la qualité des modèles de pertes employées.

La prise en compte du filtre d'entrée, probablement par le dimensionnement automatique d'un filtre optimal selon l'atténuation nécessaire (pas forcément évident pour un filtre multi-étages typiquement utilisé dans cette application) constituerait un apport important à l'exhaustivité des résultats. L'implémentation de classes décrivant d'autres topologies, au premier rang desquelles le convertisseur résonant LLC et le PSFB présentés dans ce chapitre, permettrait, elle, de mener d'intéressantes comparaisons entre ces solutions différentes pour un même cahier des charges.

Pour réduire le temps de calcul en conservant l'approche « force brute », une optimisation relativement peu difficile à implémenter consisterait à paralléliser l'évaluation des variantes sur plusieurs fils d'exécution pour exploiter les 2 à 8 cœurs d'un processeur moderne. L'évaluation de chaque variante étant totalement découplée, le temps d'exécution serait à peu de choses près divisé par un facteur égal au nombre de cœurs employés.

Enfin, en allant plus loin, un véritable algorithme d'optimisation multi-critères pourrait être utilisé pour étudier plus rapidement et plus complètement des degrés de liberté continus par nature tels que les temps morts ou la fréquence de découpage.

Chapitre 4

Architectures d'alimentation isolée faible puissance pour récepteur RF

4.1 Application visée et spécifications

Dans ce chapitre, l'application visée est l'alimentation d'équipements de charge utile télécom basse puissance de type récepteur RF intégré. Le travail présenté ici se base sur une spécification écrite pour l'alimentation de la prochaine génération de récepteurs télécom. Ce produit étant conçu pour s'adapter à un maximum de besoins client avec des modifications minimales, ses spécifications sont très représentatives du besoin générique. Le cahier des charges serait également semblable pour d'autres équipements RF basse puissance individuels (amplificateurs faible bruit, *down-* et *up-converters*) ainsi que pour délivrer les tensions auxiliaires d'une alimentation de puissance pour SSPA telle que présentée au chapitre 3.

Toujours dans l'optique de couvrir un besoin largement représentatif, les contraintes imposées par la plate-forme satellite ont été choisies comme les plus sévères de toutes les plates-formes usuelles : le bus d'alimentation sera notamment pris à $100\,\mathrm{V} \pm 10\%$ et le gabarit d'émissions conduites tel que présenté à la figure 1.4.1 (courbe $\leq 100\,\mathrm{W}$).

L'équipement nécessite plusieurs tensions d'alimentation (isolées du bus primaire mais pas entre elles) pour faire fonctionner à la fois le circuit RF, l'oscillateur local et leur électronique de contrôle. Le tableau 4.1.1 en présente les principales spécifications : on peut distinguer les sorties « normales » et de celles beaucoup plus « sensibles » (polarisation de la chaine RF) qui nécessitant de meilleures précisions et ondulations résiduelles. Notons que la précision des tensions en fin de vie doit prendre en compte les effets cumulés de l'erreur initiale, des variations de température et de l'effet des radiations sur les composants. On estime typiquement à $\pm 1\%$ la contribution de ces deux derniers phénomènes à la dérive de tension : une précision en fin de vie de $\pm 1,5\%$ représente donc une exigence forte.

Les contraintes industrielles principales d'une alimentation prévue pour cette application sont le coût, la taille et la simplicité. Le rendement ne constitue pas l'objectif prioritaire sur ces faibles puissances : sur cet aspect , bien qu'une amélioration est toujours bienvenue, nous chercherons surtout à faire au moins aussi bien que la solution existante.

Tension nominale	$6,5\,\mathrm{V}$	$17\,\mathrm{V}$	$5\,\mathrm{V}$	$-5\,\mathrm{V}$
Précision en fin de vie	$\pm 6\%$	$\pm 10\%$	$\pm 1,5\%$	$\pm 1,5\%$
Courant de sortie	$0,15 - 0,5\,\mathrm{A}$	$0,03\,\mathrm{A}$	$0,8 - 1\,\mathrm{A}$	$0,15 - 0,35\,\mathrm{A}$
Ondulation (domaine temporel)	$100\,\mathrm{mV_{pp}}$	$100\,\mathrm{mV_{pp}}$	$2\,\mathrm{mV_{pp}}$	$1\,\mathrm{mV_{pp}}$

TABLE 4.1.1 – Spécifications des sorties de l'alimentation DC/DC pour récepteur RF

4.2 Étude comparative d'architectures

4.2.1 Philosophie et composants utilisés

Le principal travail consiste à identifier, parmi les différentes architectures envisageables, la plus à même de répondre au besoin de performances électriques en minimisant les critères industriels précédemment évoqués. A cette fin nous visons une comparaison dans une optique « toutes choses égales par ailleurs » : pour chacune des architectures évaluées, l'idée est de dimensionner un design répondant au plus juste aux mêmes spécifications électriques et en choisissant les composants parmi la même base de références. La surface totale d'implantation des composants sera là encore utilisée pour quantifier l'encombrement, alors que leur nombre donnera un bon aperçu de la complexité relative des architectures.

La base de références disponibles inclut la liste européenne des composants spatiaux recommandés (*European Preferred Parts List*, EPPL) ainsi que des composants proposés à un niveau de qualité équivalent. Deux composants non qualifiés y ont été adjoints : bien évidemment un transistor *eGaN*, le EPC2012 (plus petite puce 200 V de la gamme) ainsi qu'un circuit d'attaque de grille adapté (LM5114) dont un équivalent spatial n'existait pas encore lors de l'étude (c'est aujourd'hui chose faite). La fréquence de découpage est fixée à $f_{sw} = 1\,\mathrm{MHz}$, une augmentation d'un ordre de grandeur par rapport aux alimentations existantes mais aussi le maximum spécifié pour les contrôleurs PWM spatiaux usuels de la famille du vénérable UCC1845. Le ferrite 3F45 de FERROXCUBE, dont les pertes sont optimisées aux alentours de 1 MHz, est donc sélectionné pour la réalisation des magnétiques sur mesure. Les enroulements seront dimensionnés à partir de fils de litz comptant un nombre variable de brins élémentaires de 50 µm, diamètre minimal approvisionnable en pratique (notons qu'à 1 MHz, l'épaisseur de peau du cuivre à température ambiante est de 75 µm).

4.2.2 Architectures d'alimentation isolée multi-sorties

Il est dans tous les cas nécessaire de placer un étage de conversion à découpage isolé (*Isolated Switching Power Supply*, ISPS) dans l'alimentation. Pour des raisons évidentes de démarrage, son contrôleur devra être placé au primaire : il faudra donc obtenir, de ce côté de la barrière d'isolation, un retour d'information sur la tension de sortie afin de réguler cette dernière. Ne pouvant utiliser d'optocoupleur à cette fin (comme exposé au 1.2.1.3) c'est par couplage magnétique que ceci se fera. Selon la topologie, c'est le transformateur de puissance ou une inductance de sortie qui accueilleront un enroulement auxiliaire pour ce retour de tension (il permettra aussi d'alimenter le contrôleur une fois démarré).

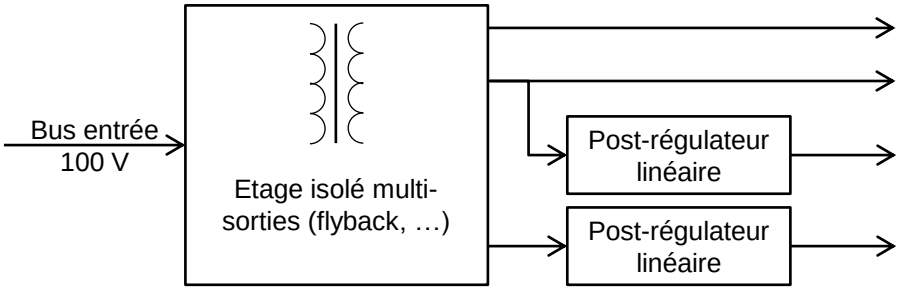


FIGURE 4.2.1 – Architecture avec étage isolé multi-sorties et post-régulation linéaire

Quelle que soit la topologie d'ISPS retenue, il sera aussi possible de profiter de la présence d'un transformateur pour obtenir plusieurs sorties via des enroulements secondaires multiples redressés séparément. L'inconvénient de cette approche est la régulation croisée des sorties, leurs variations étant difficiles à contrôler selon les charges placées sur chacune. Il faut donc systématiquement placer des post-régulateurs linéaires sur les sorties demandant une grande précision afin d'assurer une bonne régulation et améliorer du même coup la réjection de bruit (le rendement de cette régulation linéaire n'est pas forcément médiocre, tant que l'abaissement de tension est relativement faible). La figure 4.2.1 schématise un exemple de cette solution architecturale.

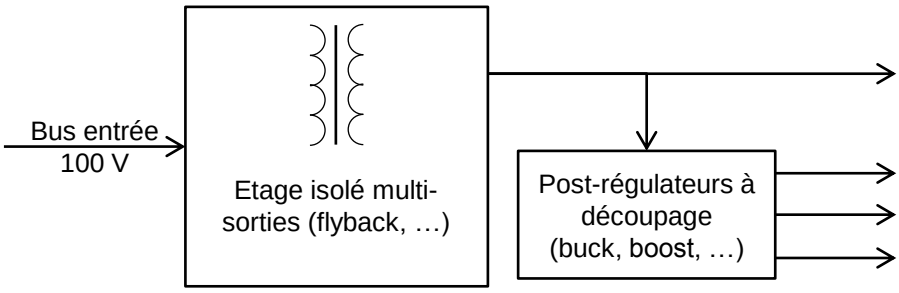


FIGURE 4.2.2 – Architecture avec étage isolé mono-sortie et post-régulation à découpage

Il est également envisageable d'employer une architecture avec un convertisseur isolé dont l'unique sortie constitue un bus intermédiaire à partir duquel des convertisseurs non-isolés génèrent les tensions de sortie requises. Pour limiter leur nombre, ce bus intermédiaire peut être directement une des tensions de sorties, par exemple celle avec le plus de courant et des spécifications de bruit les moins exigeantes : c'est l'option représentée sur la figure 4.2.2. La topologie non-isolée employée pour les convertisseurs secondaires peut être simple, typiquement un buck, un buck-boost ou un boost. L'apparition récente de régulateurs intégrés « *point-of-load* » spatiaux (comprenant circuit de contrôle et transistors de puissance) prévus pour ces topologies permet d'envisager une telle option. Alors que les post-régulateurs linéaires atténuent le bruit de découpage de l'étage isolé, ces convertisseurs tendent au contraire à rajouter de l'ondulation : ils nécessiteront forcément plus de filtrage passif. Une synchronisation de l'horloge des différents contrôleurs permettra d'éviter la production de fréquences d'intermodulation non maitrisées.

4.2.3 Revue de topologies isolées envisageables

La première étape de l'étude est une revue essentiellement qualitative, afin de sélectionner les topologies de conversion isolées à retenir pour le comparatif. Pour minimiser le coût, la complexité et l'encombrement, une topologie isolée à un seul transistor est traditionnellement préférée dans les applications de conversion de faible puissance. La nécessité d'un circuit local d'attaque de grille pour chaque FET GaN incite d'autant plus à éviter l'ajout d'un deuxième transistor primaire dont la commande flottante complexifierait sensiblement le circuit : cette étude a donc d'abord porté sur les topologies « un transistor ». De même, un simple redressement à diodes Schottky a été retenu plutôt qu'un redressement synchrone.

4.2.3.1 Tension drain-source du transistor : une contrainte majeure de dimensionnement

Avec une tension de bus V_{in} nominale de 100 V en entrée du convertisseur et ne disposant que de FET 200 V, la tension inverse appliquée au transistor primaire est une préoccupation majeure. Les règles de *derating* ECSS évoquées au chapitre précédent limitent la tension drain-source v_{DS} à 80% de la valeur maximum annoncée par le fabricant, soit 160 V pour ces composants [1]. Les topologies imposant, par construction, un stress en tension $V_{DS(max)} > 150\,\mathrm{V}$ (soit $1,5 \times V_{in}$) aux interrupteurs primaires sont donc d'ores et déjà éliminées en première approche. Pour les autres, limiter la tension inverse vue par le transistor sera souvent un aspect dimensionnant important ; il faudra également un moyen de limiter les inévitables pics de surtension inductifs lors de son ouverture à l'aide d'un circuit écrêteur.

Selon l'architecture retenue, la tension de sortie V_{out} est variable mais toujours bien inférieure à V_{in}. Le dimensionnement des diodes de redressement est donc moins contraignant : il sera *a priori* possible d'employer des diodes Schottky de puissance spatiales courantes (jusqu'à 100 V, soit 75 V après *derating*).

4.2.3.2 Topologie forward

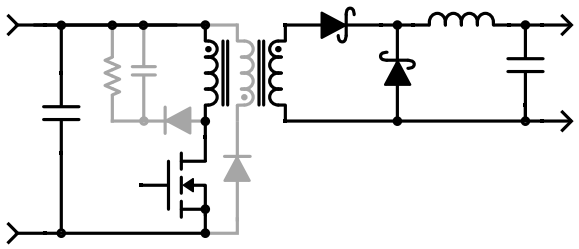


FIGURE 4.2.3 – Schéma électrique de base de la topologie forward (en grisé, deux circuits différents de démagnétisation)

Le forward est la plus simple des topologies de conversion isolée à transfert direct d'énergie (dérivé du buck). La figure 4.2.3 présente son schéma électrique de base en trait noir. Notons

1. L'adéquation de ces règles, probablement pensées pour les MOSFET Si, avec les HFET eGaN reste une question ouverte. Ce sont cependant actuellement elles qui font foi.

que le transformateur n'est excité que de façon unipolaire par le transistor primaire : il est donc nécessaire de prévoir un mécanisme de démagnétisation quand le transistor est bloqué. Il en existe plusieurs variantes classiques, énumérées dans les paragraphes suivants et dont les composants supplémentaires correspondants sont représentés grisés sur la figure 4.2.3. Un des avantages de la topologie forward est le courant de sortie continu facilitant l'obtention d'une faible ondulation de tension. L'inductance de sortie permet également, via un enroulement auxiliaire, d'obtenir au primaire une bonne image de la tension de sortie et donc d'assurer une régulation précise.

Enroulement de démagnétisation L'implémentation la plus courante démagnétise le noyau via un enroulement auxiliaire auquel est appliqué, en polarité inverse, la tension d'entrée à travers une diode. Générant peu de pertes supplémentaires, cette solution est ici éliminée d'office en raison de la tension $V_{DS(max)} = 2 \times V_{in}$ qu'elle impose au transistor lorsqu'il est bloqué.

Écrêteur passif dissipatif Un écrêteur de type RCD limite $V_{DS(max)}$ en dérivant l'énergie contenue dans les inductances du transformateur (fuite et magnétisante) vers un condensateur, qu'une résistance parallèle décharge en permanence de façon à équilibrer les puissances entrante et dissipée. D'une part, la tension d'écrêtage varie en fonction du rapport cyclique et d'autre part, les pertes engendrées semblent absolument déraisonnables pour un convertisseur à haute fréquence de découpage. Cette option a donc été écartée.

Démagnétisation résonante Cette approche consiste simplement à laisser résonner l'inductance magnétisante du transformateur avec la capacité drain-source du transistor, qui doit être d'une valeur suffisante pour limiter l'amplitude crête de la tension à ses bornes. Ce n'est clairement pas le cas avec la capacité de sortie très faible d'un HEMT GaN (tout particulièrement pour la puce de très petite taille utilisée pour une si faible puissance) ce qui rendrait nécessaire l'ajout d'un condensateur externe en parallèle. Dans tous les cas, la période et l'amplitude de résonance dépendant fortement du rapport cyclique et de l'historique de magnétisation du noyau, il est très difficile de garantir une valeur de $V_{DS(max)}$ quel que soit le point de fonctionnement y compris pendant des phases transitoires. Cette variante n'est donc pas non plus adaptée au cahier des charges.

Toutes les variantes à un transistor de la topologie forward ont donc été écartées dans le cadre de cette étude.

4.2.3.3 Topologie flyback

Le flyback est la topologie de convertisseur isolé au schéma le plus minimaliste qui soit, ce qui en fait l'option la plus classique pour les alimentations de très faible puissance (d'ailleurs utilisée sur la génération actuelle de produits RF). Un transistor de découpage au primaire, un seul élément magnétique (« transformateur » qui combine les fonctions de stockage inductif d'énergie et de son transfert isolé) et une diode de redressement par secondaire en sont les seuls composants de puissance. C'est une topologie à transfert d'énergie indirect (dérivée du buck-boost) d'où un courant de sortie toujours discontinu qui nécessite un filtrage non négligeable

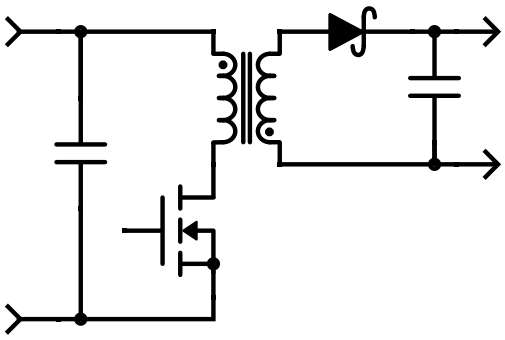


FIGURE 4.2.4 – Schéma électrique de base de la topologie flyback

pour limiter le bruit.

En négligeant les surtensions à l'ouverture dues à l'inductance de fuite, le transistor primaire bloqué voit à ses bornes la somme de la tension d'entrée et de celle de sortie, réfléchie au primaire à travers le transformateur. Avec N_1 le nombre de tours primaires et N_2 le nombre de tours secondaires, la tension maximale à ses bornes s'écrit :

$$V_{DS(max)} = V_{in} + V_{out} \times \frac{N_1}{N_2}$$

Vient s'y ajouter, en l'absence de dispositif d'écrêtage, une surtension inductive dont l'amplitude dépend de l'énergie stockée dans l'inductance de fuite du transformateur et de la capacité parasite totale aux bornes du transistor, ce qui la rend difficile à calculer sans connaissance de la construction détaillée du composant magnétique. La solution la plus simple à ce problème est un circuit écrêteur dissipatif de type RCD ou Zener, qui n'empêchera pas néanmoins une surtension de plusieurs volts et doit donc être combiné à une marge de dimensionnement suffisante.

Par ailleurs, en mode de conduction continue (c'est-à-dire quand le courant magnétisant ne revient pas à zéro lors d'un cycle) et avec un rapport cyclique D, le rapport de conversion est :

$$V_{out} = \frac{D}{1-D} \times \frac{N_2}{N_1} \times V_{in}$$

En combinant les deux expressions précédentes, on obtient :

$$V_{DS(max)} = V_{in} \times \left(1 + \frac{D}{1-D}\right)$$

Ainsi, afin de maitriser la tension inverse du transistor, apparait une borne supérieure au rapport cyclique auquel le convertisseur travaille :

$$V_{DS(max)} < 1,5 \times V_{in} \implies D < 1/3$$

La contrainte en tension diminue avec le rapport cyclique, mais il est difficilement envisageable de descendre très en-dessous de $D = 10\%$ car ceci correspond pour $f_{sw} = 1\,\text{MHz}$ à un temps de conduction de 100 ns (proche du temps de propagation interne des contrôleurs PWM disponibles). On peut ainsi constater que, par la seule contrainte de la tension inverse, les grandes

lignes du dimensionnement (rapport de transformation et rapport cyclique nominal) ont déjà été cadrées.

Notons que le rapport de conversion présenté est valable pour le mode de conduction continue. Pour minimiser la taille de noyau magnétique requise, il est plus intéressant d'exploiter à chaque cycle l'intégralité de sa capacité de stockage d'énergie en travaillant en mode de conduction discontinue. En fait, afin d'également profiter d'une réduction des pertes de commutation par l'amorçage du transistor sous une tension réduite (commutation en « creux de vallée » [53]) le meilleur choix est de fonctionner à la limite des modes continu et discontinu, où les équations s'appliquant aux deux modes sont valables : ainsi le raisonnement présenté ci-dessus tient toujours.

En résumé, la topologie flyback reste en lice pour le comparatif.

4.2.3.4 Topologies à couplage capacitif

D'autres topologies plus exotiques (moins utilisées et moins documentées) semblent avoir un potentiel de gain en termes d'émissions conduites en entrée ou sortie : il s'agit des versions isolées des trois topologies à couplage capacitif que sont le Ćuk, le SEPIC et le zeta [54, 55]. Les équations décrivant $V_{DS(max)}$ et le rapport de conversion de ces 3 topologies sont identiques à celles du flyback, le même raisonnement s'applique donc.

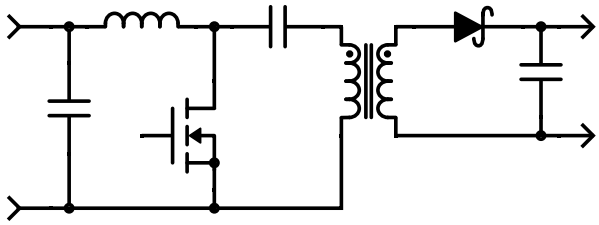


FIGURE 4.2.5 – Schéma électrique de base de la topologie SEPIC isolée

SEPIC isolé Cette topologie est dérivée du SEPIC classique en plaçant le transformateur d'isolation en parallèle de l'inductance de stockage côté sortie : les deux fonctions seront donc avantageusement combinées en un seul composant magnétique construit comme le « transformateur » d'un flyback, ce qui débouche sur le schéma de la figure 4.2.5. En raison des formes d'ondes similaires on peut également y coupler l'inductance d'entrée, comme dans la version non-isolée, et obtenir un magnétique tout intégré à 3 enroulements. Le courant d'entrée est continu, mais le courant de sortie pulsé - le secondaire est en fait similaire à celui d'un flyback. Le condensateur de transfert d'énergie est polarisé sous une tension moyenne V_{in}, ce qui est ici peu avantageux car les technologies disponibles sont encombrantes pour de telles tensions.

Zeta isolé A l'instar du SEPIC isolé, cette topologie est dérivée du zeta [2] classique en plaçant un transformateur en parallèle de l'inductance de stockage côté entrée. Là aussi on combinera en

2. L'origine du nom de cette topologie est peu claire. Elle est aussi connue comme « SEPIC inversé » puisqu'il s'agit de la structure de puissance du SEPIC avec entrée et sortie inversées.

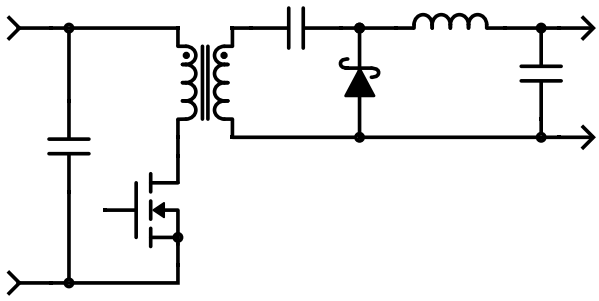


FIGURE 4.2.6 – Schéma électrique de base de la topologie zeta isolée

fait les deux dans un transformateur à inductance magnétisante faible, voire dans un magnétique intégré qui y ajoutera l'enroulement de l'inductance de sortie. L'isolation galvanique permet également de placer le transistor primaire référencé à la masse pour simplifier sa commande : comme on peut le constater sur la figure 4.2.6, la configuration du primaire est donc identique à celle des topologies flyback et forward et se retrouve sujette aux mêmes surtensions causées par l'inductance de fuite. Étant le symétrique du SEPIC, c'est le courant d'entrée qui est pulsé alors que le courant de sortie est continu. Le condensateur de transfert d'énergie n'est ici polarisé que sous une tension V_{out}, ce qui rend son implémentation plus pratique. On pourra noter que le schéma du zeta isolé présenté est en fait identique à celui d'un forward simple (sans circuit de démagnétisation) dont la diode de redressement serait remplacée par un condensateur.

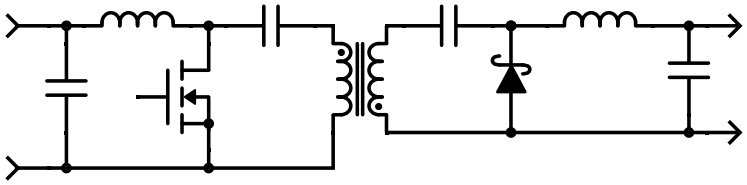


FIGURE 4.2.7 – Schéma électrique de base de la topologie Ćuk isolée

Ćuk isolé La troisième topologie est dérivée de la topologie Ćuk classique par l'ajout d'un transformateur au milieu du condensateur de transfert d'énergie, scindé en deux pour l'occasion comme montré sur la figure 4.2.7. L'isolation galvanique permet de faire disparaitre la propriété d'inversion de polarité de cette topologie. A l'instar de sa version non-isolée, cette topologie présente une inductance en entrée et en sortie : les courants d'entrée comme de sortie sont donc continus. Présentant des formes d'onde de tension identiques, ces deux inductances peuvent être couplées. On y gagne d'ailleurs puisqu'à inductance totale équivalente ce couplage diminue l'ondulation. En jouant sur les valeurs relatives des deux inductances couplées, il est également possible de déplacer l'ondulation entre l'entrée et la sortie, jusqu'à avoir en théorie une ondulation nulle en sortie (entièrement ramenée en entrée) ou vice-versa. Les formes d'ondes sur les enroulements du transformateur étant elles aussi identiques à celles des inductances, il est envisageable d'intégrer ces 4 enroulements sur le même noyau magnétique (ce qui a été proposé et étudié par ĆUK) bien que cette configuration soit d'une complexité de construction

certaine. L'ajout du transformateur (et son inductance magnétisante) entre deux capacités crée des résonances supplémentaires difficiles à maitriser qui complexifient grandement la fonction de transfert du convertisseur. L'un des condensateurs de transfert d'énergie voit une tension V_{in}.

Dans ces trois topologies, le nombre important de composants passifs réactifs présents mène à des dynamiques extrêmement complexes, avec des fonctions de transfert d'ordre 4 potentiellement dotées de plusieurs zéros dans le demi-plan droit. La compensation de la boucle de régulation d'un tel convertisseur risque de se faire au détriment de la bande passante afin de garantir une marge de stabilité suffisante sur toutes les conditions de fonctionnement. Si ceci n'est pas éliminatoire pour cette première étape de sélection, il est clair qu'il s'agit d'un inconvénient sérieux.

4.2.3.5 Topologies à deux transistors

Au vu des résultats préliminaires obtenus avec les topologies à un transistor, il a été décidé d'élargir l'étude aux topologies utilisant un deuxième transistor tout en restant relativement simples dans leur implémentation. Le contrôleur PWM, notamment, est le même que celui utilisé pour les topologies à un seul transistor (il ne dispose donc pas de deux sorties alternées).

Push-pull La topologie est la seule à utiliser deux transistors référencés à la masse, mais elle est disqualifiée par la contrainte en tension $V_{DS(max)} = 2 \times V_{in}$ qui leur est imposée.

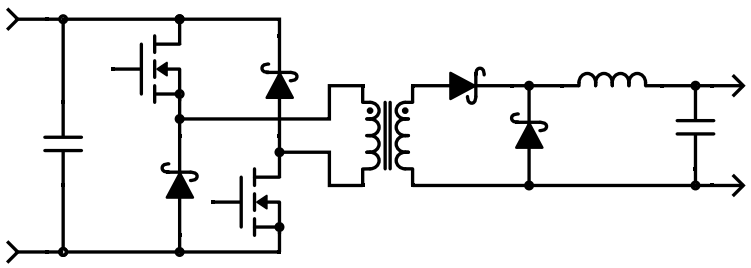


FIGURE 4.2.8 – Schéma électrique de base de la topologie forward à deux transistors

Forward à deux transistors (« *2-switch forward* ») Cette variante de topologie peut être visualisée comme un pont complet à une seule diagonale commandée, tel que représenté en figure 4.2.8. Quand les transistors sont bloqués, le primaire du transformateur laissé flottant démagnétise le noyau en se polarisant en inverse sous V_{in} à travers la diagonale de diodes (qui, ne conduisant que le courant magnétisant, peuvent être de calibre modeste). Le reste du convertisseur fonctionne exactement comme un forward simple. Contrairement aux topologies de type demi-pont, les deux transistors sont ici pilotés en phase ne peuvent pas court-circuiter la tension d'entrée en cas de défaillance transitoire du circuit de commande, ce qui est intéressant du point de vue de la simplicité et de la sureté de fonctionnement. En raison des diodes qui maintiennent les bornes de l'inductance entre les rails de la tension d'entrée, les transistors ne bloquent pas plus que $V_{DS(max)} = V_{in}$ (et peuvent s'amorcer avec seulement $\frac{V_{in}}{2}$ à leurs bornes chacun). Notons qu'il est également possible d'adopter la même configuration primaire pour

d'autres topologies à un transistor (flyback et zeta) où elle a surtout pour intérêt d'écrêter la surtension inductive (le problème de la démagnétisation ne se posant pas avec ces topologies).

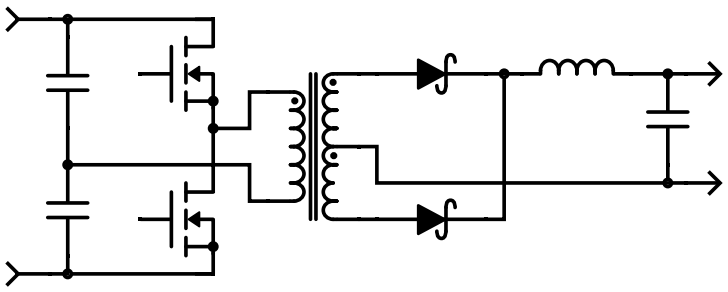


FIGURE 4.2.9 – Schéma électrique de base de la topologie demi-pont

Demi-pont non-régulé Un demi-pont permet d'exciter le transformateur de façon symétrique et de diminuer significativement les pertes par commutation, c'est pourquoi il a été jugé intéressant de l'inclure dans l'étude, au moins à caractère informatif. Un diviseur capacitif équilibré forme un point milieu de tension auquel une borne du primaire est reliée, l'autre étant commutée entre 0 et V_{in} par les deux transistors. Le redressement le plus simple, adapté pour une faible puissance, emploie deux enroulements secondaires afin de redresser chaque alternance avec une seule diode tel que le montre la figure 4.2.9. Le contrôle envisagé pour cette topologie est ici un rapport cyclique fixe de 50% sans régulation de la tension de sortie, ce qui fait de l'étage isolé un simple « transformateur DC » à rapport d'abaissement constant. Ceci n'est acceptable, dans le cahier des charges visé, qu'en se restreignant à des plateformes dont la régulation de la tension de bus est meilleure que ±6% (tolérance de la sortie $6,5\,\mathrm{V}$ *a priori* non post-régulée). La légère asymétrie du rapport cyclique, inévitable en pratique, est compensée par un décalage de la tension du point milieu capacitif qui rétablit l'équilibre des volts-secondes imposés au primaire. L'avantage de ce point milieu capacitif est qu'il fait double emploi en servant également de condensateur de filtre d'entrée, mais il également possible de séparer les deux fonctions en utilisant un seul condensateur en série avec le primaire du transformateur et connecté à un des rails du bus d'entrée. Notons que contrairement aux topologies précédentes dotées d'une inductance de sortie, celle-ci n'est jamais placée en « roue libre » : sa valeur peut être très réduite mais elle ne permet pas un retour de tension par enroulement auxiliaire (ce qui ne pose pas de problème ici puisque sans régulation).

4.2.4 Comparaison quantitative par simulation

Les topologies isolées envisageables apportant de la complexité sans gain significatif dans le cas d'application ont été écartées et seules 4 d'entre elles ont été retenues pour mener à bout la comparaison. Chacune a été déclinée selon les deux versions d'architecture secondaire précédemment décrites :

— avec un transformateur à enroulements secondaires multiples redressés individuellement et post-régulés le cas échéant de façon linéaire,

— avec un transformateur à enroulement secondaire unique dont les autres tensions de sortie sont obtenues par des convertisseurs à découpage non-isolés.

La figure 4.2.10 présente un exemple de schéma de circuit simulé sous SPICE afin de mener cette étude : il s'agit ici de l'étage isolé en topologie flyback mono-secondaire. On peut constater que le niveau de détails du circuit simulé est assez élevé, se voulant représentatif de la quasi-totalité des composants à implanter dans le cadre d'une réalisation pratique du convertisseur (transistor et contrôleur PWM utilisent les modèles fournis par leurs fabricants, le reste utilise des modèles élaborés à partir des données constructeurs). Le nombre de composants et la surface d'implantation résultante peuvent ainsi être quantifiés directement. Le rendement obtenu via ce type de simulation reste, lui, à manier avec précaution (il n'inclut notamment pas les pertes fer et cuivre haute fréquence) mais constitue cependant un indicateur de performances utilisable.

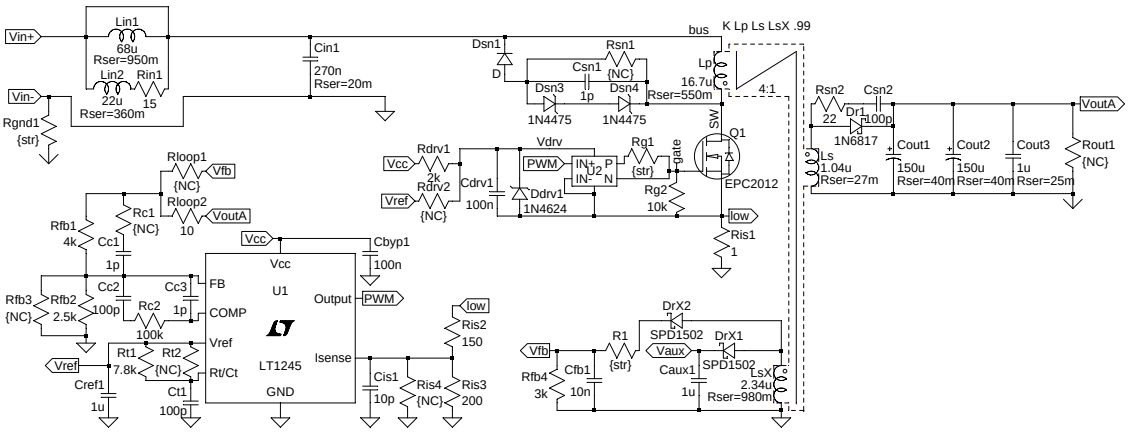


FIGURE 4.2.10 – Exemple de schéma de simulation utilisé pour l'évaluation des performances d'une architecture (ici étage isolé flyback mono-sortie)

Les résultats obtenus pour les 8 architectures retenues sont reportés dans le tableau 4.2.1. Les valeurs numériques restent à manier avec précaution puisqu'elles ne concernent que la fonction alimentation elle-même (à l'exclusion notamment du filtre de mode commun, des protections et de la connectique). Elles permettent cependant bien de situer les différentes architectures entre elles. D'un point de vue plus qualitatif, les « points difficiles » identifiés comme potentiellement problématiques sont également indiqués pour chaque topologie isolée.

On constate que, malgré l'encombrement des multiples redresseurs et un filtrage plus important, c'est l'architecture la plus « primitive » - topologie flyback avec plusieurs secondaires et post-régulation linéaire - qui ressort comme la plus compacte. C'est en contrepartie celle dont le rendement estimé est le plus bas.

La topologie zeta isolé ne semble pas apporter de gain sensible par rapport au flyback, ainsi les deux architectures basées dessus sont légèrement plus encombrantes pour des performances virtuellement identiques. La régulation difficile d'un convertisseur à la fonction de transfert hautement complexe ne joue pas en sa faveur et on ne retiendra donc pas cette solution.

Le forward à 2 transistors d'une part et le demi-pont d'autre part améliorent sensiblement le rendement aux dépens d'une complexité significativement accrue, notamment par la commande

Topologie ISPS	Flyback		Zeta isolé		Forward 2 tr.		½ pont non-rég.	
Architecture secondaire	Lin	Déc	Lin	Déc	Lin	Déc	Lin	Déc
Nombre de composants	64	81	66	83	91	114	97	110
Surface (mm^2)	1620	2130	1690	2160	2050	2640	2260	2640
Rendement	69%	74%	69%	74%	71%	79%	75%	83%
Ecrêteur primaire	☹		☹					
Régulation complexe			☹					
Commande flottante					☹		☹	
Tolérance bus limitée							☹	

TABLE 4.2.1 – Résultats de la comparaison par simulation d'architectures DC/DC isolées (« Lin. » = multi-secondaires + régulation linéaire ; « Déc. » = mono-secondaire + régulation à découpage)

flottante pour le deuxième transistor.

Pour toutes les topologies isolées, le gain de rendement en passant à une post-régulation à découpage est relativement important, de 5 à 8%. Malgré la fréquence de découpage élevée qui permet l'utilisation d'inductances de faibles dimensions, la post-régulation à découpage est handicapée en termes d'encombrement ($400 - 600\,mm^2$ supplémentaires) par deux aspects :

— le boitier d'un régulateur à découpage intégré est d'une taille similaire, voire supérieure, au boitier d'un régulateur linéaire capable de dissiper plusieurs ampères (ceci est spécifique aux composants spatiaux),

— il est nécessaire d'ajouter un étage de filtrage supplémentaire en sortie du post-régulateur à découpage pour obtenir une ondulation suffisamment faible.

4.3 Prototypage

Au vu des résultats de l'étude, il a été décidé de réaliser des prototypes de plusieurs architectures afin, d'une part, de valider expérimentalement la faisabilité et, d'autre part, de vérifier les performances calculées. Les architectures réalisées sont les suivantes :

1. étage isolé flyback multi-secondaires et post-régulation linéaire,
2. étage isolé flyback mono-secondaire et post-régulation à découpage,
3. étage isolé forward à 2 transistors mono-secondaire et post-régulation à découpage.

4.3.1 Construction

4.3.1.1 Circuits imprimés

A des fins pratiques, les prototypes ont tous été conçus sur la même base de circuit imprimé carré de dimensions $50 \times 50\,mm$ dotés de connexions par broches au pas de $2,54\,mm$ pour le bus d'entrée, les différentes tensions de sortie et quelques signaux auxiliaires (démarrage, télécommande, télémesure). Ces petites cartes interchangeables peuvent toutes être montées sur une carte-mère dotée d'une découpe correspondante. Cette carte-mère présente des interfaces

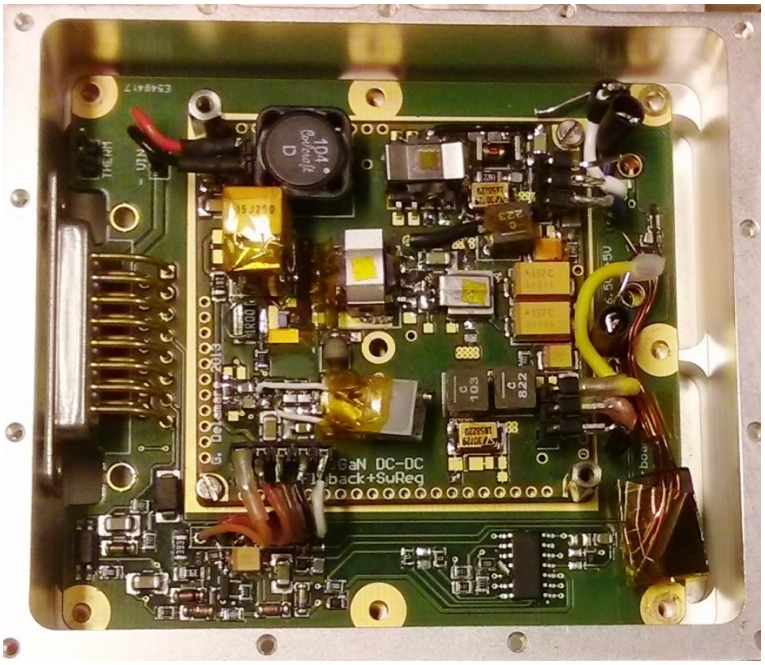


FIGURE 4.3.1 – Prototype 2 (flyback mono-sortie avec post-régulation à découpage) lors d'un essai « in-situ » dans le boitier du récepteur RF

externes (facteur de forme, connectique, télécommande / télémesure) identiques à celles d'une carte d'alimentation de la dernière génération de récepteurs RF, permettant ainsi un test « in-situ » des prototypes d'alimentations dans l'équipement existant.

Les circuits imprimés des cartes-filles sont fabriqués dans un processus 6 couches en 2 étapes (chaque moitié de l'empilage est laminée et percée séparément avant de les réunir pour une deuxième étape de lamination et perçage) typique des cartes spatiales. Ceci autorise la réalisation de vias borgnes (débouchant seulement sur une face) particulièrement utiles pour réaliser un routage dense. Deux couches internes de 140 µm d'épaisseur servent de drains thermiques (connectés au châssis i.e. la masse secondaire) et les autres sont épaisses de 70 µm.

4.3.1.2 Composants magnétiques sur mesure

Les tailles de noyaux sélectionnées lors du dimensionnement sont des géométries standard de type « EE » à jambe centrale ronde et profil bas ER9.5 (carcasse 8 broches) et ER11 (carcasse 10 broches). Seule l'inductance de sortie du prototype forward, soumise à une ondulation réduite, a été bobinée en fil émaillé de diamètre supérieur à l'épaisseur de peau, les autres magnétiques employant des fils de litz de 5 à 30 brins de 50 µm (ainsi que du fil émaillé mono-brin pour les enroulements de très faible puissance).

Les dimensions très réduites rendent laborieux le bobinage manuel, surtout quand le nombre d'enroulements est important : 3 pour un transformateur mono-sortie (avec un enroulement auxiliaire) mais jusqu'à 5 pour un multi-sorties ! Les enroulements secondaires ont été autant que possible placés entre les deux couches du primaire afin de minimiser l'inductance de fuite, cet entrelacement compliquant encore la procédure de fabrication. Dans des topologies où les

parasites résultant de la configuration physique exacte des bobinages (inductance de fuite notamment) ont un impact important, la reproductibilité de tels composants reste une problématique pour l'industrialisation.

4.3.2 Résultats

4.3.2.1 Campagne de mesure des performances

Après réglages et ajustements, une caractérisation extensive des performances des prototypes 1 et 2 a été menée. Celle ci inclut la mesure pour trois puissances de sortie (charge minimale, nominale et maximale) des caractéristiques suivantes :

— rendement,
— déviation des tensions de sortie,
— émissions conduites en sortie : ondulation en domaine temporel et spectre fréquentiel,
— émissions conduites en entrée : spectres des modes différentiel et commun,
— susceptibilité conduite : spectre de réjection,
— marge de stabilité de la boucle de régulation,
— appel de courant au démarrage,
— stress en tension des composants,
— protections et limitations de courant.

Pour des raisons de temps et de priorité, une caractérisation plus restreinte a été menée sur le prototype 3. Résultant en un volume important de données d'intérêt essentiellement industriel, cette campagne de mesures ne sera pas rapportée en détails dans le présent mémoire, néanmoins quelques résultats et aspects intéressants sont présentés ci-après.

Le tableau 4.3.1 montre les rendements totaux effectivement obtenus avec les prototypes réalisés ainsi qu'avec le produit existant pour comparaison. On voit que l'augmentation de la fréquence de découpage impacte sensiblement le rendement, nécessitant l'emploi d'architectures intrinsèquement plus efficientes pour conserver un rendement similaire.

Architecture		Prototype 1	Prototype 2	Prototype 3	Produit existant
Surface (mm^2)		$2500\,mm^2$	$3000\,mm^2$	$3500\,mm^2$	$5500\,mm^2$
Rendement à charge...	min.	58%	65%	70%	67%
	nom.	62%	67%	73%	68%
	max.	64%	69%	74%	68%

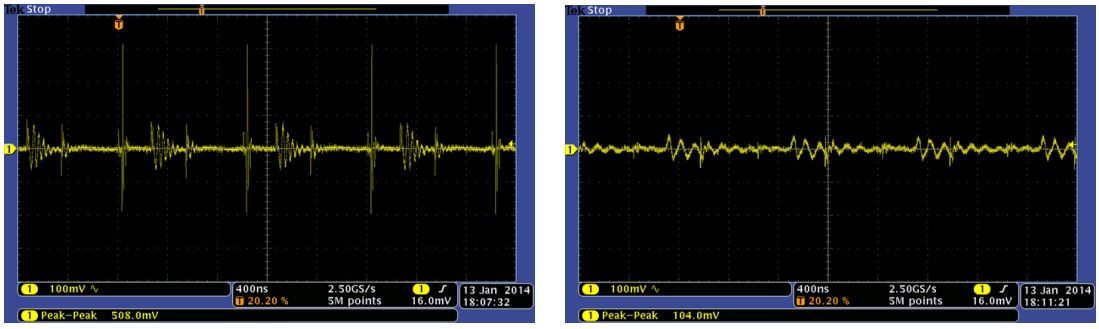
Table 4.3.1 – Rendements des différents prototypes et du produit existant équivalent

4.3.2.2 Difficultés d'implémentation et non-conformités

Les spécifications visées n'ont pas toutes été respectées, notamment en termes de bruit et de précision sur certaines tensions de sortie. Les causes en sont principalement des couplages parasites complexes ne pouvant guère être mis en évidence par les simulations SPICE employées lors du dimensionnement de chaque architecture et sortant donc du cadre formel de l'étude

comparative. Néanmoins, les problèmes rencontrés et leurs solutions proposées présentent un intérêt pratique justifiant leur évocation dans ce mémoire.

Bruit en sortie Problème difficile à anticiper en simulation, les $^{dV}/_{dt}$ élevés du convertisseurs (découpage, oscillations de la diode de redressement) se sont avérés apparaitre en sortie sous la forme de brèves impulsions oscillatoires amorties de plusieurs centaines de millivolts d'amplitude dont le contenu harmonique se situe aux alentours de 25 MHz. Le filtre LC à haute fréquence de coupure ($f_c \approx 10\,\text{MHz}$) constitué des fils de connexion inter-cartes et d'une petite capacité céramique placé en sortie de la carte-mère s'est avéré opportunément adéquat pour atténuer ces parasites en échange d'une oscillation - modérément amortie - à sa fréquence de coupure (cf figure 4.3.2). L'emploi de perles de ferrite dissipative (conçues pour le filtrage du bruit émis par les circuits numériques multi-MHz) semble être une solution intéressante, à la fois pour contribuer à l'atténuation des impulsions et pour amortir la résonance du filtre haute fréquence.



(a) (b)

FIGURE 4.3.2 – Bruit sur une sortie du prototype 2 : (a) avant ; (b) après filtrage haute fréquence

Régulation en charge Sur les prototypes flyback, une régulation médiocre empêche d'atteindre la précision souhaitée sur la sortie $+6,5\,\text{V}$ non post-régulée : le retour de tension isolé (tout comme l'alimentation du contrôleur, également obtenue depuis l'enroulement auxiliaire) dépasse de plusieurs volts la tension attendue pour une tension de sortie donnée et varie assez largement avec la charge. Le couplage magnétique imparfait entre les différents enroulements (i.e. inductances de fuite) en est peut-être partiellement responsable, mais une autre explication probable repose dans le couplage capacitif entre enroulements auxiliaire et primaire. La variation de potentiel de ce dernier, à raison de $10\,^{\text{V}}/_{\text{ns}}$ lors de l'ouverture du transistor primaire, injecterait une impulsion de courant dans le redresseur de l'enroulement auxiliaire. Pour atténuer le problème, la diode de redressement utilisée pour la régulation de tension a été remplacée par une diode haute tension « lente » à l'amorçage, une résistance série lui a été adjointe et, en dernier recours, la puissance débitée sur l'enroulement auxiliaire a été artificiellement augmentée. La régulation en charge a ainsi été un peu améliorée aux dépens du rendement et de la stabilité en température : il s'agit d'une solution assez peu satisfaisante. L'enroulement auxiliaire sur l'inductance de sortie du forward à 2 transistors permet, lui, d'obtenir une très bonne image de

la tension de sortie qui entraine une excellente précision sur toute la gamme de charge.

4.3.2.3 Performance des étages isolés

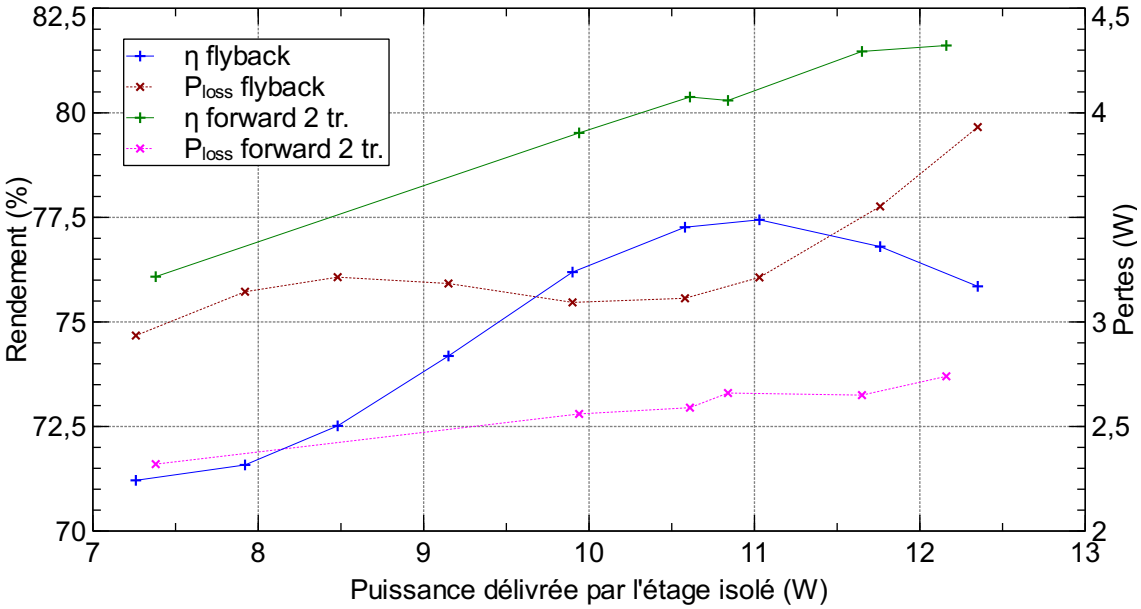


FIGURE 4.3.3 – Rendement et pertes mesurés sur l'étage de conversion isolée des prototypes 2 et 3

La figure 4.3.3 montre les rendements et pertes de l'ISPS seul des prototypes 2 et 3 (respectivement flyback et forward à 2 transistors) sur l'essentiel de la gamme de puissance requise [3]. Les courbes du forward sont relativement monotones et laissent présager d'une amélioration du rendement, déjà très acceptable aux alentours de 80%, pour des puissances plus importantes que celles étudiées ici. Le flyback, au contraire, est spécifiquement optimisé pour la gamme de fonctionnement : on observe un minimum local de pertes entre 9 et 11 W dû à l'amorçage en « creux de vallée », de part et d'autre duquel le rendement diminue.

Les formes d'ondes principales du transistor flyback lors d'un fonctionnement à charge maximale du prototype 2 sont représentées sur la figure 4.3.4. Pour obtenir des mesures correctes sur ce type de signaux rapides, la sonde d'oscilloscope est systématiquement placée au plus proche avec un contact de masse court de type « ressort ». Le courant primaire est tel que mesuré par le contrôleur à découpage grâce à une résistance (peu inductive grâce à son format plus large que long) de 1 Ω insérée en série avec le FET de découpage. On constate que l'inductance magnétisante L_M du transformateur est bien ajustée pour que sa résonance avec C_{oss} amène la tension v_{DS} du FET à un minimum au moment précis de son amorçage. L'amorçage se fait ainsi seulement sous 70 V au lieu de $V_{in} + \frac{N_1}{N_2} \times (V_{out} + V_f) \approx 130\,\text{V}$. Ces tensions correspondent à des énergies E_{oss} (dissipées à l'amorçage) respectivement de $0,3\,\mu\text{J}$ et $0,9\,\mu\text{J}$: les pertes de commutation sont ainsi réduites d'un facteur 3 par rapport à une commutation en mode de

3. La puissance délivrée par l'étage isolé est supérieure à la somme des puissances de sortie spécifiées en raison du rendement des post-régulateurs à découpage compris entre 80 et 90%.

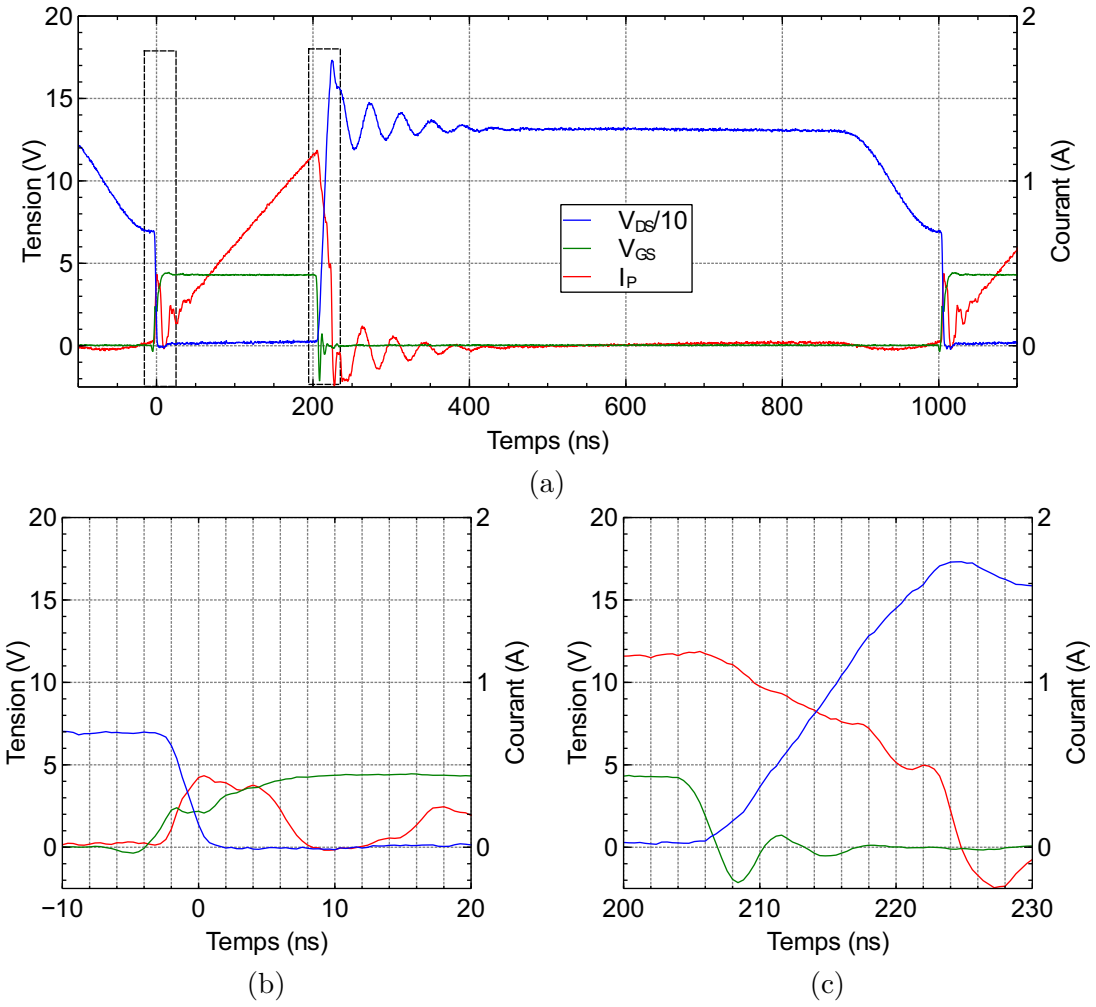


FIGURE 4.3.4 – Formes d'ondes du FET du prototype 2 en fonctionnement à puissance maximale : (a) période complète ; (b) zoom sur l'amorçage ; (c) zoom sur le blocage

conduction continue. Évidemment, la fréquence de découpage étant fixée, la commutation se fait à des tensions moins favorables pour d'autres points de fonctionnement (par comparaison, les deux FET du forward s'amorcent tous deux sous 50 V résultant en $0,35\,\mu J$ d'énergie dissipée indépendamment du point de fonctionnement).

La décharge de la grille est très rapide - de l'ordre de 3 ns - permettant ici encore de bloquer le canal avant que la tension drain-source ne s'élève significativement : les pertes de croisement $v \times i$ sont pour ainsi dire inexistantes. La tension de commande relativement basse $V_{drive} \approx 4,2\,V$ entraine un $R_{DS(on)}$ suboptimal ; ceci ne pose néanmoins pas de problème puisque les pertes de conduction du FET sont dans tous les cas négligeables.

La figure 4.3.5 synthétise la répartition estimée des pertes dans l'étage flyback : elles sont clairement dominées par la conduction du redresseur Schottky, conséquence directe et assumée du choix d'un redressement asynchrone. Viennent ensuite les pertes dues au transformateur : pertes fer et cuivre, toutes deux sous-estimées et probablement responsables de l'essentiel des pertes non-attribuées, mais aussi énergie de fuite dont une partie est dissipée par le circuit écrêteur et le reste essentiellement dans la résistance de l'enroulement primaire. Les pertes

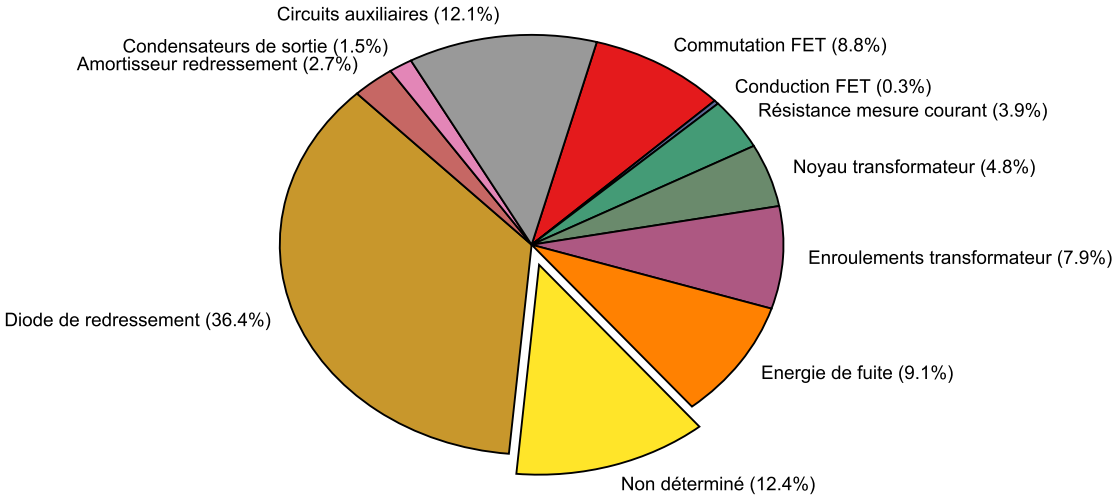


FIGURE 4.3.5 – Répartition estimée des pertes dans l'étage flyback du prototype 2

totales dans le FET ne sont qu'en quatrième position, derrière la consommation de l'ensemble des circuits auxiliaires. L'image thermique de la figure 4.3.6 permet de valider qualitativement cette répartition : si la diode Schottky ne présente qu'une élévation de température modérée en raison de son excellent contact thermique avec le PCB, le transformateur est clairement un élément fortement dissipatif par comparaison avec le HFET GaN.

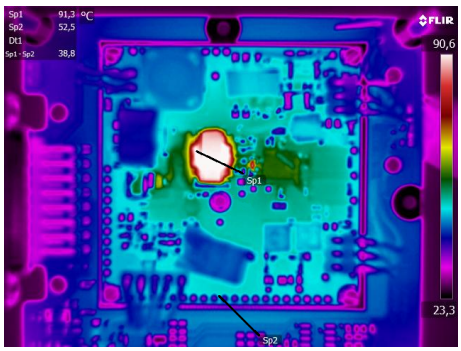


FIGURE 4.3.6 – Image thermique du prototype 2 fonctionnant à charge maximale

4.4 Conclusion : intérêt des FET GaN dans les applications faible puissance

En conclusion de ce volet des investigations, nous pouvons apporter une réponse à la question étudiée : grâce à un HFET GaN, il est bien possible de réaliser une alimentation basse puissance compacte, découpant à une fréquence 10 fois plus élevée que les usuels 100 kHz. Augmentation de fréquence de découpage et changement de technologie n'affectent au final guère le choix de la topologie : le flyback continue à régner en terme de simplicité et de compacité. En aval de l'étage de conversion isolée, l'emploi de convertisseurs à découpage non-isolés au lieu de régula-

teurs linéaires est rendu envisageable par la réduction de la taille des inductances nécessaires ; l'approche linéaire reste néanmoins la plus compacte. La solution à découpage propose un rendement de post-régulation supérieur qui permet de compenser les pertes plus élevées de l'étage de découpage principal et résulte en un rendement total comparable aux produits actuels avec un gain sur l'encombrement de l'ordre de 50% par rapport à ces derniers.

Dans les produits spatiaux, le potentiel de réduction de la taille du convertisseur est restreint par l'absence de boitiers plus compacts pour les composants passifs (condensateurs, inductances) comme actifs (diodes, circuits intégrés divers). De plus, sur des alimentations de si petites puissances, une majeure portion de l'encombrement est due non au convertisseur lui-même mais aux fonctions annexes : contrôle, interfaces, protections, connectique. Ces deux facteurs viennent largement tempérer le gain apporté par le bond en avant d'une décade sur la fréquence de découpage.

L'approche logicielle d'exploration automatique de nombreuses variantes de conception de convertisseur présentée au chapitre 3 pourrait être étendue à des topologies de faible puissance - voire des architectures multi-sorties complètes - afin d'apporter en un temps court des éléments de réponse concrets à un concepteur face à un nouveau besoin de dimensionnement d'alimentation. Il faut cependant garder à l'esprit que la qualité des performances évaluées dépendrait, là encore, grandement de la capacité des modèles utilisés à prendre en compte les effets dominants dans les structures évaluées.

Ceci nous amène à une conclusion partagée avec l'application forte puissance précédemment présentée, malgré la différence des architectures en jeu : les composants magnétiques constituent à la fois une portion majeure de l'encombrement et des pertes du convertisseur. A haute fréquence de découpage, les pertes fer et cuivre calculées sont importantes et celles observées en pratique le sont manifestement encore plus. Dans une optique de réduction de pertes et à défaut de nouveaux matériaux ferromagnétiques révolutionnaires, les approches visant à se passer complètement d'un noyau magnétique - telle que celle évoquée dans [24] - peuvent sembler sensées. Elles ne constituent néanmoins qu'une réponse incomplète au problème puisque ne réduisant pas les pertes cuivre, bien au contraire (un nombre de tours plus élevé est nécessaire pour obtenir une inductance comparable).

Remarques sur la fiabilité

La fiabilité des composants GaN employés est le sujet de nombreuses interrogations, certainement justifiées au titre du jeune âge de la technologie. Après 3 ans de travail avec plusieurs dizaines de ces derniers, dont un nombre non-négligeable a fini détruit de façon plus ou moins spectaculaire par une défaillance en court-circuit [4], il semble possible de dégager quelques enseignements à ce sujet. La principale observation est que la cause des défaillances n'est typiquement pas le transistor GaN lui-même, mais l'architecture dans laquelle il est mis en œuvre, notamment en termes de commande. Comme largement signalé dans la littérature et les notes d'application du fabricant, le routage correct de la maille de grille est critique mais ne devrait pas poser de problème particulier avec l'emploi d'un circuit intégré adapté. Par contre, les fronts de commutation extrêmement rapides induisent aisément des courants circulant dans une grande partie du circuit *via* conducteurs et des capacités parasites. Ceux-ci sont fortement susceptibles de corrompre des signaux logiques à impédance source élevée. Le circuit intégré d'attaque de grille d'un transistor *eGaN* est un point particulièrement sensible : une impulsion parasite de quelques nanosecondes couplée sur son entrée logique (peut-être même à travers sa propre capacité interne entre sortie et entrée) pourra généralement suffire à amorcer le HFET et créer un court-circuit destructeur, alors que la capacité de grille nettement plus importante d'un MOSFET silicium l'aurait probablement protégé dans la même situation.

Une configuration à éviter autant que possible est celle situant la logique de génération des ordres de commande et les structures de puissance sur des PCB différents et acheminant les signaux logiques ou les alimentations auxiliaires entre eux par des connexions filaires. Les nombreux trajets potentiels offerts aux courants parasites haute fréquence (et ce même si signaux et alimentations sont isolés galvaniquement à une ou l'autre extrémité) combinés à la vulnérabilité à la corruption des signaux logiques véhiculés par un conducteur long (dont l'inductance s'ajoute à la résistance, souvent déjà assez élevée, de la source logique) rendent difficile d'assurer la robustesse de ce type de mise en œuvre. Ainsi le montage expérimental de mesure des pertes par commutation du chapitre 2, avec une carte FPGA pilotant deux jambes de pont séparées, a résulté en un nombre important de jambes de pont plus ou moins partiellement détruites par des défaillances en court-circuit survenant de façon apparemment aléatoire au cours d'une session automatisée de mesure. L'emploi d'une batterie pour l'alimentation auxiliaire des jambes de pont, supprimant un chemin possible pour les courants parasites de mode commun, a fortement diminué l'occurrence de problèmes sans toutefois les éliminer avec certitude. Il est d'ailleurs net

4. La petite taille de la puce entraine généralement son éjection du PCB lors d'un évènement aussi énergétique.

que les contretemps répétés a constitué un frein majeur à l'étude expérimentale qui aurait sans cela pu être développée bien plus avant.

Par comparaison, les différents prototypes d'alimentation réalisés sous la forme d'un PCB unique (incluant les fonctions de puissance et de commande) n'ont connu presque aucune défaillance non-expliquée par une mauvaise utilisation. Le prototype flyback post-régulé à découpage du chapitre 4 a ainsi fonctionné près de 1000 h en continu (convection naturelle à température ambiante) sans montrer aucun signe de faiblesse. Le prototype de DAB du chapitre 3, lui, a survécu à un grand nombre d'échanges de ses composants magnétiques entrainant des démarrages avec régulation instable (déclenchant à répétition la limitation de courant) sans souci particulier. Suite à un déplacement de la maquette vers un nouvel environnement de test, un transistor secondaire s'est mécaniquement fissuré (défaillance en court-circuit toujours, peut-être différente en nature de celles conduisant à l'éjection de la puce) à deux reprises lors d'un démarrage *a priori* pas plus stressant que les précédents. Il est plausible que cette soudaine apparition de problèmes liée à un changement d'équipements de test soit révélatrice, là encore, de courants perturbateurs circulant entre les connexions des alimentations de puissance et de circuits de contrôle (cette dernière étant externe car le prototype n'embarque pas de convertisseur flyback auxiliaire).

Conclusion et perspectives

Le travail de thèse présenté dans ce mémoire a couvert l'apport du HFET GaN de puissance à la réalisation d'alimentations DC/DC destinées aux équipements de satellites de télécommunication :

- le premier chapitre a posé le cadre dans lequel cette problématique s'inscrit, à l'intersection des contraintes et spécificités de l'environnement spatial d'une part et des propriétés prometteuses du HFET GaN, notamment en termes d'augmentation de la fréquence de découpage, d'autre part ;
- une étude des pertes de commutation dans les structures en pont de HFET GaN, à la fois par une approche expérimentale originale et par une analyse théorique détaillée, a constitué le deuxième chapitre ;
- à l'occasion du dimensionnement d'un convertisseur Dual Active Bridge 250 W à base de HFET GaN pour l'alimentation d'un amplificateur de puissance, le troisième chapitre a introduit une approche d'exploration logicielle de très nombreuses variantes de conception s'appuyant sur une évaluation rapide des performances de chacune, suite à quoi la réalisation d'une maquette a mis en évidence les limitations des modèles analytiques employés ;
- enfin, le quatrième chapitre a présenté une étude comparative de différentes solutions d'architecture pour des convertisseurs multi-sorties de faible puissance (employant seulement un ou deux transistors GaN) typiques des besoins des équipements de réception RF, menée jusqu'à la réalisation et aux essais de différents prototypes.

Ces différentes études ont permis de répondre à la problématique d'origine en démontrant la capacité des HFET GaN à répondre aux besoins des charges utiles de télécommunication, en termes de conversion DC/DC d'une puissance et d'une compacité toujours croissantes. Une fois vaincue la réticence initiale du secteur spatial commercial à l'introduction de nouvelles technologies dans les équipements critiques, il semble clair que le HFET GaN est promis à un large emploi à bord des satellites. Ce constat est d'ailleurs probablement partagé par le domaine des applications terrestres exigeantes en performances.

En matière de perspectives, un constat répété lors des différentes études est que les composants magnétiques de puissance (en tout cas dimensionnés à l'aide de méthodes et modèles analytiques traditionnels) s'avèrent souvent être le principal facteur limitant de la montée en fréquence, bien plus que les transistors GaN eux-mêmes. Grâce à la marge de manœuvre procurée par les faibles pertes par commutation de ces derniers, pour minimiser les pertes globales dans

des convertisseurs à haute fréquence de découpage il pourrait donc être pertinent, à l'avenir, d'employer plutôt des topologies imposant des contraintes réduites aux éléments magnétiques, au détriment s'il le faut de celles imposées aux transistors de puissance. Le développement de méthodes accessibles et fiables de calcul des pertes haute fréquence dans les noyaux comme dans les enroulements plats constitue un autre axe d'études important, auquel des travaux actuels du laboratoire LAPLACE contribuent d'ailleurs..

On retiendra également que les composants GaN étudiés, avec des énergies perdues à la commutation très faibles et variant de façon importante sur une échelle de temps de l'ordre de la nanoseconde, ont poussé dans ses retranchements la méthode innovante de mesure par « opposition ». Cette dernière, même proche de ses limites de précision, reste tout de même *a priori* capable de fournir une borne supérieure à l'énergie de pertes. Permettant de caractériser les véritables énergies de commutation au sein d'une jambe de pont, cette méthode est d'autant plus prometteuse pour des composants aux pertes plus élevées : son application généralisée aux MOSFET de puissance couramment utilisés dans la conception d'alimentations serait ainsi une source d'information précieuse.

L'approche d'aide à la conception de convertisseur par l'exploration logicielle rapide de nombreuses solutions qui a été abordée dans ce mémoire, complémentaire à la disponibilité de modèles et de données fiables sur les pertes des composants de puissance, est également un sujet très prometteur. Là encore, plusieurs efforts en ce sens issus des équipes de recherche du laboratoire LAPLACE continueront à être développés à l'avenir.

Pour finir, on insistera sur l'importance de prendre en compte, dès la conception d'un convertisseur à HFET GaN, la question de la robustesse aux perturbations électromagnétiques car, en raison de ses composants à commutation très rapide, ce type de circuit s'avère à la fois une source et une victime potentielle.

Bibliographie

[1] S. J. Garber, R. D. Launius et D. H. Onkst, *Using Space*, vol. 3 *in Exploring the Unknown : Selected Documents in the History of the U.S. Civil Space Program.* NASA, 1960.

[2] D. Bomberger, D. Feldman, D. Trucksess, S. Brolin et P. Ussery, « The spacecraft power supply system », *in Telstar I. NASA Special Publication SP-32*, 1963.

[3] K. Nakade, K. Seino, A. Tsuchiko et J. Kanaya, « Development of 150W S-band GaN solid state power amplifier for satellite use », *in Microwave Conference Proceedings (APMC), 2010 Asia-Pacific*, p. 127–130, IEEE, 2010.

[4] Edmonds, L.D., Barnes, C.E. et Scheick, L.Z., « An introduction to space radiation effects on microelectronics », JPL publication 00-06, NASA Jet Propulsion Laboratory, 2000.

[5] J. H. Hohl et K. F. Galloway, « Analytical model for single event burnout of power MOSFETs », *IEEE Transactions on Nuclear Science*, vol. NS-34, no. 6, p. 1275–1280, 1987.

[6] C. J. Marshall et P. W. Marshall, « Proton effects and test issues for satellite designers (section IV) », *in Nuclear and Space Radiation Effects Conference (NSREC) 1999 Short Course*, IEEE, 1999.

[7] European Coordination for Space Standardization, « ECSS-Q-ST-30-11C-Rev1 - Space product assurance - EEE components derating », 2011.

[8] STMicroelectronics, « M74HC02 - Quad 2-input NOR gate », 2001.

[9] STMicroelectronics, « M54HCxxx - Rad-hard high speed 2 to 6 V CMOS logic series », 2011.

[10] European Coordination for Space Standardization, « ECSS-Q-ST-60C-Rev1 - Space product assurance - Electrical, electronic and electromechanical (EEE) components », 2009.

[11] S. Agarwal, « Class Y : NEPP championed approach to advanced package qualification », 2011.

[12] R. S. Pengelly, S. M. Wood, J. W. Milligan, S. T. Sheppard et W. L. Pribble, « A review of GaN on SiC high electron-mobility power transistors and MMICs », *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 6, p. 1764–1783, 2012.

[13] A. Lidow, « Can gallium nitride replace silicon ? », *Power Electronics Europe*, p. 30–33, 2010.

[14] A. Lidow, Beach, Robert, Nakata, Alana, Cao, Jianjun et Zhao, Guang Yuan, « Enhancement mode GaN HEMT device and method for fabricating the same », 2013.

[15] P. Monfraix, R. Barbaste, J. L. Muraro, C. Drevon et J. L. Cazaux, « Quasi hermetic packaging for new generation of spaceborn microwave equipment », *Microelectronics Reliability*, vol. 49, no. 9-11, p. 1326–1329, 2009.

[16] A. Lidow, J. Strydom, A. Nakata, M. Rearwin et M. Zafrani, « Single-event and radiation effect on enhancement mode gallium nitride FETs », *in Radiation Effects Data Workshop (REDW), 2014 IEEE*, p. 1–7, IEEE, 2014.

[17] A. Lidow et K. Smalley, « Radiation tolerant enhancement mode gallium nitride (eGaN®) FET characteristics », *in GOMAC Tech Conference, Las Vegas, Nevada*, 2012.

[18] W. Saito, T. Nitta, Y. Kakiuchi, Y. Saito, K. Tsuda, I. Omura et M. Yamaguchi, « A 120-W boost converter operation using a high-voltage GaN-HEMT », *IEEE Electron Device Letters*, vol. 29, no. 1, p. 8–10, 2008.

[19] Y. Wu, M. Jacob-Mitos, M. L. Moore et S. Heikman, « A 97.8% efficient GaN HEMT boost converter with 300-W output power at 1 MHz », *IEEE Electron Device Letters*, vol. 29, no. 8, p. 824–826, 2008.

[20] K. S. Boutros, S. Burnham, D. Wong, K. Shinohara, B. Hughes, D. Zehnder et C. McGuire, « Normally-off 5A/1100V GaN-on-silicon device for high voltage applications », *in Electron Devices Meeting (IEDM), 2009 IEEE International*, p. 1–3, IEEE, 2009.

[21] J. Everts, J. Das, J. Van den Keybus, J. Genoe, M. Germain et J. Driesen, « A high-efficiency, high-frequency boost converter using enhancement mode GaN DHFETs on silicon », *in Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, p. 3296–3302, IEEE, 2010.

[22] D. Reusch, D. Gilham, Y. Su et F. C. Lee, « Gallium Nitride based 3D integrated non-isolated point of load module », *in Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, p. 38–45, IEEE, 2012.

[23] N. Videau, T. Meynard, V. Bley, D. Flumian, E. Sarraute, G. Fontes et J. Brandelero, « 5-phase interleaved buck converter with gallium nitride transistors », *in Wide Bandgap Power Devices and Applications (WiPDA), 2013 IEEE Workshop on*, p. 190–193, IEEE, 2013.

[24] H. B. Kotte, R. Ambatipudi et K. Bertilsson, « High speed cascode flyback converter using multilayered coreless printed circuit board (PCB) step-down power transformer », *in Power Electronics and ECCE Asia (ICPE & ECCE), 2011 IEEE 8th International Conference on*, p. 1856–1862, IEEE, 2011.

[25] D. Costinett, H. Nguyen, R. Zane et D. Maksimovic, « GaN-FET based dual active bridge DC-DC converter », *in Applied Power Electronics Conference and Exposition (APEC), 2011 Twenty-Sixth Annual IEEE*, p. 1425–1432, IEEE, 2011.

[26] W. Zhang, Y. Long, Z. Zhang, F. Wang, L. M. Tolbert, B. J. Blalock, S. Henning, C. Wilson et R. Dean, « Evaluation and comparison of silicon and gallium nitride power transistors in LLC resonant converter », *in Energy Conversion Congress and Exposition (ECCE), 2012 IEEE*, p. 1362–1366, IEEE, 2012.

[27] D. Reusch et F. C. Lee, « High frequency isolated bus converter with gallium nitride transistors and integrated transformer », *in Energy Conversion Congress and Exposition (ECCE), 2012 IEEE*, p. 3895–3902, IEEE, 2012.

[28] R. Ramachandran et M. Nymand, « Design and analysis of an ultra-high efficiency phase shifted full bridge GaN converter », *in Applied Power Electronics Conference and Exposition (APEC), 2015 IEEE*, p. 2011–2016, IEEE, 2015.

[29] J. C. Brandelero, *Conception et réalisation d'un convertisseur multicellulaire DC/DC isolé pour application aéronautique.* Thèse doctorat, Institut National Polytechnique de Toulouse-INPT, 2015.

[30] R. Beach, A. Babakhani et R. Strittmatter, « Circuit simulation using EPC device models », EPC AN005, 2011.

[31] F. Forest, J.-J. Huselstein, S. Faucher, M. Elghazouani, P. Ladoux, T. Meynard, F. Richardeau et C. Turpin, « Use of opposition method in the test of high-power electronic converters », *IEEE Transactions on Industrial Electronics*, vol. 53, no. 2, p. 530–541, 2006.

[32] B. Cougo, H. Schneider et T. Meynard, « Accurate switching energy estimation of wide bandgap devices used in converters for aircraft applications », *in Power Electronics and Applications (EPE), 2013 15th European Conference on*, p. 1–10, IEEE, 2013.

[33] B. Cougo, H. Schneider et T. Meynard, « High current ripple for power density and efficiency improvement in wide bandgap transistor-based buck converters », *IEEE Transactions on Power Electronics*, vol. 30, no. 8, p. 4489–4504, 2015.

[34] J. Cerezo, « Class D audio amplifier performance relationship to MOSFET parameters », IRF AN-1070.

[35] R. McArthur, « Making use of gate charge information in MOSFET and IGBT data sheets », Microsemi app. note APT0103, 2001.

[36] Vishay, « Power MOSFET basics : Understanding gate charge and using it to assess switching performance », AN 608, 2004.

[37] D. Jauregui, B. Wang et R. Chen, « Power loss calculation with common source inductance consideration for synchronous buck converters », Texas Instruments SLPA009A, 2011.

[38] ON Semiconductor, « MOSFET gate-charge origin and its applications », AND9083, 2012.

[39] C. Mösslacher et O. Guillemant, « Improving efficiency of synchronous rectification by analysis of the MOSFET power loss mechanism », Infineon AN-2012-03, 2012.

[40] J. Depew, « Efficiency analysis of a synchronous buck converter using Microsoft® Office® Excel®-based loss calculator », Microchip AN1471, 2012.

[41] J. Klein, « Synchronous buck MOSFET loss calculations with Excel model », Fairchild AN-6005, 2014.

[42] D. Reusch, « Impact of parasitics on performance », EPC WP009, 2013.

[43] J. Strydom, « Selecting eGaN FET optimal on-resistance », EPC WP011, 2013.

[44] Y. Xiong, S. Sun, H. Jia, P. Shea et Z. John Shen, « New physical insights on power MOSFET switching losses », *IEEE Transactions on Power Electronics*, vol. 24, no. 2, p. 525–531, 2009.

[45] Y. Ren, M. Xu, J. Zhou et F. Lee, « Analytical loss model of power MOSFET », *IEEE Transactions on Power Electronics*, vol. 21, no. 2, p. 310–319, 2006.

[46] J.-P. Ferrieux et F. Forest, *Alimentations à découpage - Convertisseurs à résonance*. Dunod, 1999.

[47] F. Krismer, *Modeling and optimization of bidirectional dual active bridge DC-DC converter topologies*. Thèse doctorat, ETH Zürich, 2010.

[48] K. Venkatachalam, C. R. Sullivan, T. Abdallah et H. Tacca, « Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters », *in IEEE Workshop on Computers in Power Electronics*, vol. 2002, p. 36–41, 2002.

[49] P. L. Dowell, « Effects of eddy currents in transformer windings », *Electrical Engineers, Proceedings of the Institution of*, vol. 113, no. 8, p. 1387–1394, 1966.

[50] J. Mühlethaler, *Modeling and multi-objective optimization of inductive power components*. Thèse doctorat, ETH Zürich, 2012.

[51] D. Reusch, « Optimizing PCB layout with eGaN FETs », EPC WP010, 2014.

[52] J. Everts, *Modeling and Optimization of Bidirectional Dual Active Bridge AC-DC Converter Topologies*. Thèse doctorat, KU Leuven, 2014.

[53] S. H. Kang, H. Nguyen, D. Maksimovic et I. Cohen, « Efficiency characterization and optimization in flyback DC-DC converters », p. 527–534, IEEE, 2010.

[54] R. Middlebrook et S. Cuk, « Isolation and multiple output extensions of a new optimum topology switching DC-to-DC converter », p. 256–264, IEEE, 1978.

[55] R. W. Erickson et D. Maksimovic, « Isolated versions of the SEPIC and the ćuk converter », *in Fundamentals of power electronics*, p. 168–171, Norwell, Mass. : Kluwer Academic, 2nd edition éd., 2001.