



HAL
open science

Contribution à la caractérisation et la modélisation de la CEM des circuits intégrés

Alexandre Boyer

► **To cite this version:**

Alexandre Boyer. Contribution à la caractérisation et la modélisation de la CEM des circuits intégrés. Electronique. Université Paul Sabatier - Toulouse III, 2019. tel-02327898

HAL Id: tel-02327898

<https://laas.hal.science/tel-02327898>

Submitted on 23 Oct 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HABILITATION A DIRIGER DES RECHERCHES

Délivrée par : Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)

Présentée et soutenue par :

Alexandre BOYER

le vendredi 05 juillet 2019

Contribution à la caractérisation et la modélisation de la CEM des circuits intégrés

Ecole doctorale et discipline ou spécialité :

ED GEET : Composants et Systèmes de Gestion de l'Energie

Unité de recherche :

LAAS-CNRS (Equipe ESE)

Référente : Sonia BEN DHIA

Rapporteurs : Flavio CANAVERO, Bernard FLECHET, Cyril LUXEY

Jury :

Flavio CANAVERO	Professeur des Universités	Rapporteur
Bernard FLECHET	Professeur des Universités	Rapporteur
Cyril LUXEY	Professeur des Universités	Rapporteur
Sonia BEN DHIA	Professeur des Universités	Référente
Frédéric MORANCHO	Professeur des Universités	Président du jury

Table des matières

Préambule	5
Glossaire	6
Chapitre 1 - Curriculum Vitae détaillé	7
I. Formation et parcours professionnel.....	7
1. Formations et diplômes	7
2. Cursus professionnel universitaire.....	7
3. Laboratoires de rattachement.....	7
II. Encadrements en recherche	8
1. Encadrement de thèses de doctorat.....	8
2. Encadrement de stages de niveau master	10
3. Autres encadrements	11
III. Rayonnement scientifique	12
1. Animation scientifique	12
2. Participation à des séminaires invitées	12
3. Collaborations scientifiques.....	13
4. Activités de relecture	14
IV. Projets et contrats	14
V. Publications	16
1. Résumé.....	16
2. Revues internationales.....	16
3. Conférences internationales.....	18
4. Revues nationales.....	23
5. Conférences nationales.....	23
6. Participation à des ouvrages	24
7. Logiciels	24
VI. Responsabilités pédagogiques et enseignements.....	24
1. Responsabilités pédagogiques.....	24
2. Enseignements dispensés à l'INSA de Toulouse.....	25
3. Enseignements dispensés dans d'autres établissements	26

Chapitre 2 : Contexte et positionnement de mes travaux de recherche	27
I. Introduction à la CEM des circuits intégrés	27
1. La CEM : une problématique majeure pour garantir le bon fonctionnement des équipements électroniques.....	27
2. Les notions centrales en CEM : émission, susceptibilité et chemin de couplage	28
3. Rôle central des circuits intégrés dans les problèmes de CEM	30
4. Place de la CEM des circuits intégrés dans l'industrie	33
II. Thématiques de recherche en CEM des circuits intégrés	33
III. Thématiques couvertes par mes travaux de recherche	35
1. Le scanner champ proche - un outil d'analyse de la CEM pour les circuits intégrés	36
2. La modélisation CEM des circuits intégrés	38
3. Une nouvelle problématique : la CEM à long terme.....	41
IV. Conclusion	43
Références	44
Chapitre 3 : Caractérisation en champ proche pour la CEM des circuits intégrés	47
I. Développement du scan champ proche en immunité.....	47
1. Présentation de la méthode de mesure	47
2. Modélisation des sondes d'injection	49
3. Essais d'injection sur circuits intégrés	51
4. Vers une standardisation de la méthode	53
II. Etude des couplages en champ proche au sein des systèmes en boîtier.....	54
III. Injection champ proche au niveau silicium	57
1. Attaque électromagnétique en champ proche - Le projet e-Mata-Hari.....	58
2. Démonstration de la faisabilité d'une injection en champ proche sur une puce	59
3. Modélisation du couplage champ proche sur puce	62
IV. Amélioration de la résolution des cartographies de scan champ proche en immunité	66
V. Extension de la mesure en champ proche vers le diagnostic des composants électroniques	70
VI. Bilan et analyse rétrospective.....	75
VII. Références.....	75

Chapitre 4 : Contribution à la modélisation des circuits intégrés pour la CEM	79
I. Construction rapide de modèles de prédiction de l'émission conduite des circuits intégrés.....	79
II. Extension du modèle ICEM-CE à la simulation de l'émission rayonnée des circuits intégrés.....	83
III. Un capteur sur puce pour l'analyse et la modélisation de l'immunité des circuits intégrés.....	87
IV. Modélisation de l'immunité en champ proche des circuits intégrés.....	93
V. Simulation du couplage en champ proche entre deux circuits - Application aux systèmes en boîtier.....	96
VI. IC-EMC - du démonstrateur au logiciel pédagogique pour l'apprentissage de la CEM des circuits intégrés	99
VII. Bilan et analyse rétrospective.....	101
VIII. Références.....	102
Chapitre 5 : Contribution à un nouveau thème de recherche : la CEM à long terme.....	105
I. Bref historique des projets de recherche liés à la CEM à long terme	105
II. Mise en évidence de l'effet du vieillissement sur la CEM des CI	107
III. Identification des liens entre mécanismes de dégradation et dérives CEM d'un circuit intégré	110
IV. Méthodologie de caractérisation de l'effet du vieillissement sur la CEM des circuits intégrés.....	114
1. Première démarche : Mise en évidence des dérives CEM à long terme.....	114
2. Seconde démarche - Extrapolation des dérives CEM à long terme pour un composant soumis à plusieurs stress.....	117
V. Modélisation et prédiction de la CEM à long terme des circuits intégrés	119
1. Intégration de l'effet du vieillissement dans un modèle de simulation pour la CEM	119
2. Intégration du vieillissement dans un modèle CEM standard.....	121
3. Modélisation dans un cas multistress	125
VI. Bilan et analyse rétrospective.....	129
VII. Références.....	130
Chapitre 6 : Prospectives	133
I. Scanner champ proche : vers un outil d'aide à la conception CEM des cartes électroniques	134
II. Vers une meilleure industrialisation du banc de scan champ proche	136

III.	Gestion de l'obsolescence des composants pour la CEM	137
IV.	Contribution à l'immunité aux décharges électrostatiques au niveau système	141
V.	Surveillance et maintenance prédictive des équipements électroniques soumis à des perturbations électromagnétiques	143
VI.	Apprentissage automatique pour la prédiction de la CEM	146
VII.	Références	148

Préambule

Ce manuscrit présente mes principaux travaux de recherche menés durant et après ma thèse de 2004 à aujourd'hui. Ces travaux ont été réalisés entre deux laboratoires : le LATTIS Laboratoire Toulousain de Technologie de d'Ingénierie des Systèmes (LATTIS) de 2004 à 2011 et le LAAS-CNRS de 2011 à aujourd'hui, dans le cadre de différents projets collaboratifs que je rappellerai au fil des chapitres de ce manuscrit. Les résultats que je présente sont les fruits de collaborations avec plusieurs chercheurs et ingénieurs, que je tiens à remercier vivement : Etienne Sicard (LATTIS - IRIT), Sonia Ben Dhia (LATTIS - LAAS), Mohamed Ramdani (ESEO), Bertrand Vrignon (NXP), John Sheperd (Freescale Semiconductor), Langis Roy (Carleton University), Patrick Tounsi (LAAS), Fabrice Caignet (LAAS), André Durier (IRT Saint-Exupéry), Alain Bensoussan (IRT Saint-Exupéry), Fabian Vargas (PUCRS), Laurent Chusseau (IES). Ils sont aussi le fruit de l'encadrement et du co-encadrement des étudiants de niveau master et de doctorat, dont je rappellerai l'apport à travers les pages de ce manuscrit.

Ce manuscrit expose mes différentes contributions à la recherche en CEM des circuits intégrés. Il est structuré en six chapitres :

- Le premier chapitre est un curriculum vitae détaillé présentant ma formation, les postes que j'ai occupés, mes responsabilités et ma production scientifique.
- Le second chapitre détaille le contexte dans lequel s'inscrit mes recherches : la compatibilité électromagnétique (CEM) des circuits intégrés. Les enjeux associés à ce domaine sont précisés et les trois axes de recherche que j'ai suivis ces quinze dernières années sont brièvement décrits.
- Le troisième chapitre présente de manière détaillée mes différentes activités de recherche sur le développement du scanner champ proche comme outil d'investigation de la CEM au niveau d'un circuit intégré. Mes travaux sur le sujet ont permis d'aborder d'autres thèmes que la CEM, comme la sécurité et le test des circuits imprimés.
- Le quatrième chapitre détaille mes contributions à la modélisation des circuits intégrés pour la prédiction de la CEM. Celles-ci ont concerné différents aspects de la CEM : émission conduite, rayonnée, immunité, ainsi que l'autocompatibilité entre deux circuits proches. L'élaboration de modèles passe aussi par le développement d'outils, que j'ai capitalisé dans un logiciel : IC-EMC. Au cours des années, celui-ci est devenu un outil pour la formation en CEM.
- Le cinquième chapitre est consacré à un thème original en CEM, explorant comment la CEM des composants électroniques peut évoluer à long terme, comment caractériser cet effet et comment le prédire.

Le manuscrit se termine par un dernier chapitre ouvrant sur plusieurs perspectives recherche me semblant prometteuses dans le domaine de la CEM des composants.

Glossaire

AOP	Amplificateur Opérationnel
BCI	Bulk Current Injection
CAN	Controller Area Network
CI	Circuit intégré
DES	Décharge ElectroStatique
DPI	Direct Power Injection
DST	Dispositif Sous Test
E/S	Entrée-Sortie
fem	Force électromotrice
FPGA	Field Programmable Gate Array
GMR	Giant MagnetoResistance
HCI	Hot Carrier Injection
HTOL	High Temperature Operating Life
ICEM	Integrated Circuit Emission Model
ICIM	Integrated Circuit Immunity Model
ICT	In-Circuit Test
LTOL	Low Temperature Operating Life
M-HTOL	Multiple High Temperature Over-stress Life
NBTI	Negative Bias Temperature Instability
PCA	Principal Component Analysis
PLL	Phase Locked Loop
TDDB	Time Dependent Dielectric Breakdown
TEM	Transverse ElectroMagnetic
TLP	Transmission Line Pulse
VCO	Voltage Controlled Oscillator

Chapitre 1 - Curriculum Vitae détaillé

Alexandre, Mickael Boyer

Né le 8 juillet 1981 à Annemasse (Haute-Savoie)

I. Formation et parcours professionnel

1. Formations et diplômes

Octobre 2007	Doctorat , délivrée par l'Institut National des Sciences et Appliquées (INSA) de Toulouse Méthode de prédiction de la compatibilité électromagnétique des systèmes en boîtier
Juin 2004	Diplôme d'Etudes Approfondies (DEA) , spécialité Conception de circuits microélectroniques et microsystèmes
Juin 2004	Diplôme d'Ingénieur de l'Institut National des Sciences et Appliquées, spécialité Automatique, Electronique, Informatique

2. Cursus professionnel universitaire

Depuis 2008	Maître de conférences , à l'Institut National des Sciences Appliquées (INSA) de Toulouse, Département de Génie Electrique et Informatique Electronique, télécommunications, informatique embarquée (Section 63)
2007-2008	Attaché Temporaire d'Enseignement et de Recherche (demi-poste), à l'Institut National des Sciences Appliquées (INSA) de Toulouse, Département de Génie Electrique et Informatique Electronique, télécommunications, informatique embarquée (Section 63)
2004-2007	Moniteur de l'enseignement supérieur , à l'Institut National des Sciences Appliquées (INSA) de Toulouse
2004-2007	Doctorant , bourse ministérielle, Laboratoire Toulousain de Technologie et d'Ingénierie des Systèmes (LATTIS) – Groupe Systèmes Embarqués Critiques

3. Laboratoires de rattachement

Depuis 2012	Laboratoire d'Architecture et d'Analyse des Systèmes (LAAS-CNRS) , UPR CNRS 8001, équipe Energie et Systèmes Embarqués (ESE)
2011 - 2012	Laboratoire d'Architecture et d'Analyse des Systèmes (LAAS-CNRS) , UPR CNRS 8001, équipe Intégration des Systèmes de Gestion d'Energie (ISGE)

2004 - 2011	Laboratoire Toulousain de Technologie et d'Ingénierie des Systèmes (LATTIS) – Groupe Systèmes Embarqués Critiques
-------------	--

II. Encadrements en recherche

Le tableau ci-dessous résume mes activités d'encadrement.

Type	Nombre	Taux d'encadrement
Thèses soutenues	5	50 %
Thèses non soutenues	4	50 %
Master 2	8	100 % - 50 %
Autres (DUT, assistant ingénieur)	5	100 % - 50 %

1. Encadrement de thèses de doctorat

a) *Thèses soutenues*

Chaimae Ghfiri (2014-2017)

- Thèse de doctorat de l'Université de Toulouse, Ecole doctorale GEET
- Titre : "Development and validation of predictive model to insure the long-term Electromagnetic Compatibility of embedded electronic systems"
- Encadrement : Sonia Ben Dhia (50 %), Alexandre Boyer (50 %)
- Financement : IRT Saint-Exupéry
- Date de soutenance : 13 décembre 2017
- Publications : 2 revues internationales (IEEE Transactions on EMC), 8 conférences internationales (AP-EMC 2016, EMC Compo 2017, EMC Europe 2017, AP-EMC 2018), prix du meilleur papier étudiant à la conférence AP-EMC 2016

Veljko Tomasevic (2012-2017)

- Thèse de doctorat de l'Université de Toulouse, Ecole doctorale GEET
- Titre : "Etude des couplages substrats dans des circuits mixtes Smart Power pour applications automobiles"
- Encadrement : Sonia Ben Dhia (50 %), Alexandre Boyer (50 %)
- Financement : Projet européen AUTOMICS
- Date de soutenance : 27 février 2017
- Publications : 3 conférences internationales (AP-EMC 2015, EMC Compo 2015, EMC Europe 2015)

He Huang (2012-2015)

- Thèse de doctorat de l'Université de Toulouse, Ecole doctorale GEET
- Titre : "Développement de Modèles Prédicatifs pour la Robustesse Electromagnétique des Composants Electroniques"
- Encadrement : Sonia Ben Dhia (50 %), Alexandre Boyer (50 %)
- Financement : Bourse ministérielle
- Date de soutenance : 7 décembre 2015
- Publications : 2 revues internationales (Microelectronic Reliability), 7 conférences internationales (EMC'14 Tokyo, EMC Europe 2014, AP-EMC 2015, EMC Europe 2015, ESREF 2015)

Clément Crémoux (2011-2014)

- Thèse de doctorat de l'Université de Toulouse, Ecole doctorale GEET
- Titre : "Caractérisation, modélisation et fiabilisation d'un lien multi-fréquentiel appliqué à un système de contrôle d'accès "mains libres"
- Encadrement : Sonia Ben Dhia (50 %), Alexandre Boyer (50 %)
- Financement : Thèse CIFRE (ADVEEZ)
- Date de soutenance : 27 novembre 2014
- Publications : 1 conférence internationale (IEEE APWC 2014)

Binhong Li (2008-2011)

- Thèse de doctorat de l'Université de Toulouse, Ecole doctorale GEET
- Titre : "Study of ageing effect on electromagnetic compatibility of integrated circuits"
- Encadrement : Sonia Ben Dhia (50 %), Alexandre Boyer (50 %)
- Financement : Bourse ministérielle
- Date de soutenance : 14 décembre 2011
- Publications : 6 revues internationales (Microelectronic Reliability, Journal of Electronic Testing, IEEE Transaction on EMC, IEICE TRANSACTIONS on Electronics), 8 conférences internationales (EMC Compo 2009, AP-EMC 2010, ESREF 2010, LATW2011, AP-EMC2011, ESREF 2011)

b) Thèses en cours

Nabil El Beghiti Alaoui (depuis 2016)

- Titre : "Stratégie de testabilité en production des cartes électroniques à forte densité d'intégration et à signaux rapides"
- Encadrement : Patrick Tounsi (50 %), Alexandre Boyer (50 %)
- Financement : Thèse CIFRE (ACTIA Automotive)
- Publications : 2 revues internationales (Microelectronic Reliability, Journal of Electronic Testing), 2 conférences internationales (IEEE North Atlantic Test Workshop, ESREF 2018)

Saliha Chetouani (depuis 2017)

- Titre : "Développement d'une approche méthodologique de gestion de l'obsolescence des composants pour la CEM"
- Encadrement : Sonia Ben Dhia (50 %), Alexandre Boyer (50 %)
- Financement : IRT Saint-Exupéry

Sébastien Serpaud (depuis 2018)

- Titre : " Application de la méthode de mesure champ proche en émission pour l'aide à la conception et à l'investigation des non-conformités CEM des cartes électroniques "
- Encadrement : Sonia Ben Dhia (50 %), Alexandre Boyer (50 %)
- Financement : IRT Saint-Exupéry

Matthieu Girouard (depuis 2018)

- Titre : "Développement de méthodes d'extraction et de génération de modèles d'immunité des circuits intégrés aux perturbations transitoires rapides"
- Encadrement : Fabrice Caignet (50 %), Alexandre Boyer (50 %)
- Financement : Bourse ministérielle

2. Encadrement de stages de niveau master

Yassine Ouassa (avril - septembre 2018)

- Titre : "Définition et réalisation d'une plateforme logicielle collaborative et évolutive autour du pilotage d'un banc de mesure en champ proche"
- Encadrement : Alexandre Boyer (50 %), Sébastien Serpaud (50 %)

Yevgeniy Nurseitov (avril - septembre 2017)

- Titre : " Interfacing and Characterization of DDR3 SDRAM "
- Encadrement : Chaimae Ghfiri (50 %), André Durier (25 %), Alexandre Boyer (25 %)

Manuel Gonzalez Sentis (avril - septembre 2016)

- Titre : "Caractérisation et modélisation de l'effet du vieillissement sur l'émission électromagnétique d'une alimentation à découpage "
- Encadrement : André Durier (50 %), Alexandre Boyer (50 %)

He Huang (février - juillet 2012)

- Titre : "Evaluation de méthodes non destructive de détection de circuits électroniques contrefaits par analyse électromagnétique"
- Encadrement : Alexandre Boyer (50 %), Sonia Ben Dhia (50 %)

AbdelGhafour Boutar (mars - septembre 2011)

- Titre : "Conception de sondes champ proche miniatures"
- Encadrement : Alexandre Boyer (100 %)

Thanh Vinh Dinh (février - août 2010)

- Titre : "Caractérisation et optimisation des performances d'un capteur de tension sur silicium pour la mesure de bruit interne"
- Encadrement : Sonia Ben Dhia (50 %), Alexandre Boyer (50 %)

Christopher Peron (février - août 2010)

- Titre : "Etude de l'immunité aux interférences électromagnétiques d'un capteur TPMS"
- Encadrement : Alexandre Boyer (50 %), Olivier Llopis (50 %)

Benoit Lebourcq (mars - septembre 2007)

- Titre : "Caractérisation et développement d'une méthode de scan rapide de l'émission rayonnée des circuits intégrés"
- Encadrement : Alexandre Boyer (100 %)

3. Autres encadrements

Manuel Cavarroc (septembre 2013- septembre 2015)

- Assistant ingénieur, CDD payé sur le contrat E-Mata-Hari
- Encadrement : Alexandre Boyer (50 %), Laurent Bary (50 %)

Gaëtan Adier (avril - juin 2013)

- Stage IUT
- Titre : "Essais de susceptibilité conduite à forte amplitude d'un composant automobile"
- Encadrement : Alexandre Boyer (100 %)

Marc Pomar Torres (février - mai 2013)

- Stage master 1
- Titre : " Study of the impact of aging on the EMC of a buck DC-DC converter"
- Encadrement : Alexandre Boyer (100 %)

Christophe Lemoine (septembre 2009- juin 2012)

- Assistant ingénieur, CDD payé sur le contrat EMRIC
- Encadrement : Alexandre Boyer (50 %), Sonia Ben Dhia (50 %)

Anthony Estrampes (avril - juin 2009)

- Stage IUT
- Titre : " Étude du vieillissement de puces électroniques"
- Encadrement : Alexandre Boyer (100 %)

III. Rayonnement scientifique

1. Animation scientifique

- 2018 : Membre du comité scientifique de la conférence IEEE – Asia Pacific EMC – Singapore 2018
- 2017 : Membre du comité scientifique de la conférence EMC Europe 2017
- Juin 2017 : Organisateur de la journée " Champ Proche : Applications pour la CEM des cartes électroniques", 27 juin 2017, Toulouse
- 2016 : Membre du comité scientifique de la conférence IEEE – Asia Pacific EMC – Shenzhen 2016 et chair de session (IC and Semiconductor EMC)
- Juin 2015 : Organisateur de la journée "Champ Proche : Applications pour la CEM et la sécurité des circuits électroniques", 19 juin 2015, Toulouse
- Depuis 2015 : animateur du GT5 - Champ proche, du GDR ondes
- 2010 : Membre du comité scientifique et co-chair dans la conférence IEEE – Asia Pacific EMC – Singapore 2008 et Asia Pacific EMC – Beijing 2010
- Depuis 2009 : Membre du comité scientifique et technique de la conférence EMC Compo
- 2009 : Membre du comité d'organisation de la conférence EMC Compo 2009
- 2008 : Membre du comité scientifique et co-chair dans la conférence IEEE – AP-EMC 2008, Singapore, May 2008

2. Participation à des séminaires invités

- 2018 : A. Boyer, "Predict long-term evolution of EMC of ICs", NXP EMC Symposium, Toulouse, France, 23 mai 2018.
- 2017 : A. Boyer, " Learning EMC of ICs with IC-EMC", EMC Europe 2017, Angers, France.
- 2016 : A. Boyer, "Détection de circuits intégrés contrefaits par mesure de l'empreinte électromagnétique", CCT MCE, Obsolescence des composants électroniques Actions et Réactions, Toulouse, 23 juin 2016.

- 2015 : A. Boyer, B. Vrignon, "Couplage électromagnétique sur circuits intégrés", Journée « Champ Proche : Applications pour la CEM et la sécurité des circuits électroniques », GDR « Ondes » groupe GT5, 19 juin 2015, LAAS-CNRS, Toulouse.
- 2014 : A. Boyer, « Fiabilité électromagnétique des COMPOSANTS NUMERIQUES ET systèmes électroniques à long terme », DAS SE2L, Journée Thématique « Evolutions technologiques dans le domaine de l'électronique numérique (composants), impacts vis-à-vis des applications embarquées » - 18 septembre 2014 - Toulouse.
- 2012 :
 - A. Boyer, « Investigation de l'immunité des circuits intégrés par la méthode DPI », Séminaire CEM – Ingénierie d'essais – NEXIO, LAAS-CNRS, Toulouse, 13 novembre 2012.
 - A. Boyer, « Scan champ proche pour l'injection localisée de perturbations pour l'analyse de l'immunité des circuits intégrés », Séminaire CEM – Aide à la conception d'équipements électroniques – NEXIO, LAAS-CNRS, Toulouse, 4 avril 2012.
- 2011 :
 - A. Boyer, « Scan champ proche pour l'injection localisée de perturbations – Robustesse électromagnétique », Workshop E-SAFE, LAAS-CNRS, 8 décembre 2011, Toulouse, France.
 - A. Boyer, E. Sicard, « IC Immunity Modeling », Tutorial, 2011, EMC Compo 2011, November 6th 2011, Dubrovnik, Croatia.
 - S. Ben Dhia, A. Boyer, "La CEM des Circuits Intégrés", Présentation invitée à l'école d'été du GT6 (CEM) du GDR Ondes, ENS Cachan, 30 août au 2 septembre 2011.
 - A. Boyer, S. Ben Dhia, "Initiation to the modeling and simulation of susceptibility of integrated circuits to electromagnetic interferences", Tutorial, 2011 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 16th, 2011, Jeju Island, Corée.
- 2010 :
 - A. Boyer, « Résultats du projet R&T CNES : CEM et vieillissement des composants », CCT MCE, Tutorial Décharges Electrostatiques (ESD) : du composant au système, Toulouse, 15 décembre 2010.
 - A. Boyer, "Introduction to the modeling and simulation of electromagnetic compatibility of integrated circuits", Tutorial, 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility, April 12th, 2010, Beijing, China.
- 2009 : S. Ben Dhia, A. Boyer, "Still EMC Compliant ?", Workshop on Long Term Reliability in DSM, Arcachon, October 9th, 2009.
- 2008 : A. Boyer, S. Ben Dhia, "EMC/EMI Issues for DSM: New Challenges", Workshop on Long Term Reliability in DSM, Noordwijk (Netherland), October 3rd, 2008.

3. Collaborations scientifiques

- 2008 : Mission scientifique à l'université de Carleton de Février à Mars 2008, collaboration avec le Professeur Langis Roy et son doctorant Bachir Tamer (un article en revue internationale (Electronic Letters) et un article de conférence internationale (EMC Compo 2009) en commun)

- 2010-2011 : Collaboration avec l'équipe du Dr Raul Fernandez Garcia de Universitat Politècnica de Catalunya (UPC), missions d'échange de Binhong Li et de Nestor Berbel (4 articles en revues internationales (Microelectronic Reliability, IEICE Trans. on Electronics; IEEE Trans. on EMC) et 2 articles de conférences internationales (ESREF 2011, EMC Compo 2011) en commun)

4. Activités de relecture

- 2009 : Relecteur pour un projet de R&D IWT - Institute for the Promotion of Innovation by Science and Technology in Flanders
- Relecture fréquente pour la revue IEEE Transactions on EMC (17 depuis 2008)
- Relecture occasionnelle pour les revues IEEE Transactions on Instrumentation and Measurements, IEEE Antennas and Wireless Propagation Letters
- Relecture fréquente pour les conférences EMC Compo, AP-EMC, EMC Europe, ESREF
- Octobre 2017 : Examineur dans le jury de thèse de Benoit Goral, Ecole Normale Supérieure de Cachan, "Techniques et Méthodologie de Conception du Réseau de Distribution d'Énergie d'une Carte Electronique Rapide et à Haute Densité d'Interconnexion", Directeurs : Cyrille Gautier, Alexandre Amadeo

IV. Projets et contrats

2017 - 2020 : Projet FELINE

- Rôle : Participant, co-encadrant de deux thèses
- Financement : IRT Saint-Exupéry
- Durée : 48 mois
- Partenaires : IRT Saint-Exupéry, LAAS-CNRS, IMS, Airbus, Continental Automotive, Safran Tech, Liebherr-Aerospace, ACTIA Automotive

2016 - 2018 : Projet MECA

- Rôle : Participant
- Financement : ERASMUS+ - Knowledge Alliances for Higher Education
- Durée : 36 mois
- Partenaires : Technical University of Sofia, INSA de Toulouse, Politecnico di Torino, Universidad Nacional de Educacion a Distancia, AMG Technology OOD, INES, eWorks GmbH, Universitatea Politehnica din Bucuresti, Open Universiteit Nederland, Technische Universitaet Berlin, INOMA Renovables SL.

2014 - 2017 : Projet Robustesse électronique

- Rôle : Participant, co-encadrant d'une thèse
- Financement : IRT Saint-Exupéry
- Durée : 48 mois
- Partenaires : IRT Saint-Exupéry, LAAS-CNRS, IMS, Airbus, Continental

Automotive, Nexio, Thalès Alinea Space.

2012 - 2015 : Projet AUTOMICS : Pragmatic approach to parasitic-aware optimization of electronic ICs for automotive

- Rôle : Participant, co-encadrant d'une thèse
- Financement : européen, projet FP7
- Durée : 36 mois
- Partenaires : LAAS-CNRS, UPMC, EPFL, Continental, Valeo, AMS, ST Microelectronic, ADMOS

2012 - 2015 : E-Mata-Hari: Analyse électromagnétique, déchiffrement et ingénierie inverse de circuits intégrés

- Rôle : responsable work package, participant
- Financement : ANR, programme Ingénierie Numérique et Sécurité, ANR-12-INSE-005-03
- Durée : 36 mois
- Partenaires : LAAS-CNRS, IES Montpellier, LIRRM, CEA Tech, Freescale Semiconductor, Safran Morpho

2013 - 2014 : Contrat de collaboration R&D Valeo - Etude CEM d'un module caméra assemblé en technologie Package-on-Package

- Rôle : Participant
- Financement : contrat de collaboration R&D Valeo
- Durée : 12 mois
- Partenaires : Valeo, INSA de Toulouse

2009 - 2013 : EMRIC - Long term ElectroMagnetic Robustness of nanoscale Integrated Circuits

- Déposé avec Sonia Ben Dhia
- Rôle : responsable work package, participant, co-encadrement de thèse
- Financement : ANR, programme Jeunes Chercheurs, JC09_433714
- Durée : 36 mois

2008 - 2011 : EMRYC - ElectroMagnetic Reliability of integrated Circuits

- Déposé avec Sonia Ben Dhia
- Rôle : participant
- Financement : R&T Région Midi-Pyrénées CRMP DAER-Recherche n° 10008364
- Durée : 36 mois

2007 - 2011 : Nanospace - Evaluation de la fiabilité des composants submicroniques

- Rôle : participant
- Financement : CCT CNES R-S07MT-0004-062
- Durée : 36 mois
- Partenaires : CNES, INSA de Toulouse, LAAS-CNRS, IMS Bordeaux

2007 - 2011 : EPEA (EMC Platform for Embedded Applications)

- Rôle : participant

- Financement : FUI
- Durée : 36 mois
- Partenaires : Airbus, EADS-IW, INSA de Toulouse, Nexio, ATMEL, IRSEEM-ESIGELEC, Thales, Humirel, Siemens VDO, ESEO

V. Publications

1. Résumé

Type de publication	Nombre
Revue internationale	28
Revue nationale	2
Conférences internationales	82
Conférences nationales	20
Contribution à des ouvrages	4
Logiciels	2

2. Revues internationales

- **A. Boyer**, E. Sicard, S. Bendhia, « Characterization of the Electromagnetic Susceptibility of Integrated Circuits using a Near Field Scan », *Electronic Letters*, 4th January 2007, vol. 43, No 1.
- **A. Boyer**, L. Roy, E. Sicard, B. Tamer, “New Cube Probe Structures for an Integrated Near Field Scanner Module” *Electronic Letters* Vol. 44, Collection Issue 11, May 2008.
- L. Bouhouch, S. Ben Dhia, **A. Boyer**, E. Sicard, M. Fadel, “Effect of Ferromagnetic Material on the Reduction of Parasitic Emission in Near Field” *Ferroelectrics* Vol. 371, Taylor & Francis Group, LLC ISBN 0015-0193, October 2008.
- A. Alaeldine, N. Lacrampe, **A. Boyer**, R. Perdriau, F. Caignet, M. Ramdani, E. Sicard, M. Drissi, “Comparison among Emission and Susceptibility Reduction Techniques for Electromagnetic Interference in Digital Integrated Circuits”, *Microelectronics Journal*, Elsevier, Volume 39, Issue 12, December 2008, pp. 1728-1735.
- M. Ramdani, E. Sicard, **A. Boyer**, S. Ben Dhia, J. J. Whalen, T. Hubing, M. Coenen, O. Wada, “The Electromagnetic Compatibility of Integrated Circuits – Past, Present and Future”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 51, no. 1, pp. 78-99, February 2009.
- **A. Boyer**, A. C. Ndoye, S. Ben Dhia, L. Guillot, B. Vrignon, “Characterization of the Evolution of IC Emissions after Accelerated Aging”, *IEEE Transactions on EMC*, Vol. 51, N°4, November 2009, pp 892 – 900.
- S. Ben Dhia, **A. Boyer**, B. Li, A. C. Noye, “Characterization of the Electromagnetic Modelling drifts of a nanoscale IC after Accelerated Life Tests”, *Electronic Letters*, 18th February 2010, Vol. 46, no. 4, pp. 278-279.
- B. Li, **A. Boyer**, S. Ben Dhia, C. Lemoine, “Ageing effect on electromagnetic susceptibility of a phase locked loop”, *Microelectronics Reliability*, Vol. 50, Issues 9-11, September – November

2010, pp. 1304-1308.

- B. Li, N. Berbel, **A. Boyer**, S. Ben Dhia, R. Fernandez Garcia, « Study of the impact of hot carrier injection to immunity of MOSFET to electromagnetic interferences », *Microelectronics Reliability*, Vol. 51, Issues 9-11, pp. 1557-1560, September 2011.
- N. Berbel, R. Fernandez Garcia, I. Gil, B. Li, **A. Boyer**, S. Ben Dhia, « Experimental verification of the usefulness of Nth power law MOSFET model under hot carrier injection wear out », *Microelectronics Reliability*, Vol. 51, Issues 9-11, pp. 1564-1567, September 2011.
- R. Fernandez Garcia, I. Gil, **A. Boyer**, S. Ben Dhia, B. Vrignon, « A New Approach to Modeling the Impact of EMI on MOSFET DC Behavior », *IEICE TRANSACTIONS on Electronics* Vol.E94-C No.12 pp.1906-1908, December 2011.
- S. Ben Dhia, **A. Boyer**, B. Vrignon, M. Deobarro, T. V. Dinh, “On-Chip Noise Sensor for Integrated Circuit Susceptibility Investigations”, *IEEE Transactions on Instrumentation and Measurement*, vol. 61, no. 3, pp. 696-707, March 2012.
- S. Ben Dhia, **A. Boyer**, B. Vrignon, M. Deobarro, « IC Immunity Modeling Process Validation using On-Chip Measurements », *Journal of Electronic Testing*, DOI 10.1007, s10836-012-5294-3, April 2012.
- J.F. Wu, E. Sicard, **A. Boyer**, S. Ben Dhia, J.C. Li, R.J. Shen, “Enhancing accuracy of low-dropout regulator susceptibility extraction with on-chip sensors”, *Electronics Letters*, 24th May 2012, Vol. 48, No 11, pp. 649-650, DOI 10.1049/el.2012.0407.
- **A. Boyer**, S. Ben Dhia, B. Li, C. Lemoine, B. Vrignon, “Prediction of Long-term Immunity of a Phase-Locked Loop”, *Journal of Electronic Testing*, December 2012, Volume 28, Issue 6, pp 791-802, DOI 10.1007/s10836-012-5335-y.
- J. Wu, **A. Boyer**, J. Li, S. Ben Dhia, R. Shen, “Characterization of Changes in LDO Susceptibility After Electrical Stress”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 55, no. 5, pp. 883 - 890, February 2013, 10.1109/TEMC.2013.2242471
- **A. Boyer**, S. Ben Dhia, B. Li, N. Berbel, R. Fernandez-Garcia, "Experimental Investigations on electrical Stress Impact on Integrated Circuit Electromagnetic Emission", *IEEE Transaction on Electromagnetic Compatibility*, vol. 56, no 1, February 2014, pp. 44-50, 10.1109/10.1109/TEMC.2013.2272195.
- S. Ben Dhia, **A. Boyer**, “Long-term Electro-Magnetic Robustness of Integrated Circuits: EMRIC research project”, *Microelectronic Reliability*, Vol. 53, Issues 9-11, September-November 2013, pp 1266-1272.
- J. Wu, **A. Boyer**, J. Li, S. Ben Dhia, B. Vrignon, "LDO regulator DC characteristic and susceptibility prediction after electrical stress ageing", *Microelectronic Reliability*, Vol. 53, Issues 9-11, September-November 2013, pp 1273-1277.
- **A. Boyer**, S. Ben Dhia, « Effect of Aging on Power Integrity and Conducted Emission of Digital Integrated Circuits », *Journal of Low Power Electronics (JOLPE)*, Vol. 10, No 1, March 2014.
- J. Wu, **A. Boyer**, J. Li, B. Vrignon, S. Ben Dhia, E. Sicard, R. Shen, "Modeling and Simulation of LDO Voltage Regulator Susceptibility to Conducted EMI", *IEEE Transactions on Electromagnetic Compatibility*, vol. 56, no. 3, pp. 726-735, June 2014.
- H. Huang, **A. Boyer**, S. Ben Dhia, “Analysis and Modelling of Passive device degradation for a long-term electromagnetic emission study of a DC-DC converter”, *Microelectronics Reliability*, Vol. 55, no 9-10, 28 June 2015, pp. 2061-2066.
- H. Huang, **A. Boyer**, S. Ben Dhia, “Electronic counterfeit detection based on the measurement of electromagnetic fingerprint”, *Microelectronics Reliability*, Vol. 55, no 9-10, 9 July 2015, pp. 2050-2054.
- A. Durier, A. Bensoussan, M. Zerarka, C. Ghfiri, **A. Boyer**, H. Frémont, "A Methodologic Project to characterize and model COTS Component Reliability", *Microelectronics Reliability*,

Elsevier, 2015, 55 (9-10), pp.2097-2102, 10.1016/j.microrel.2015.06.140

- **A. Boyer**, B. Vrignon, M. Cavarroc, "Modeling Magnetic Near-Field Injection at Silicon Die Level", IEEE Transactions on Electromagnetic Compatibility, vol. 58, no 1, February 2016, pp. 257-268, 10.1109/TEMC.2015.2486041.
- C. Ghfiri, **A. Boyer**, A. Durier, S. Ben Dhia, «A new Methodology to build ICEM-CE models for complex Integrated Circuits », IEEE Transactions on Electromagnetic Compatibility, vol. 60, no 5, October 2018, 10.1109/TEMC.2017.2767084.
- C. Ghfiri, **A. Boyer**, A. Bensoussan, A. Durier, S. Ben Dhia, " A new methodology for EMC prediction of integrated circuits after aging", IEEE Transactions on Electromagnetic Compatibility, vol. 61, no 2, April 2019, pp. 572-581, 10.1109/TEMC.2018.2819722.
- N. El Belghiti Alaoui, **A. Boyer**, P. Tounsi, A. Viard, "New defect detection approach using near electromagnetic field probing of high density PCBAs", Microelectronic Reliability, Elsevier, Sept. 2018, vol. 88-90, pp. 288-293, 10.1016/j.microrel.2018.07.090
- N. El Belghiti Alaoui, **A. Boyer**, P. Tounsi, A. Viard, "Upgrading In-Circuit Test of high density PCBAs using electromagnetic measurement and Principal Component Analysis", Journal of Electronic Testing: Theory and Application, vol. 34, no 6, Dec. 2018.

3. Conférences internationales

- **A. Boyer**, C. Labussière, O. Pigaglio, J. W. Tao, E. Sicard, C. Lochot, « Methodology of Calibration of Miniature Near-Field Probes for Quantitative Characterization of IC radiation », ICONIC 2005 – Barcelone France – 05-07 June 2005, pp. 311 – 316.
- E. Sicard, **A. Boyer**, A. Tankielun, « On the Prediction of Near Field Microcontroller Emission », IEEE Symposium on EMC – Chicago – August 2005, pp. 695 – 699.
- E. Lamoureux, **A. Boyer**, S. Ben Dhia, E. Sicard, « Investigations on a Conducted Aggression inside a Digital Integrated Circuits », EMC Compo 05, Munich, Germany, 29 – 31 November 2005, proc. Pp. 87 – 91.
- C. Labussière, C. Lochot, **A. Boyer**, « Characterization of the Radiation from a 16 bit Microcontroller by using miniature Near-Field Probes », EMC Compo 05, Munich, Germany, 29 – 31 November 2005, pp. 33 – 38.
- **A. Boyer**, E. Sicard, J.L. Levant, « On the Prediction of Near-Field Microcontroller Emission », EMC Compo 05, Munich, Germany, 29 – 31 November 2005, pp. 216 – 220.
- N. Lacrampe, **A. Boyer**, « Original Methodology for Integrated Circuit ESD Immunity combining VF-TLP and Near Field Scan Testing », 3rd EOS/ESD/EMI Workshop – Toulouse – 18-19 May 2006, pp. 51 – 54.
- **A. Boyer**, E. Sicard, S. Bendhia, « Near Field Scan Immunity Measurement with RF Continuous Wave », EMC Europe 06 – Workshop Immunity – Barcelona – 4 – 8 September 2006.
- A. Alaeldine, **A. Boyer**, R. Perdriau, M. Ramdani, E. sicard, M. Drissi, « A near field injection model including power losses for susceptibility prediction in IC », EMC Workshop 07, Paris, 14-15 June 2007.
- A. Alaeldine, **A. Boyer**, R. Perdriau, M. Ramdani, E. Sicard, M. Drissi, « A Near Field Injection Model for Susceptibility Prediction in Integrated Circuits », ICONIC 2007, Saint Louis, USA, 27 – 29 June 2007.
- S. Ben Dhia, E. Sicard, Y. Mequignon, **A Boyer**, JM Dienot, « Thermal Influence on 16-bits Microcontroller Emission », IEEE Symposium on EMC, Hawaii, 6 – 13 July 2007
- **A. Boyer**, S. Bendhia, E. Sicard, « Modelling of a Mixed-Signal Processor Susceptibility to Near-Field Aggression », IEEE Symposium on EMC, Hawaii, 6 – 13 July 2007
- **A. Boyer**, S. Bendhia, E. Sicard, « Modelling of a Direct Power Injection Aggression on a 16 bit Microcontroller Input Buffer », EMC Compo 07, Torino, 28 – 20 November 2007, pp. 35 – 39

- **A. Boyer**, S. A. Boulingui, S. Bendhia, E. Sicard, S. Baffreau, « A Methodology for predicting Disturbances due to Near Field Chip to Chip Coupling », EMC Compo 07, Torino, 28 – 20 November 2007, pp. 301 – 306
- G. F. Bouesse, N. Ninon, G. Sicard, M. Renaudin, **A. Boyer**, E. Sicard, « Asynchronous logic Vs Synchronous logic : Concrete Results on Electromagnetic Emissions and Conducted Susceptibility », EMC Compo 07, Turin, 28 – 20 November 2007, pp. 99 – 103
- S. Ben Dhia, A. C. Ndoye, **A. Boyer**, L. Guillot, B. Vrignon, « IC Emission Spectrum Drifts after Burn-in Cycles », Asia-Pacific EMC Week, Singapore, 19 – 23 May 2008
- **A. Boyer**, E. Sicard, « IC-EMC, a demonstration freeware for predicting Electromagnetic Compatibility of Integrated Circuits », Asia-Pacific EMC Week, Singapore, 19 – 23 May 2008.
- **A. Boyer**, M. Fer, L. Courau, E. Sicard, « Modelling of the Susceptibility of 90 nm Input Output Buffer », Asia-Pacific EMC Week, Singapore, 19 – 23 May 2008.
- **A. Boyer**, E. Sicard, M. Fer, L. Courau, “Electrical Characterization of a 64 Ball Grid Array Package”, EMC Europe 2008 (EMC Europe 2008) Hambourg, Allemagne, 8-12 September 2008.
- C. Ndoye, **A. Boyer**, E. Sicard, S. Serpaud, F. Lafon, “A Concurrent Engineering Platform for Modeling IC emission and immunity”, EMC Kyoto 2009, July 20-24 2009
- B. Li, A. C. Ndoye, **A. Boyer**, S. Ben Dhia, “Characterization of the electromagnetic robustness of a nanoscale CMOS integrated circuit”, EMC Compo 2009, Toulouse, November 17 – 19 2009
- B. Tamer, L. Roy, **A. Boyer**, “Development of EMC/EMI Characterization Tool in LTCC Format“, EMC Compo 2009, Toulouse, November 17 – 19 2009.
- M. Deobarro, B. Vrignon, S. Ben Dhia, **A. Boyer**, “Use of on-chip sampling sensor to evaluate conducted RF disturbances propagated inside an integrated circuit”, EMC Compo 2009, Toulouse, November 17 – 19 2009.
- M. J. Kuo, T. C. Lin, **A. Boyer**, “Integrated Circuit Emission Model Extraction Based on Fuzzy Logic Systems”, EMC Compo 2009, Toulouse, November 17 – 19 2009.
- B. Li, **A. Boyer**, S. Ben Dhia, C. Lemoine, “Ageing effect on immunity of a mixed signal IC”, 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility, April 12 – 16, 2010, Beijing, China
- S. Baffreau, S. Akue Boulingui, C. Dupoux, E. Sicard, N. Bouvier, B. Vrignon, **A. Boyer**, “A New Methodology to Measure Electromagnetic Interferences in 3G Mobile Platform”, 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility, April 12 – 16, 2010, Beijing, China.
- E. Sicard, **A. Boyer**, “An Educational Approach to Electromagnetic Compatibility of Integrated Circuits”, 8th European Workshop on Microelectronics Education, May 10-12, 2010, Darmstadt, Germany.
- B. Li, **A. Boyer**, S. Ben Dhia, C. Lemoine, “Ageing effect on electromagnetic susceptibility of a phase-locked-loop”, ESREF 2010, October 2010, Italy.
- **A. Boyer**, B. Li, S. Ben Dhia, C. Lemoine, “ Impact of Aging on the Immunity of a Mixed Signal Circuit”, EMC Europe 2010, 13 – 17th September 2010, Poland.
- S. Ben Dhia, **A. Boyer**, B. Vrignon, M. Deobarro, « IC immunity modelling process validation using on-chip measurements”, 12th IEEE Latin-American Test Workshop (LATW2011), Porto de Galinhas, Brazil, March 27th-30th, 2011.
- **A. Boyer**, S. Ben Dhia, B. Li, C. Lemoine, B. Vrignon, « Prediction of Long-Term Immunity of a Phase-Locked Loop”, 12th IEEE Latin-American Test Workshop (LATW2011), Porto de Galinhas, Brazil, March 27th-30th, 2011.
- **A. Boyer**, B. Li, S. Ben Dhia, C. Lemoine, B. Vrignon, “Development of an Immunity Model of a Phase-Locked Loop”, 2011 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 16 – 19, 2011, Jeju Island, Korea.
- B. Vrignon, M. Deobarro, **A. Boyer**, S. Ben Dhia, “Bulk Current Injection Modelling and validation on passive loads and an active circuit”, 2011 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 16 – 19, 2011, Jeju Island, Korea.

- B. Li, N. Berbel, **A. Boyer**, S. Ben Dhia, R. Fernández-García, “Study of the impact of hot carrier injection to immunity of MOSFET to electromagnetic interferences”, ESREF 2011, October 2011, Bordeaux, France.
- **A. Boyer**, S. Ben Dhia, C. Lemoine, B. Vrignon, “An On-Chip Sensor for Time Domain Characterization of Electromagnetic Interferences”, 8th International Workshop on electromagnetic Compatibility of Integrated Circuits (EMC Compo 2011), November 6 – 9, 2011, Dubrovnik, Croatia.
- **A. Boyer**, S. Ben Dhia, C. Lemoine, B. Vrignon, “Construction and Evaluation of the Susceptibility Model of an Integrated Phase-Locked Loop”, 8th International Workshop on electromagnetic Compatibility of Integrated Circuits (EMC Compo 2011), November 6 – 9, 2011, Dubrovnik, Croatia.
- N. Berbel, R. Fernández-García, I. Gil, B. Li, S. Ben Dhia, **A. Boyer**, “An alternative approach to model the Internal Activity of integrated circuits”, 8th International Workshop on electromagnetic Compatibility of Integrated Circuits (EMC Compo 2011), November 6 – 9, 2011, Dubrovnik, Croatia.
- E. Sicard, **A. Boyer**, “Enhancing Engineers Skills in EMC of Integrated Circuits”, 8th International Workshop on electromagnetic Compatibility of Integrated Circuits (EMC Compo 2011), November 6 – 9, 2011, Dubrovnik, Croatia.
- E. Sicard, **A. Boyer**, “A hands-on approach to make electromagnetic compatibility of integrated circuits relevant to engineers and students », 9th European Workshop on Microelectronics Education (EWME), May 9-11, 2012, Grenoble, France.
- **A. Boyer**, S. Ben Dhia, C. Lemoine, B. Vrignon, « Characterizing Circuit Susceptibility with On-chip Sensors », 2012 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 21 – 25, 2012, Singapour.
- J. F. Wu, J. C. Li, **A. Boyer**, E. Sicard, S. Ben Dhia, R. J. Shen, « EMC Susceptibility of Low-Dropout Voltage Regulator using a Test Chip », 2012 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 21 – 25, 2012, Singapour.
- **A. Boyer**, S. Ben Dhia, « Effect of Aging on Power Integrity of Digital Integrated Circuits”, 14th IEEE Latin-American Test Workshop (LATW2013), Cordoba, Argentina, April 2nd-5th, 2013.
- **A. Boyer**, S. Ben Dhia, “Effect of Electrical Stresses on Digital Integrated Circuits Power Integrity”, IEEE Workshop on Signal and Power Integrity (SPI), Paris, France, May 2013.
- J. Wu, **A. Boyer**, J. Li, R. Shen, S. Ben Dhia, “Effect of Electrical Stresses on the Susceptibility of a Voltage regulator”, EMC Europe 2013, Brugge, Belgium, September 2013.
- J. Wu, **A. Boyer**, J. Li, S. Bendhia, B. Vrignon, “LDO regulator DC characteristic and susceptibility prediction after electrical stress ageing”, 24th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis ESREF 2013, 30th September – 4th October 2013.
- S. Ben Dhia, **A. Boyer**, “Long-term Electro-Magnetic Robustness of Integrated Circuits: EMRIC research project”, 24th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis ESREF 2013, 30th September – 4th October 2013.
- **A. Boyer**, S. Ben Dhia, “Characterization and Modeling of Electrical Stresses on Digital Integrated Circuits Power Integrity and Conducted Emission”, 9th International Workshop on electromagnetic Compatibility of Integrated Circuits (EMC Compo 2013), December 15 – 18, 2013, Nara, Japan. **Prix du meilleur papier.**
- S. Ben Dhia, **A. Boyer**, “Long-term Electro-Magnetic Robustness of Integrated Circuits: EMRIC research project”, 9th International Workshop on electromagnetic Compatibility of Integrated Circuits (EMC Compo 2013), December 15 – 18, 2013, Nara, Japan.
- Oliveira, J. Benfica, L. M. Bolzani Poehls, F. Vargas, J. Lipovetzky, A. Lutenberg, E. Gatti, F. Hernandez, **A. Boyer**, “Reliability Analysis of an On-Chip Watchdog for Embedded Systems Exposed to Radiation and EMI”, 9th International Workshop on electromagnetic Compatibility of Integrated Circuits (EMC Compo 2013), December 15 – 18, 2013, Nara, Japan.
- S. Ben Dhia, **A. Boyer**, « Design of On-Chip Sensors to Monitor Electromagnetic Activity in ICs: Towards On-line Diagnosis and Self-Healing”, 15th IEEE Latin-American Test Workshop (LATW2014), Fortazela, Brazil, March 12nd-15th, 2014.

- **A. Boyer**, H. Huang, S. Ben Dhia, " Impact of thermal aging on emission of a buck DC-DC converter", 2014 International Symposium on Electromagnetic Compatibility EMC'14 Tokyo, May 13th - 16th 2014, Tokyo, Japan.
- C. Crémoux, **A. Boyer**, K. Ben Dhia, " Reliability of active RFID tag immersed in water for anti-kidnapping applications", IEEE-APS Topical Conference on Antennas and Propagation in Wireless Communications (IEEE APWC 2014), Aruba, August 3rd-9th 2014.
- **A. Boyer**, B. Vrignon, J. Shepherd, M. Cavarroc, " Evaluation of the Near-Field Injection Method at Integrated Circuit Level", EMC Europe 2014, Goteborg, Sweden, September 1st-4th 2014.
- H. Huang, **A. Boyer**, S. Ben Dhia, "The detection of counterfeit integrated circuit by the use of electromagnetic fingerprint", EMC Europe 2014, Goteborg, Sweden, September 1st-4th 2014.
- H. Huang, **A. Boyer**, S. Ben Dhia, B. Vrignon, "Susceptibility Analysis of an Operational Amplifier Using On-Chip Measurement", EMC Europe 2014, Goteborg, Sweden, September 1st-4th 2014.
- L. Chusseau, R. Omarouayache, J. Raoult, S. Jarrix, P. Maurine, K. Tobichy, **A. Boyer**, B. Vrignon, J. Shepherd, T. H. Le, M. Berthier, L. Rivière, B. Robisson, A. L. Ribotta, " Electromagnetic Analysis, Deciphering and Reverse Engineering of Integrated Circuits (E-MATA HARI)", 22nd IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC 2014), October 6-8, 2014, Mexico.
- **A. Boyer**, S. Ben Dhia, " Long-term Electromagnetic Robustness of Integrated Circuits, Challenge and Trends", MINAPAD 2015, April 21-23 2015, Grenoble, IMAPS.
- H. Huang, **A. Boyer**, S. Ben Dhia, B. Vrignon, "Prediction of Aging Impact on Electromagnetic Susceptibility of an Operational Amplifier", 2015 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 25 – 29, 2015, Taipei.
- V. Tomasevic, **A. Boyer**, S. Ben Dhia, " Development of an On-Chip Sensor for Substrate Coupling Study in Smart Power Mixed ICs", 2015 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 25 – 29, 2015, Taipei.
- **A. Boyer**, B. Vrignon, J. Shepherd, M. Cavarroc, "Near-Field Injection At Die Level", 2015 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 25 – 29, 2015, Taipei.
- V. Tomasevic, **A. Boyer**, S. Bendhia, A. Steinmar, B. Weiss, E. Seebacher, P. Rust, "Coupling Study in Smart Power Mixed ICs with a dedicated On-Chip sensor", EMC Europe 2015, August 2015, Dresden, Germany.
- H. Huang, **A. Boyer**, S. Ben Dhia, " Passive device degradation models for a electromagnetic emission robustness study of a buck DC-DC converter", EMC Europe 2015, August 2015, Dresden, Germany.
- H. Huang, **A. Boyer**, S. Ben Dhia, "Analysis and Modelling of Passive device degradation for a long-term electromagnetic emission study of a DC-DC converter", 26th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2015), Toulouse, France, Oct. 2015.
- H. Huang, **A. Boyer**, S. Ben Dhia, "Electronic counterfeit detection based on the measurement of electromagnetic fingerprint", 26th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2015), Toulouse, France, Oct. 2015.
- **A. Boyer**, M. Cavarroc, "Improvement of the Spatial Resolution of Near-Field Immunity Maps", EMC Compo 2015, Edimburgh, Scotland, November 2015.
- V. Tomasevic, **A. Boyer**, S. Ben Dhia, "Bandgap Failure Study Due To Parasitic Bipolar Substrate Coupling In Smart Power Mixed ICs", EMC Compo 2015, Edimburgh, Scotland, November 2015.
- E. Sicard, **A. Boyer**, P. Fernandez Lopez, A. Zhou, N. Marier, F. Lafon, "EMC performance analysis of a Processor/Memory System using PCB and Package-On-Package", EMC Compo

2015, Edimburgh, Scotland, November 2015.

- A. Ramanujan, E. Sicard, **A. Boyer**, J.L. Levant, C. Marot, F. Lafon, "Developing a Universal Exchange Format for Integrated Circuit Emission Model – Conducted Emissions", EMC Compo 2015, Edimburgh, Scotland, November 2015.
- E. Sicard, **A. Boyer**, " EMC modeling of Integrated Circuits using IC-EMC", EMC Compo 2015, Edimburgh, Scotland, November 2015.
- **A. Boyer**, " Improving Spatial Resolution of Immunity Maps by Post-Processing", 2016 Asia-Pacific International Symposium on Electromagnetic Compatibility and Signal Integrity, May 18 – 21, 2016, Shenzhen.
- C. Ghfiri, **A. Boyer**, A. Durier, C. Marot, S. Ben Dhia, "Construction of an Integrated Circuit Emission Model of a FPGA", 2016 Asia-Pacific International Symposium on Electromagnetic Compatibility and Signal Integrity, May 18 – 21, 2016, Shenzhen. **Prix du meilleur papier étudiant.**
- S. Ben Dhia, **A. Boyer**, " A Review of Research on the Effect of Aging on the EMC of Integrated Circuits", 2016 Asia-Pacific International Symposium on Electromagnetic Compatibility and Signal Integrity, May 18 – 21, 2016, Shenzhen.
- **A. Boyer**, H. Huang, S. Ben Dhia, " Predicting the Risk of Non-Compliance to EMC Requirements During the Life-Cycle", 2016 Asia-Pacific International Symposium on Electromagnetic Compatibility and Signal Integrity, May 18 – 21, 2016, Shenzhen.
- A. Durier, **A. Boyer**, G. Duchamp, "A methodologic project to characterize and model COTS components EMC behavior after ageing", 2016 Asia-Pacific International Symposium on Electromagnetic Compatibility and Signal Integrity, May 18 – 21, 2016, Shenzhen.
- **A. Boyer**, C. Ghfiri, M. Gonzalez Sentis, A. Durier, " Modeling methodology of the conducted emission of a DC-DC converter board", EMC Compo 2017, Saint Petersburg, Russia, July 2017.
- **A. Boyer**, C. Ghfiri, M. Gonzalez Sentis, A. Durier, " Study of the thermal aging effect on the conducted emission of a synchronous buck converter", EMC Compo 2017, Saint Petersburg, Russia, July 2017.
- C. Ghfiri, **A. Boyer**, A. Durier, S. Ben Dhia, C. Marot, "Methodology of modeling of the internal activity of a FPGA for conducted emission prediction purpose", EMC Compo 2017, Saint Petersburg, Russia, July 2017.
- S. Serpaud, **A. Boyer**, C. Ghfiri, A. Durier, "Proposal for combined conducted and radiated emission modeling for Integrated Circuit", EMC Compo 2017, Saint Petersburg, Russia, July 2017.
- N. Lacrampe, S. Serpaud, **A. Boyer**, S. Tran, " Radiated Suceptibility Investigation of Electronic Board from Near Field Scan Method", EMC Compo 2017, Saint Petersburg, Russia, July 2017.
- **A. Boyer**, C. Ghfiri, M. Gonzalez Sentis, A. Durier, " Study of the thermal aging effect on the conducted emission of a synchronous buck converter", EMC Europe 2017, Angers, France, September 2017.
- C. Ghfiri, **A. Boyer**, A. Durier, S. Ben Dhia, C. Marot, "Methodology of modeling of the internal activity of a FPGA for conducted emission prediction purpose", EMC Europe 2017, Angers, France, September 2017.
- N. El Belghiti Alaoui, **A. Boyer**, P. Tousi, A. Viard, "New testing approach using near electromagnetic field probing intending to upgrade in-circuit testing in high density PCBAs", 27th IEEE North Atlantic Test Workshop, Essex, Vermont, USA, May 7-9, 2018.
- C. Ghfiri, **A. Boyer**, A. Durier, S. Ben Dhia, C. Marot, "Modeling the internal activity of a FPGA for conducted emission prediction purpose", 2018 Joint IEEE EMC & AP EMC Symposium, Singapour, May 14-17 2018.

4. Revues nationales

- **A. Boyer**, « Prédire la Susceptibilité des Circuits aux Agressions Electromagnétiques », *Electronique – Le mensuel des ingénieurs de conception*, mars 2008, No 189.
- **A. Boyer**, « Tribune – En CAO, il faut prédire l’immunité des circuits aux IEM », *Electronique – Le mensuel des ingénieurs de conception*, février 2008, No 188.

5. Conférences nationales

- **A. Boyer**, S. Bendhia, J.L. Levant, M. Ramdani, B. Vrignon, « Modélisation d’un Boîtier TQFP144 par mesures et simulation », 4èmes JFMMA & TELECOM 2005, Rabat, Maroc, 23 - 25 mars 2005.
- E. Sicard, **A. Boyer**, G. Peres, « Un Logiciel Dédié à la Prédiction du Comportement des Circuits Intégrés en Compatibilité Electromagnétique de 1 MHz à 5 GHz », CEM06, Saint-Malo, avril 2006.
- **A. Boyer**, E. Sicard, S. Bendhia, E. Lamoureux, « Immunité d’Inverseurs CMOS en Champ Proche », CEM06, Saint-Malo, avril 2006, pp. 323 – 324.
- **A. Boyer**, S. Bendhia, « Design d’un Agresseur Champ Proche dédié à l’Etude CEM des System-in-Package », JNRDM06 – Rennes – France – 10 -12 mai 2006.
- **A. Boyer**, « Caractérisation et Modélisation de la Susceptibilité d’un Circuit Intégré par une Méthode de Scan Champ Proche », Journée l’école doctorale GEET, Toulouse, 8 mars 2007.
- L. Bouhouch, **A. Boyer**, « Amélioration des Performances CEM d’un Microcontrôleur à l’aide d’un Film de Matériau Ferromagnétique », 5èmes JFMMA & TELECOM 07, Fès, Maroc, 14 – 16 mars 2007.
- **A. Boyer**, S. Akue Boulingui, E. Sicard, S. Baffreau, « Méthodologie de Prédiction des Risques d’Interférences dans un Couplage Puce à Puce », 5èmes JFMMA & TELECOM 07, Fès, Maroc, 14 – 16 mars 2007.
- E. Sicard, S. Baffreau, S. A. Boulingui, **A. Boyer**, « System-In-Package Integration of Third-Generation Mobile Phones: Some EMC Challenges », 2EMC 2007, Rouen, France, 18 – 19 octobre 2007.
- S. Ben Dhia, A. C. Ndoeye, **A. Boyer**, L. Guillot, B. Vrignon, « Dérives du Spectre d’Emission d’un composant Mixte après Vieillesse Accéléré », CEM08, 20 – 23 mai 2008, Paris, France.
- C. Ndoeye, **A. Boyer**, E. Sicard, S. Serpaud, F. Lafon, “Une plateforme collaborative de service en modélisation CEM des Composants”, Telecom 2009, Agadir, 11-13 Mars 2009.
- E. Sicard, **A. Boyer**, “IC-EMC: A Dedicated environment for predicting electromagnetic compatibility of integrated circuits”, 2EMC 2010, Rouen, 18 – 19 Novembre 2010.
- E. Sicard, **A. Boyer**, “Une approche éducative de la compatibilité électromagnétique des circuits intégrés », JPCNFM 2010, 22 – 24 Novembre 2010, Saint Malo.
- E. Sicard, **A. Boyer**, “ Retour d’expérience d’une formation Eurodots en compatibilité électromagnétique des circuits intégrés », JPCNFM 2012, 28-30 novembre 2012, Saint Malo.
- V. Tomasevic, **A. Boyer**, S. Ben Dhia, " Développement d'un capteur sur puce afin d'étudier le couplage parasite dans les circuits intégrés de type "Smart Power"", 17e

Colloque International et Exposition sur la Compatibilité Electromagnétique CEM2014, Clermont-Ferrand, 1-3 juillet 2014.

- H. Huang, **A. Boyer**, S. Ben Dhia, " Impact du vieillissement thermique sur l'émission d'un convertisseur Buck", 17e Colloque International et Exposition sur la Compatibilité Electromagnétique CEM2014, Clermont-Ferrand, 1-3 juillet 2014.
- E. Sicard, **A. Boyer**, " IC-EMC - Simulation of Electromagnetic Compatibility of Integrated Circuits", Salon Microwave & RF 2015, Paris.
- C. Ghfiri, **A. Boyer**, A. Durier, S. Ben Dhia, "Construction d'un modèle ICEM pour prédire l'émission électromagnétique d'un FPGA", 18e Colloque International et Exposition sur la Compatibilité Electromagnétique CEM2016, Rennes, 11-13 juillet 2016.
- **A. Boyer**, "Amélioration de la résolution spatiale de scan champ proche en injection", 18e Colloque International et Exposition sur la Compatibilité Electromagnétique CEM2016, Rennes, 11-13 juillet 2016.
- **A. Boyer**, " Caractérisation et modélisation de l'effet du vieillissement sur l'intégrité de signal d'un buffer d'horloge utilisé dans un calculateur aéronautique", ANADEF 2016, Toulouse.
- C. Ghfiri, **A. Boyer**, A. Durier, S. Ben Dhia. Methodology of modeling of the internal activity of a FPGA for conducted emission prediction purpose. Congrès de l'école doctorale GEET, Mar 2017, Toulouse, France. 6p., 2017.

6. Participation à des ouvrages

- « Maîtrise de la CEM – Technologie Réglementation – Normes », Les Référentiels Dunod, pp. 4.1.11.5.1-4.1.11.5.7, février 2006, 7 pages, ISBN 2-10-020415-7, 28^e complément
- S. Bendhia, M. Ramdani, E. Sicard, « Electromagnetic Compatibility – Techniques for Low Emission and Susceptibility », Springer, 2006, pp.442 – 451, ISBN 0-387-26600-3
- E. Sicard, **A. Boyer** "IC-EMC v2.5 User's Manual", INSA editor, ISBN 978-2-87649-061-1, October 2011, online at www.ic-emc.org
- **A. Boyer**, E. Sicard, " Basis of Electromagnetic Compatibility of Integrated Circuits - A modeling approach using IC-EMC", Presses Universitaires du Midi, Oct. 2017, ISBN 978-2-8107-0522-1.

7. Logiciels

- IC-EMC, a freeware dedicated to electromagnetic compatibility of integrated circuits. Version 2.5, 2011, www.ic-emc.org.
- IC-EMC, a freeware dedicated to electromagnetic compatibility of integrated circuits. Version 2.9, 2017, www.ic-emc.org.

VI. Responsabilités pédagogiques et enseignements

1. Responsabilités pédagogiques

- Animateur du montage et responsable de la 5e année Embedded Smart Power Electronics à l'INSA de Toulouse (depuis 2018)

- Responsabilité de la 5e année Electronique et Systèmes Embarqués à l'INSA de Toulouse (2016 - 2018)
- Membre élu du Conseil de Département de Génie Electrique et Informatique (depuis 2016)
- Responsable de la 4^e année Réseau & Télécom à l'INSA de Toulouse (2009 – 2012)

2. Enseignements dispensés à l'INSA de Toulouse

Le tableau ci-dessous résume les enseignements que j'ai dispensé à l'INSA de Toulouse sur la période 2008-2018. Ceux-ci couvrent plusieurs domaines : électronique, télécommunications, informatique embarquée, traitement de signal.

Intitulé	Niveau	Heures étudiants
Systèmes électroniques pour les communications (resp. d'UF)	2e année	Cours (9h), TD (9h), TP (19h)
Remise à niveau en électronique	3e année	Cours (7.5 h)
Signaux aléatoires	3e année	TD (5h)
Introduction aux télécommunications	3e année	TD (17 h), TP (11h)
Filtrage numérique	3e année	TD (16 h)
Structure et Fonctionnement des Ordinateurs	3e année	TP (33 h)
Canaux de transmission bruités (resp. d'UF)	4e année	Cours (6.25 h), TD (3.75 h)
Antennes (resp. d'UF)	4e année	Cours (12.5 h), TD (1.25 h), TP (5.5 h)
Bureau d'étude de Dimensionnement d'interface radio pour réseaux mobiles (resp. d'UF)	4e année	Cours (6.25 h), TP (13.75 h)
Qualité, Sécurité, Environnement (resp. d'UF)	4e année	Cours (3.75 h)
Projet de recherche tutoré	4e année	TD (30 h)
Conception de circuits intégrés CMOS analogique (resp. d'UF)	5e année	Cours (12.5 h), TP (24 h)
Bureau d'étude électronique automobile	5e année	Cours (1.25 h), TP (27.5 h)
TP CEM	5e année	TP (11 h)
Caractérisation CEM & ESD d'un système embarqué	5e année	TP (5.5 h)
Projet interdisciplinaire - gestionnaire d'énergie intelligent pour système	5e année	TP (49.5 h)

Curriculum Vitae détaillé

photovoltaïque (resp. d'UF)		
Wireless digital communications for connected objects	5e année	Cours (5 h)
EMC of ICs	Master ESECA	Cours (9 h), TP (9 h)
A One-Week Training in Electromagnetic Compatibility of Integrated Circuits	Formation continue	Cours (12 h), TP (15 h)
Comprendre et améliorer la CEM des circuits imprimés	Formation continue	Cours (12 h), TP (6 h)

3. Enseignements dispensés dans d'autres établissements

Intitulé	Niveau	Lieu	Heures étudiants
Electromagnetic Compatibility of Integrated Circuits	Master	Ecole Nationale des Mines de Saint-Etienne à Gardanne	8 h
Couplages Electromagnétiques	3e année	Ecole Nationale des Mines de Saint-Etienne à Gardanne	9 h
CEM des circuits intégrés	3e année	ENSEEIH	15 h

Chapitre 2 : Contexte et positionnement de mes travaux de recherche

La compatibilité électromagnétique (CEM) constitue une contrainte forte pour l'ensemble des systèmes électriques et électroniques afin de garantir un fonctionnement fiable et sûr. Face à l'intégration et la complexité croissante des systèmes électroniques, mais aussi à des besoins de plus en plus forts concernant la sûreté de fonctionnement, la maîtrise de la CEM reste incontournable. L'avènement des systèmes autonomes, que ce soit en décision ou en énergie, et interconnectés dans nos sociétés modernes renforce cette exigence, mais fait aussi apparaître de nouveaux verrous pour garantir la CEM. Il est indispensable d'améliorer constamment les moyens de caractérisation afin de mieux analyser les problèmes CEM et qualifier les équipements électroniques. La mesure ne constitue cependant pas le seul moyen pour répondre efficacement aux problèmes de CEM. La simulation constitue un formidable outil pour clarifier l'origine des problèmes de CEM dans des systèmes complexes, prédire la conformité CEM et déterminer les solutions adéquates. Le développement de la simulation en CEM passe par la modélisation et les flots de construction des modèles adaptés aux contraintes industrielles.

L'amélioration des outils de caractérisation et des techniques de modélisation pour la CEM constitue la problématique générale de l'ensemble de mes travaux de recherche depuis 2004. Ceux-ci se focalisent néanmoins sur les circuits intégrés (CI) en raison du rôle central qu'ils jouent dans les problèmes de CEM. En outre, en raison de la forte propriété intellectuelle qu'ils intègrent, les CI restent souvent une boîte noire pour un grand nombre d'utilisateurs. Cela rend les tâches de caractérisation et de modélisation de la CEM plus ardues, justifiant une expertise à l'échelle du CI.

Ce chapitre est consacré au positionnement de mes travaux dans le contexte de la recherche sur la CEM des composants. La première partie est dédiée à une présentation générale sur la CEM des circuits intégrés. Les principaux enjeux sont décrits et les concepts importants du manuscrit seront précisés. Elle sera suivie d'une présentation des principaux axes de recherche de ce domaine. La dernière partie est consacrée à la présentation des trois axes de recherche qui ont servi de cadre à mes travaux de recherche ces quinze dernières années, et qui serviront d'axes prospectifs dans le dernier chapitre.

I. Introduction à la CEM des circuits intégrés

1. La CEM : une problématique majeure pour garantir le bon fonctionnement des équipements électroniques

La CEM vise à garantir le fonctionnement simultané de tous les systèmes électriques et électroniques situés dans un même environnement, par la maîtrise de l'émission électromagnétiques et de l'immunité aux perturbations électromagnétiques. Sa prise en compte est indispensable pour éviter tout risque d'interférence électromagnétique

(dysfonctionnement, perte de fonctionnement, erreurs logicielles, brouillage des communications radio, ...). La robustesse aux perturbations électromagnétiques est une condition nécessaire pour assurer la sûreté de fonctionnement des systèmes électroniques et donc, in fine, la sécurité des utilisateurs finaux. Cela est d'autant plus vrai à l'heure du véhicule autonome et connecté, où une interférence électromagnétique peut compromettre son bon fonctionnement.

De fait, la CEM est devenue une obligation réglementaire pour tous les fabricants de composants, équipements ou systèmes électriques ou électroniques : à la CEM est associée un cadre réglementaire strict, qui varie selon le pays de commercialisation. Par exemple, dans l'Union Européenne, les équipements électriques ou électroniques (hors radio) sont soumis à la directive européenne 2014/30/UE dite "Directive CEM" [EUR14]. Un ensemble de standards harmonisés existent, donnant limites et méthodes pour valider le respect de cette directive.

Cependant, garantir une conformité aux limites de CEM n'est pas trivial et nécessite des choix de conception se heurtant parfois aux contraintes de coûts. Pour y parvenir en minimisant les coûts d'essais de certification et de remise en conformité, la CEM est intégrée dès les phases de spécification d'un composant ou d'un équipement électronique. Les ingénieurs CEM mettent alors en place différents outils expérimentaux et de simulation pour anticiper les niveaux CEM et identifier les protections requises le plus en amont possible. Pour illustrer l'importance de la CEM dans le coût de développement d'un équipement électronique, nous pouvons citer les travaux F. Lafon, docteur-ingénieur chez Valeo, qui estime que le coût de remise en conformité CEM d'un équipement électronique automobile à 10 % de son prix de vente [LAF11]. Ce coût peut s'accroître si la CEM n'a pas été pris en compte suffisamment en amont durant la phase de conception.

La CEM n'est pas un problème nouveau : les premières prises de conscience des risques d'interférences électromagnétiques datent du début du XXe siècle. Cette discipline a pris son essor après la seconde guerre mondiale avec l'intégration d'un grand nombre de systèmes radio et radar au sein d'un même avion, puis la prolifération des circuits intégrés dans les applications militaires et civiles. On pourrait penser que le tour de la question a déjà été fait puisque les lois fondamentales (équations de Maxwell) et les mécanismes de création et de couplage des perturbations électromagnétiques sont connues. De nombreux ouvrages d'experts ont été écrits pour proposer des méthodologies d'analyse et de résolution des problèmes CEM. Pourtant, la CEM reste un problème récurrent, troisième cause de *redesign* des systèmes électroniques. Les problèmes de CEM réapparaissent à chaque génération technologique, nécessitant d'établir de nouveaux standards de tests appliqués aux nouvelles technologies, de nouvelles méthodes d'analyse, de tests et de résolution des problèmes. Il y a donc toujours une place pour une recherche en CEM.

2. Les notions centrales en CEM : émission, susceptibilité et chemin de couplage

Un problème de CEM peut s'étudier via le modèle Source - Chemin de couplage - Victime [CHA05]. Celui-ci permet d'analyser les causes d'un problème de CEM et d'agir efficacement sur celui-ci. Dans tout problème de CEM, on trouve au moins une source produisant une perturbation électromagnétique et une victime, siège d'une interférence électromagnétique

liée au couplage de la perturbation issue de la source. On appelle émission électromagnétique la génération de la perturbation électromagnétique, émise intentionnellement ou non par la source. Celle-ci peut être conduite à travers les lignes d'alimentation ou les bus de communication, ou bien rayonnée par ces dernières. Un mécanisme de couplage intermédiaire correspond aux couplages en champ proche (couplages inductifs et capacitifs). La victime est caractérisée par sa susceptibilité électromagnétique, c'est-à-dire sa sensibilité aux perturbations électromagnétiques incidentes. Inversement, sa robustesse aux perturbations électromagnétiques est quantifiée par la notion d'immunité électromagnétique. Les notions d'émission, de susceptibilité et de propagation des perturbations électromagnétiques sont illustrées sur la Figure 1.

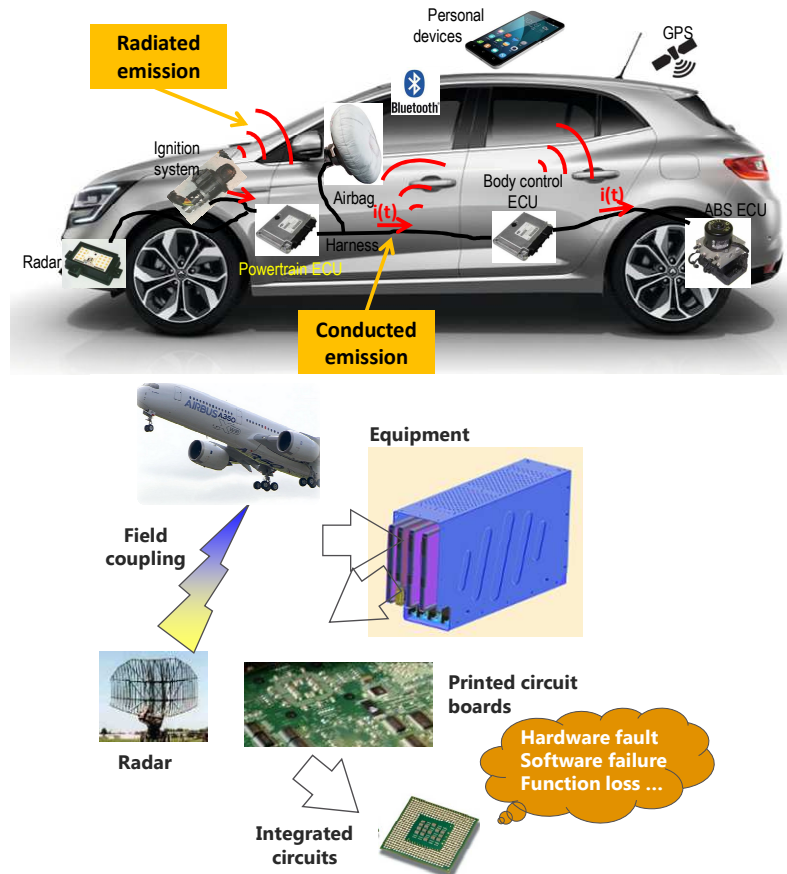


Figure 1 - Illustration de problèmes d'émission électromagnétique (haut) et de susceptibilité aux perturbations électromagnétiques [BOY17]

Afin de garantir la coexistence entre différents équipements ou composants électroniques au sein d'un même système ou d'un même environnement, les fabricants des équipements et des composants électroniques doivent veiller à ce que les niveaux d'émission et de susceptibilité électromagnétiques respectent des limites standardisées. Cela peut être vérifié à l'issue de tests de caractérisation. Un exemple de mesure d'émission conduite d'une alimentation à découpage est présenté à la Figure 2. Le niveau mesuré dans le domaine fréquentiel est comparé à une limite standard. Le dépassement de cette limite indique que le composant ou l'équipement n'est pas conforme.

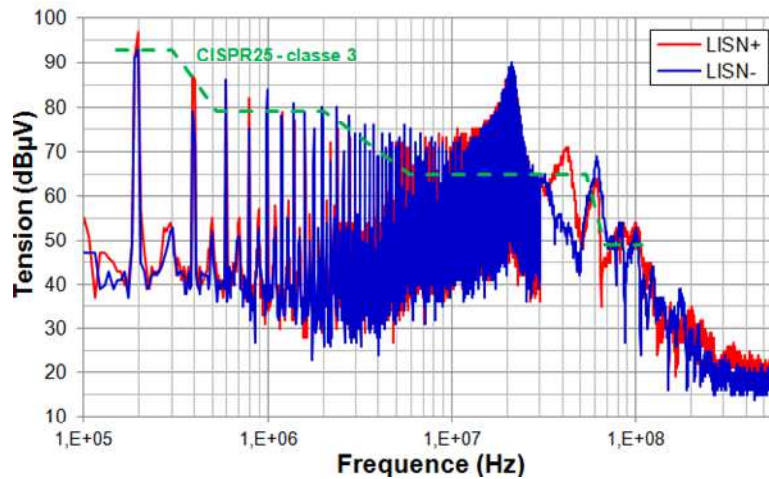


Figure 2 - Exemple de résultat de mesure d'émission conduite d'un équipement électronique

3. Rôle central des circuits intégrés dans les problèmes de CEM

Traditionnellement, la CEM est considérée au niveau d'une carte électronique, d'un équipement ou d'un système, par le routage PCB, le dimensionnement du filtrage, du blindage ..., mais pas à un niveau aussi fondamental qu'un composant électronique ou un circuit intégré (CI). Une preuve en est que les CI ne sont pas soumis aux réglementations CEM comme la directive européenne CEM, car ils ne constituent pas un "appareil électrique" fini. Pourtant, ce serait une erreur d'ignorer le CI dans l'analyse d'un problème de CEM. Ils ne sont pas invulnérables aux perturbations électromagnétiques et constituent la source des perturbations électromagnétiques produites par un équipement électronique. Sur la Figure 3, la commutation d'un circuit CMOS élémentaire, représentant une porte inverseuse ou une étage de sortie *push-pull*, conduit à un transfert de charge et donc un courant transitoire rapide circulant le long des lignes d'alimentation et de référence de masse. Ce courant transitoire, produit par l'activité interne du CI, est à l'origine des problèmes d'émission électromagnétique.

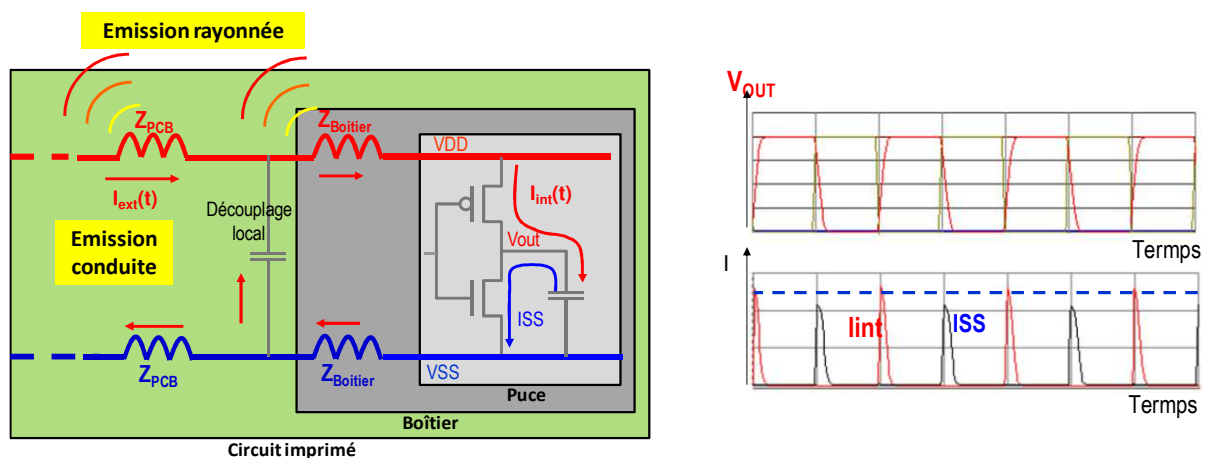


Figure 3 - Bruit de commutation produit par la commutation d'un inverseur CMOS et propagé sur les lignes d'alimentation

Selon la structure considérée, le contenu fréquentiel de ce courant peut s'étendre sur une bande de fréquence large : jusqu'à une centaine de MHz pour une alimentation à découpage, jusqu'à plusieurs centaines de MHz pour une entrée-sortie (E/S) digitale rapide, et plusieurs GHz pour une structure digitale CMOS nanométrique. L'impédance des interconnexions, au niveau du CI ou du circuit imprimé, génère une fluctuation de tension qui nuit à l'intégrité ou la stabilité de l'alimentation, comme l'illustre la Figure 4. Si celle-ci n'est plus garantie, le bon fonctionnement du CI peut être compromis. Le rôle du découplage est de réduire l'impédance des réseaux d'alimentation et de localiser la circulation de courant au plus près du CI. Cependant, une partie de ce courant peut se propager bien au-delà de l'étage de découplage local sur le circuit imprimé ou sur les câbles d'alimentation, conduisant au phénomène d'émission électromagnétique conduite. Lorsque les interconnexions traversées par ce courant transitoire deviennent électriquement longue, elles peuvent devenir des antennes efficaces et produire une émission rayonnée. Modéliser l'émission conduite et rayonnée d'un CI passe à la fois par une modélisation de son activité interne, du filtrage apportée par les structures internes, mais aussi des interconnexions de la puce, du boîtier, du circuit imprimé et du découplage local.

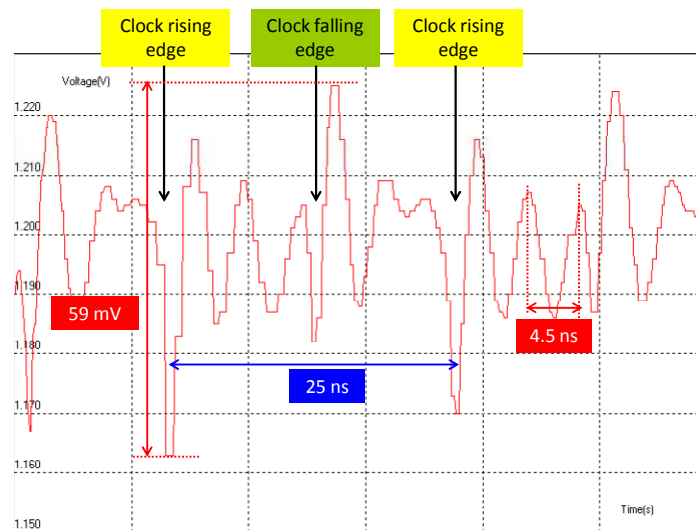


Figure 4 - Exemple de bruit de commutation mesuré sur la ligne d'alimentation d'un circuit digital [BOY13]

Les CI sont aussi au cœur des problèmes de susceptibilité des équipements électroniques aux perturbations électromagnétiques. Ces dernières peuvent avoir des allures temporelles variées : sinusoïdales, modulées, impulsionnelles. Avec le développement de l'étude fonctionnelle vis-à-vis des décharges électrostatiques (ESD) [DUV15], la robustesse aux ESD s'est rapprochée de la CEM. Le fonctionnement d'un CI peut être perturbé par toute fluctuation de tension d'alimentation ou glitch provoquée par le couplage d'une perturbation électromagnétique sur des câbles ou sur des pistes de circuit imprimés. Selon l'amplitude et la forme d'onde de la perturbation, la réponse du circuit, et donc l'éventuelle défaillance, dépend de son architecture électronique et de son filtrage interne. Les types de défaillances rencontrées sont multiples. A titre d'exemple, la Figure 5 présente un problème de susceptibilité lié à une rectification de la perturbation électromagnétique incidente. Ce problème est courant dans les circuits analogiques (AOP, régulateur linéaire de tension, référence de tension).

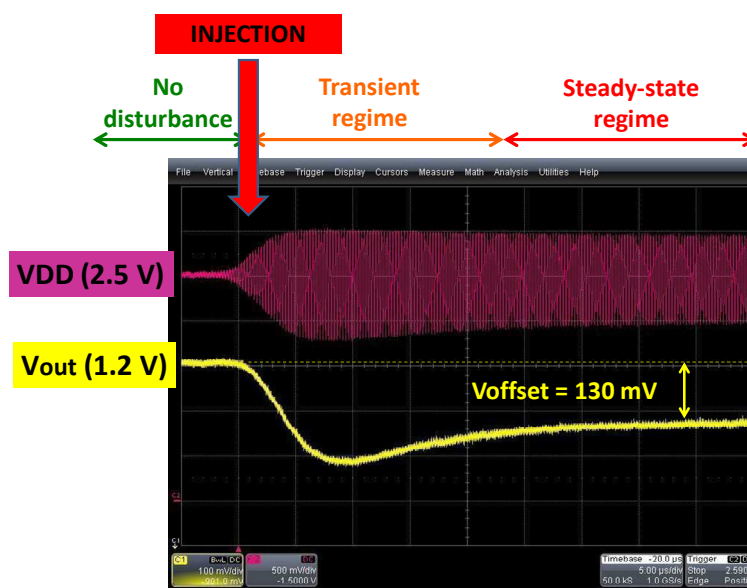
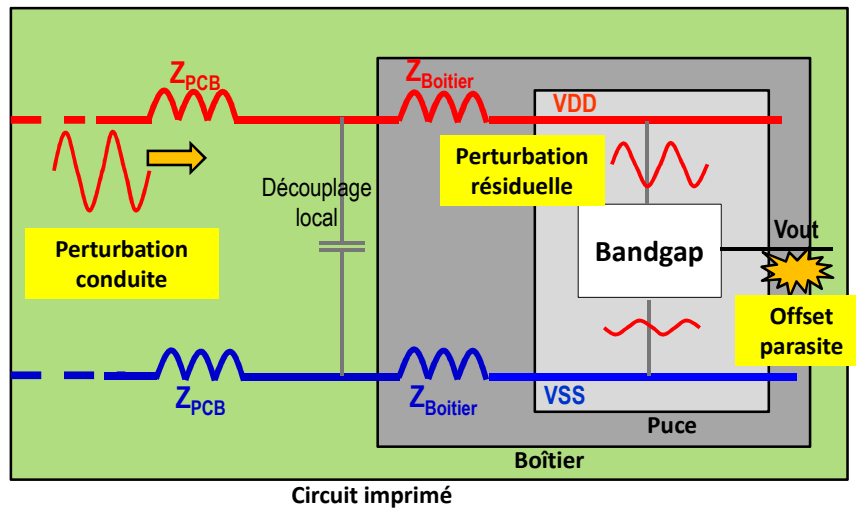


Figure 5 - Illustration d'un problème de susceptibilité électromagnétique mesuré sur un circuit analogique (offset parasite en sortie d'une référence bandgap induit par une perturbation électromagnétique)

Dans cet exemple, une perturbation sinusoïdale de fréquence égale à 100 MHz est injectée sur la tension d'entrée d'une référence de tension *bandgap*. Sans perturbation, le circuit délivre une référence de tension stable de 1.2 V. Lorsque la perturbation est appliquée sur l'entrée de ce composant, un décalage de tension apparaît, dont la valeur varie selon l'amplitude et la fréquence de la perturbation. Le comportement non linéaire des transistors MOS est à l'origine de ce phénomène de rectification de la perturbation incidente [RED10]. Une variation de cette tension de référence peut avoir des conséquences sur le bon fonctionnement des autres circuits de l'équipement. Simuler l'immunité d'un CI passe par une modélisation fine de l'effet de filtrage apporté par les interconnexions du CI, des éventuelles protections ESD se déclenchant et du comportement du bloc défaillant vis-à-vis des perturbations incidentes.

Ainsi, on comprend que la CEM au niveau d'un circuit imprimé ou d'un équipement électronique dépend des niveaux d'émission et d'immunité propres aux CI qui y sont montés.

Cela a donc plusieurs conséquences dans les techniques de résolution des problèmes de CEM :

- la caractérisation préalable des niveaux d'émission et d'immunité d'un CI permet d'anticiper d'éventuels problèmes de CEM au niveau d'une carte électronique
- la prédiction de la CEM au niveau d'une carte électronique dépend des CI qui y sont montés
- agir sur un CI est une solution efficace de réduction des sources de bruit et de susceptibilité, pour réduire les coûts de remise en conformité et éliminer certains dispositifs de filtrage ou de protection externes

4. Place de la CEM des circuits intégrés dans l'industrie

La CEM des CI concerne prioritairement deux acteurs de la conception des produits électroniques. D'abord, les concepteurs de CI sont directement concernés. Leurs clients étant soumis à des contraintes d'émission et de susceptibilité, la CEM doit être prise en compte dès les phases de conception. Un flot de conception orienté CEM nécessite donc des outils et des méthodologies de modélisation et de simulation *full-chip* efficaces pour prédire les problèmes d'émission, d'intégrité des alimentations et de susceptibilité, ainsi que des outils de conception intégrant des règles de CEM. Des méthodes de mesure standardisées et adaptées aux CI sont nécessaires pour caractériser la CEM et vérifier les exigences de leurs clients. Enfin, ils doivent fournir à leurs clients un support vis-à-vis des problèmes de CEM, incluant des recommandations de routage de circuit imprimé, de configurations de circuits ou des modèles.

Les utilisateurs de CI sont aussi concernés par la CEM des CI. Disposer de CI à faible émission et forte immunité facilite la mise en conformité CEM d'un équipement critique. Leur intérêt pour la CEM des CI est guidé par la définition de méthodes de caractérisation CEM et par le développement de modèles de CI de prédiction de l'émission ou l'immunité au niveau d'une carte électronique, selon une approche *bottom-up*. En effet, la prédiction des niveaux CEM au niveau d'un équipement est basée sur une modélisation de chaque partie élémentaire, dont les CI.

II. Thématiques de recherche en CEM des circuits intégrés

Les recherches en CEM des CI peuvent se classer en plusieurs catégories, qu'elles portent sur l'émission ou l'immunité, et quel que soit le type de circuit étudié. Elles portent sur une amélioration des outils de modélisation et de simulation, de caractérisation et des techniques de conception orientées CEM [BEN06] :

- Modélisation et simulation CEM *full chip* : le but de cette axe de recherche est l'amélioration des moyens de simulation électromagnétique d'un circuit intégré complet, afin de prédire finement et localement les performances en intégrité d'alimentation, intégrité de signal, en émission et en immunité. On retrouve ce type d'approche dans [GST06] ou [STE09]. Le boîtier et le circuit imprimé agissant aussi sur les performances CEM générales, des outils de co-simulation circuit-boîtier-circuit imprimé sont nécessaires [PAR10]. Ce type d'outils est principalement à destination

des concepteurs de circuits, disposant de toutes les informations technologiques du circuit. Les principaux verrous associés à ce genre d'outils résident dans la taille du modèle et, éventuellement, dans la complexité des phénomènes simulés (par exemple, les phénomènes de décharges électrostatiques et les risques de latch-up), qui peuvent rendre le temps de simulation inacceptable. Les techniques de réduction d'ordre du modèle peuvent aider à réduire le temps de simulation, mais au détriment de la précision.

- Macromodélisation des circuits intégrés pour la simulation CEM : l'approche de modélisation et de simulation full chip n'est adaptée ni aux besoins des utilisateurs finaux de CI, ni aux informations qui leur sont disponibles. Ceux-ci cherchent à valider l'émission ou l'immunité au niveau d'un circuit imprimé ou d'un équipement, en fonction du routage du circuit imprimé, des composants qui y sont montés, des reprises de masse du coffret électronique, ... Un modèle équivalent ou macromodèle d'un CI est préférable à un modèle complet, non seulement pour des raisons de temps de simulation mais aussi pour préserver la propriété intellectuelle. Les recherches actuelles portent sur l'amélioration des approches pour modéliser suffisamment finement les phénomènes électromagnétiques à l'aide d'un modèle suffisamment simple pour être extrait à partir d'une quantité réduite d'informations non confidentielles ou d'un nombre réduit de mesures. Ce type de modèle se doit d'être facilement échangeable, obligeant à un effort de standardisation. Bien avancé pour les aspects intégrité du signal et émission conduite pour lesquels des standards existent depuis quelques années (IBIS, ICEM, LEECS) [LEV04] [FUN06], de nombreux travaux sont encore nécessaires pour la macromodélisation des aspects émission rayonnée et immunité.
- Caractérisation de la CEM des circuits intégrés : le développement de méthodes de mesure pour la CEM des CI couvre deux aspects. Dans un premier temps, cette thématique est liée au besoin de définir des méthodes de qualification de la CEM des CI. Les principales difficultés résident dans l'extension des bandes de fréquence, dans le développement de méthodes isolant l'influence du CI sur le phénomène électromagnétique à capturer, et sur la standardisation de la méthode. Dans un second temps, des outils d'analyse de la contribution des CI aux problèmes d'émission et d'immunité sont aussi indispensables. On peut citer par exemple les outils de scan champ proche pour l'analyse des problèmes de rayonnement (nous y reviendrons dans le chapitre 3) ou le Transmission Line Pulse (TLP) pour l'étude des protections ESD. Les recherches portent sur l'amélioration de la sensibilité de ces méthodes, dans l'extension de leur bande passante, dans l'extraction de modèles à partir de ces mesures et la prédiction des résultats de mesure dans un essai normalisé.
- Règles de conception des circuits intégrés pour la CEM : cet axe de recherche vise à développer des techniques de conception réduisant l'émission et l'immunité aux perturbations électromagnétiques. Agir directement sur le CI est une solution efficace car cela permet d'agir directement à la source du problème CEM. La mise en conformité d'un circuit imprimé est facilitée et des éléments de filtrage externe peuvent être supprimés, réduisant ainsi le coût global d'une application électronique. L'objectif de ces recherches est de déterminer un compromis entre réduction d'un problème donné, coût et maintien des performances fonctionnelles. Les techniques proposées sont multiples et, sans être exhaustif, on peut citer : placement-routage,

filtrage interne, réduction de l'activité interne, contrôle actif du slew rate des étages de sortie, lois de commande des alimentations à découpage, conception d'AOP robuste, intégration de (nano)matériaux pour le blindage des CI. De bons résumés des techniques actuelles de réduction de l'émission et de la susceptibilité des CI peuvent être trouvés dans [BEN06] et [RED10].

- Gestion de l'obsolescence : c'est un thème de recherche relativement récent, en lien avec une problématique industrielle touchant principalement l'industrie des transports et de l'énergie [DUR13]. L'obsolescence rapide des CI conduit les équipementiers à requalifier leurs produits pour prouver la non-régression du point de vue de la CEM lors du changement d'un composant. Cette situation induit des coûts importants liés à la requalification complète des équipements. Afin de limiter ce surcoût, une réduction du nombre d'essais est nécessaire mais acceptable uniquement si une preuve de non-régression des performances CEM est apportée. Cette preuve peut être fournie par une méthode quelconque, à condition qu'elle apporte un gain de temps et d'argent par rapport aux essais CEM à remplacer : simulation, essais unitaires sur composants, analyse mixte mesure-simulation. J'aborderai ce point dans le dernier chapitre de ce manuscrit, comme perspective à mes travaux de recherche.
- Effet de l'environnement sur la CEM : les essais CEM sont généralement effectués à température ambiante, sur des composants, équipements ou systèmes neufs. Des tests combinant essais CEM et essais climatiques, de radiation ou de vieillissement restent extrêmement rares. Cette démarche ne garantit pas que la conformité CEM sera assurée pour toutes les conditions environnementales et à long terme, représentant une faille pour la sûreté de fonctionnement [ARM05]. Depuis une dizaine d'années, ce thème de recherche émerge, s'intéressant aux effets de la température [BEN07], des radiations [BENF12] et du vieillissement des CI [BEN13]. Avec S. Ben Dhia, nous avons d'ailleurs été pionniers sur ce dernier point. J'y reviendrai dans la partie III.3 de ce chapitre.

III. Thématiques couvertes par mes travaux de recherche

Après avoir présenté brièvement les grandes thématiques de recherche dans le domaine de la CEM des CI, le positionnement de mes travaux de recherche est décrit dans cette partie.

Ceux-ci ont porté sur différents aspects : non seulement le développement et l'amélioration des moyens de caractérisation des CI, notamment basés sur la mesure d'émission et d'immunité en champ proche, mais aussi le développement de méthodes de modélisation des circuits pour la prédiction de l'émission et de l'immunité. J'ai participé avec ma collègue S. Ben Dhia au développement d'un nouvel axe de recherche, en lien avec les deux précédents, portant sur l'étude de l'évolution à long terme et après vieillissement de la CEM des CI

1. Le scanner champ proche - un outil d'analyse de la CEM pour les circuits intégrés

De nombreux standards définissent des méthodes de mesure de l'émission et de l'immunité adaptés à une famille d'équipements. Le rôle de ces méthodes de mesures est de certifier un équipement électronique. Cependant, en cas de défauts avérés, ces méthodes permettent rarement de déterminer l'origine de la non-conformité. En effet, les essais CEM standards correspondent généralement à une mesure rayonnée globale ou conduite sur les faisceaux de câbles attachés à l'équipement. En outre, disposer d'un moyen d'essais de pré-qualification rapide appliqué à une carte électronique ou à un composant, permettant d'évaluer le risque de non-conformité de l'équipement, mais aussi d'identifier les éléments fautifs de l'équipement, représente un avantage économique sérieux. Il réduirait le nombre d'essais CEM non-conformes et le coût de mise en conformité.

Le scanner champ proche est apparu dans les années 90 comme un outil de diagnostic au niveau cartes électroniques et composants adapté aux problèmes d'émission électromagnétique [SLA99]. Cette méthode de mesure a été normalisée comme standard IEC sous le nom IEC61967-3 pour l'analyse de l'émission électromagnétique des CI.

a) Présentation du scan champ proche en émission

Les problèmes d'émission électromagnétique conduite ou rayonnée sont associés à la mauvaise maîtrise des chemins parcourus par les courants RF issus de l'activité des CI, ainsi qu'aux transferts de charge. La mesure des champs électriques (E) et magnétiques (H) en champ proche fournit un moyen de caractérisation sans contact de ces courants et tensions, et constitue donc un outil de diagnostic pour la CEM. Pour le comprendre, il convient d'analyser les différentes régions au-dessus de n'importe quelle structure rayonnante (antenne, carte électronique, CI) pouvant être distinguées du point de vue du rayonnement (Figure 6) :

- la plus proche de la source de rayonnement est la zone dite de champ proche réactive. Les champs E et H décroissent très vite avec la distance et ne produisent aucun rayonnement. La région est dominée par les couplages réactifs (capacitifs ou inductifs) entre des structures proches. Localement, la valeur du champ est dominée par la source élémentaire la plus proche, permettant sa localisation via la mesure du champ E ou H.
- à une distance suffisamment grande de la source de rayonnement commence la zone de champ lointain ou radiative, où l'onde formée est localement plane et produit un rayonnement. En tout point de l'espace, la valeur du champ est le résultat de la contribution de toutes les sources élémentaires. La mesure du champ électromagnétique ne permet pas la localisation d'une source élémentaire.
- entre les deux se trouve une zone intermédiaire appelée zone de champ proche radiatif. Ses frontières avec les deux autres régions sont "floues" et varient selon la géométrie de la source de rayonnement et la fréquence. Dans cette région aussi, la localisation d'une source élémentaire à partir de la mesure des champs E et H n'est pas possible.

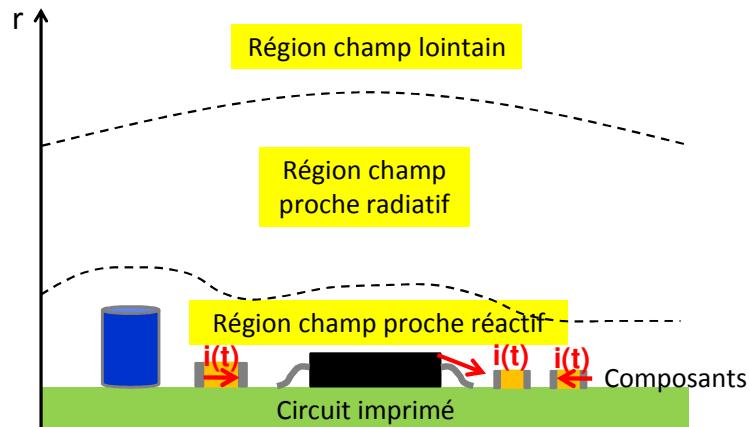


Figure 6 - Zones champ proche et champ lointain au-dessus d'une carte électronique

Le principe d'un banc de scan champ proche typique est décrit à la Figure 7. Le banc est configuré pour réaliser une mesure de l'émission en champ proche du dispositif sous test (DST). Une antenne électrique ou magnétique miniature, appelée sonde champ proche, est placée à proximité du DST afin de mesurer la distribution des champs E et H. La tension induite aux bornes de la sonde par le champ incident est capturée par un récepteur (analyseur de spectre, oscilloscope, analyseur de réseau vectoriel). La sonde est fixée à un système de positionnement trois axes et qui la déplace précisément au-dessus des différents points de mesure. Pour chaque position, le récepteur mesure la tension induite par la sonde qui est ensuite enregistrée. A l'issue de ce balayage, une cartographie montrant la distribution de la tension induite peut être reconstruite. La cartographie montre des "points chauds" là où le champ incident capturé par la sonde est intense. Si la réponse fréquentielle et spatiale de la sonde a été calibrée préalablement, la cartographie est exprimée directement sous la forme du champ incident.

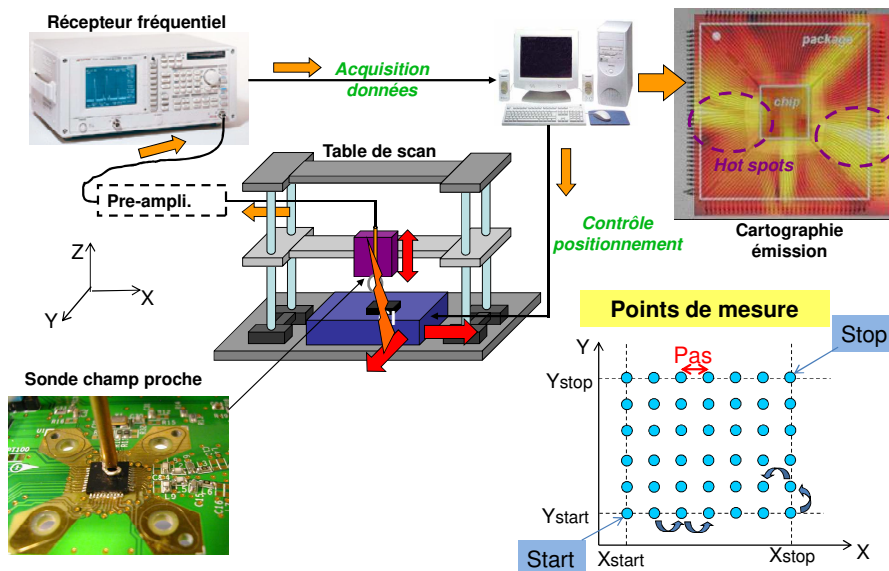


Figure 7 - Principe de la mesure dite scan champ proche en émission

b) Enjeux associés au scan champ proche

Plusieurs verrous sont associés au scan champ proche :

- initialement, le scanner champ proche a été développé pour mesurer l'émission d'un composant ou d'une carte et estimer le rayonnement en champ lointain. Une première question est de modifier le banc afin de le réutiliser pour perturber des composants ou des cartes électroniques. Des questions techniques se posent alors sur le type de sonde à utiliser pour assurer une bande passante suffisante, une résolution spatiale acceptable pour étudier l'immunité des CI et une tenue aux perturbations injectées.
- Le scan champ proche est une mesure relativement longue car elle nécessite de répéter un même test pour un grand nombre de positions spatiales. Ce temps de mesure peut être rédhibitoires pour un industriel qui souhaiterait systématiser cet essai. La recherche de techniques d'accélération de la mesure est indispensable pour résoudre ce problème.
- Le scan champ proche fournit des résultats bruts sous la forme de cartographie montrant la distribution de l'émission en champ proche, ou les zones de sensibilité du dispositif sous test. Cependant, l'interprétation de ces cartographies, notamment pour extrapoler les niveaux CEM que présenteraient le dispositif sous test dans un essai CEM certifié, est loin d'être triviale. A l'heure actuelle, hormis des travaux sur l'extrapolation champ proche - champ lointain comme [REG01] ou [SHI04], peu de travaux portent sur le développement de méthodes d'analyses rigoureuses de ces cartographies.
- L'utilisation du scan champ proche en émission et en immunité peut aider à l'identification de sources et de victimes, et déterminer les configurations de placement entre composants conduisant à des problèmes de CEM par couplage en champ proche.

Mes travaux de recherche sur le sujet ont principalement été liés au développement du scan champ proche en immunité pour l'étude des composants, la modélisation du couplage entre les sondes d'injection et le circuit sous test, et les applications comme l'étude des couplages en champ proche entre circuits proches. Ces travaux seront détaillés dans le chapitre 3.

2. La modélisation CEM des circuits intégrés

Mes travaux de recherche sur la modélisation de la CEM des CI s'inscrivent dans la démarche de macromodélisation à destination des utilisateurs finaux des composants (équipementiers), notamment pour une prédiction à l'échelle d'une carte électronique. La modélisation d'un tel équipement repose généralement sur une approche *Bottom-Up*, où les différentes parties de l'équipement sont modélisées indépendamment les unes des autres puis assemblées comme des briques, comme l'illustre la Figure 8. Le modèle global dépend de ceux du circuit imprimés (ses interconnexions), des connecteurs et des câbles qui y sont branchés, et des composants qui y sont montés comme les CI.

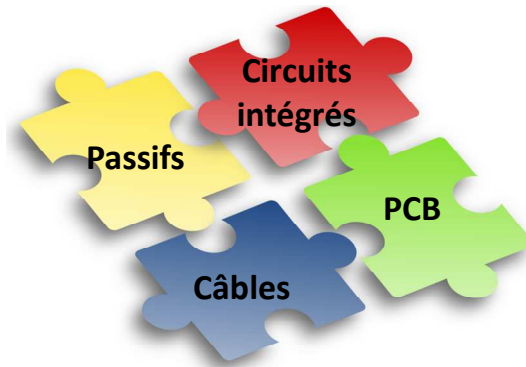


Figure 8 - Approche usuelle de modélisation pour la CEM des équipements électroniques et place des modèles des circuits intégrés

Le modèle équivalent proposé doit reproduire leur comportement électromagnétique. Différentes approches existent pour modéliser les CI selon la quantité d'informations disponibles pour le construire, le besoin de précision, le besoin de portabilité, le degré de confidentialité du modèle, comme le montre la Figure 9 :

- modèle "boîte blanche" : la structure du modèle est proche de l'architecture physique du circuit. Il modélise physiquement le comportement électrique et électromagnétique des dispositifs internes en utilisant des données technologiques confidentielles. Les phénomènes électriques et électromagnétiques sont modélisés précisément, permettant une prédiction avant fabrication dans de nombreuses configurations d'utilisation, mais au prix d'une grande complexité. Ce type de modèle est généralement faiblement portable car fortement associé à un outil.
- modèle "boîte grise" : niveau intermédiaire entre les approches "boîte blanche" et "boîte noire". L'architecture globale du circuit est explicite dans le modèle (par exemple le réseau de distribution d'alimentation). Certains éléments sont décrits physiquement (par exemple, l'effet du boîtier), mais d'autres sont décrits par des modèles équivalents simplifiés (par exemple des sources de courant équivalentes pour modéliser l'activité interne d'un CI). La complexité du modèle s'en trouve simplifiée, la portabilité améliorée et la propriété intellectuelle du circuit est en partie préservée. Le modèle reste valable dans un grand nombre de configurations, permettant une prédiction avant fabrication. Néanmoins, le processus de construction du modèle peut être compliqué puisqu'il est nécessaire d'ajuster de nombreux paramètres à l'aide de différents résultats de mesure et de simulation.
- modèle "boîte noire" : l'ensemble du circuit est représenté par un modèle mathématique équivalent simplifié, reproduisant une des caractéristiques du circuit (par exemple, son impédance ou son rayonnement). Sa construction est basée sur des mesures ou des simulations préalables du circuit, dans une ou plusieurs configurations données. Il permet de reproduire efficacement le comportement du circuit au sein d'un système plus large que l'on cherche à simuler. La propriété intellectuelle du circuit est complètement préservée. La construction du modèle est simplifiée car elle se base sur un processus d'extraction rigoureux. Néanmoins, des problèmes de stabilité du modèle peuvent se poser [TRI07]. En outre, toute modification de la configuration du circuit exige une reconstruction du modèle. Enfin, l'absence de paramètres physiques empêche toute analyse sur le rôle du CI dans un problème de CEM.

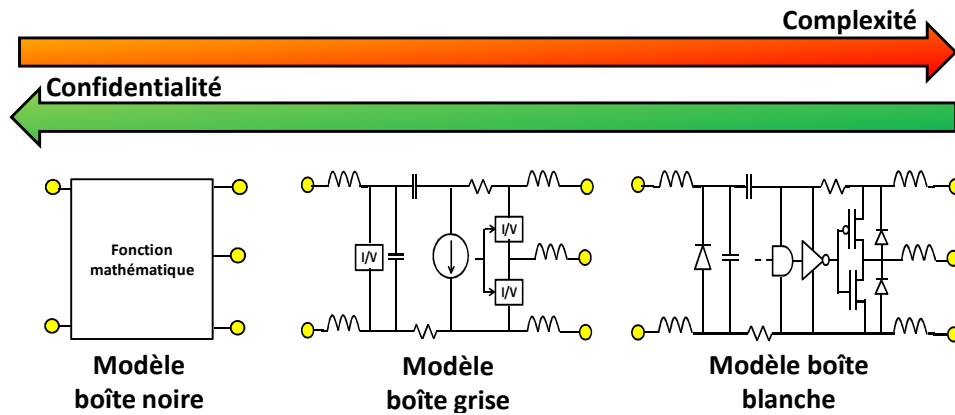


Figure 9 - Différentes approches de modélisation de circuits intégrés pour la CEM

Les approches boîtes grises et noires sont celles le plus largement adoptées par les utilisateurs de CI en raison des garanties de confidentialité et de leur faible niveau de complexité. Les modèles construits doivent être compatibles avec les outils de simulation typiques de l'industrie électronique (SPICE, VHDL-AMS, Verilog-A). Les principaux verrous de la modélisation des CI pour la CEM sont liés à :

- la modélisation du comportement à haute fréquence
- la conservation d'un compromis entre précision, rapidité de temps de calcul et confidentialité des informations technologiques, même lorsque les effets sont complexes à modéliser (comportement face à des perturbations de fortes amplitudes, multiples chemins de couplage internes dans un CI, rayonnement produit par les composants)
- les méthodes d'extraction du modèle, dont le coût doit rester raisonnable

Le premier modèle équivalent standard et échangeable de CI pour la prédiction de phénomènes électromagnétiques est le modèle IBIS [IBI]. Ce standard, dédié à la simulation de l'intégrité de signal et largement établi dans l'industrie électronique, en est à la version 6.0 pour simuler finement des étages sérialiseurs-désérialiseurs rapides. Au début des années 2000, de nombreux travaux de recherche ont initié plusieurs approches de modélisation standards de l'émission conduite des circuits intégrés [RAM09]. Parmi celles-ci, le modèle ICEM-CE a été standardisé par l'IEC [IEC624]. Cependant, au milieu des années 2000, aucune solution n'avait été proposée pour la modélisation de l'émission rayonnée ou pour la modélisation de l'immunité des CI. Les travaux de recherche étaient à leurs premiers balbutiements. C'est dans ce contexte que mes travaux de recherche sur la modélisation des CI pour la CEM ont démarré. Ils ont porté sur :

- l'extension du modèle ICEM-CE pour la simulation de l'émission en champ proche
- l'amélioration des méthodes d'extraction du modèle ICEM-CE
- le développement de modèles d'immunité des CI, pour des agressions conduites et en champ proche
- l'utilisation conjointe de modèles d'émission et d'immunité de CI pour traiter de problèmes de couplage en champ proche

Ces travaux seront détaillés dans le chapitre 4.

3. Une nouvelle problématique : la CEM à long terme

Les exigences de sûreté de fonctionnement sont de plus en plus importantes pour les équipements électroniques embarqués, notamment ceux pour les secteurs du transport ou de l'énergie en raison des durées de vie requises et des environnements de fonctionnement parfois difficiles (forte température, vibration, stress électrique, perturbations électromagnétiques, ...). La maîtrise des interférences électromagnétiques que garantit l'analyse de la CEM s'inscrit finalement dans cette exigence. Usuellement, les tests de CEM s'appliquent sur des équipements neufs fonctionnant dans des conditions nominales. Leur but est de vérifier le non dépassement de niveaux limites. Cependant, comme le souligne K. Armstrong dans [ARM08], cette démarche n'est pas suffisante pour démontrer la sûreté de fonctionnement de l'équipement et du système complet pendant toute la durée de vie de ce dernier. Dans le guide de l'IET "*EMC for Functional Safety*" de 2013 [IET13], parmi les recommandations faites pour garantir la "résilience électromagnétique", on trouve la prise en compte des environnements réels et du vieillissement occasionné.

L'influence du vieillissement sur l'émission ou l'immunité reste un sujet peu exploré par les chercheurs en CEM. Un certain nombre d'effets sont connus. Par exemple, les environnements à forte température affectent les caractéristiques des condensateurs électrolytiques, surtout aluminium, utilisés principalement comme capacité de volume dans des filtres CEM [LAH98]. Leur vieillissement anticipé pouvant dégrader l'efficacité d'un filtre, leur utilisation est proscrite dans certains secteurs industriels, malgré leur coût avantageux. Un autre exemple que l'on peut lire dans [SJO05] est l'influence conjointe de la corrosion qui peut dégrader l'efficacité des joints de blindages. Dans un secteur industriel comme l'aéronautique, cette source de dérive est compensée par une marge CEM pouvant atteindre 10 dB, fixée par le retour sur expérience.

Cependant, tout cela reste très empirique. L'évaluation de l'ampleur des dérives CEM liées au vieillissement reste un exercice difficile car les informations requises, comme les modèles de dégradation des composants, restent partielles voire inexistantes. La justification de marges CEM ne s'appuie pas sur un processus de caractérisation ou de prédiction formel. A ma connaissance, au milieu des années 2000, il n'existait aucune publication traitant de la question de la modélisation de l'impact du vieillissement sur la CEM. De plus, aucun standard, aucune recommandation sur un protocole de caractérisation combinant CEM et vieillissement des équipements électroniques pour garantir l'absence de dérives CEM à long terme n'avait été publié. L'origine de cette absence réside non seulement dans la difficulté de mise en œuvre de tests combinés mais surtout dans le coût de tels tests.

Avec S. Ben Dhia, cette problématique nous semblait indispensable pour la certification des équipements électroniques critiques pour les raisons évoquées ci-dessus. Elle nous semblait aussi novatrice et à la frontière entre deux domaines différents : celui de la CEM et de la fiabilité. Par rapport à la manière "traditionnelle" d'envisager la CEM, nous nous intéressons à l'évolution à long terme des niveaux CEM, c'est-à-dire l'identification des mécanismes sous-jacents, la prédiction des dérives et le temps requis pour les atteindre. Alors que la fiabilité cherche à déterminer la durée de vie d'un composant ou d'un système dans un environnement donné, nous nous intéressons aux dérives de performances et à la manière dont elles affectent les niveaux d'émission et d'immunité. En effet, il est évident qu'une fois un composant cassé, l'analyse de la CEM perd son sens. Notre attention s'est portée sur

l'étude du vieillissement des composants et la manière dont cela affectait l'émission et la susceptibilité. Nos études ont principalement porté sur les CI en technologie CMOS, car ces derniers étaient au centre de nos travaux de recherche, même si nous avons aussi analysé l'impact du vieillissement des composants passifs ou des transistors MOS de puissance. Ce choix initial se justifie aussi par la volonté de limiter le champ de l'étude, tant il est vaste.

La Figure 10 illustre la problématique de la CEM à long terme. Les questions auxquelles nous cherchons des réponses sont les suivantes :

- En considérant des composants toujours fonctionnels, leur robustesse vis-à-vis des perturbations électromagnétiques et le bruit électromagnétique qu'ils génèrent restent-ils les mêmes après vieillissement ?
- Quels sont les mécanismes de dégradation intrinsèques à l'origine des dérives CEM en fonction des conditions environnementales ?
- Comment peut-on caractériser la CEM à long terme d'un composant ou d'un équipement électronique efficacement, c'est-à-dire sans que les tests deviennent fastidieux pour un industriel ?
- Peut-on prédire les dérives CEM d'un composant ou d'équipement électronique, après une durée de vie donnée dans un environnement donné, avec un profil de mission donné ?
- Peut-on évaluer le risque de non-conformité CEM ? Peut-on déterminer une marge CEM suffisante (et non surdimensionnée) pour compenser toute dérive CEM à long terme ?

Je décrirai en détail les travaux réalisés sur cette axe de recherche dans le chapitre 5.

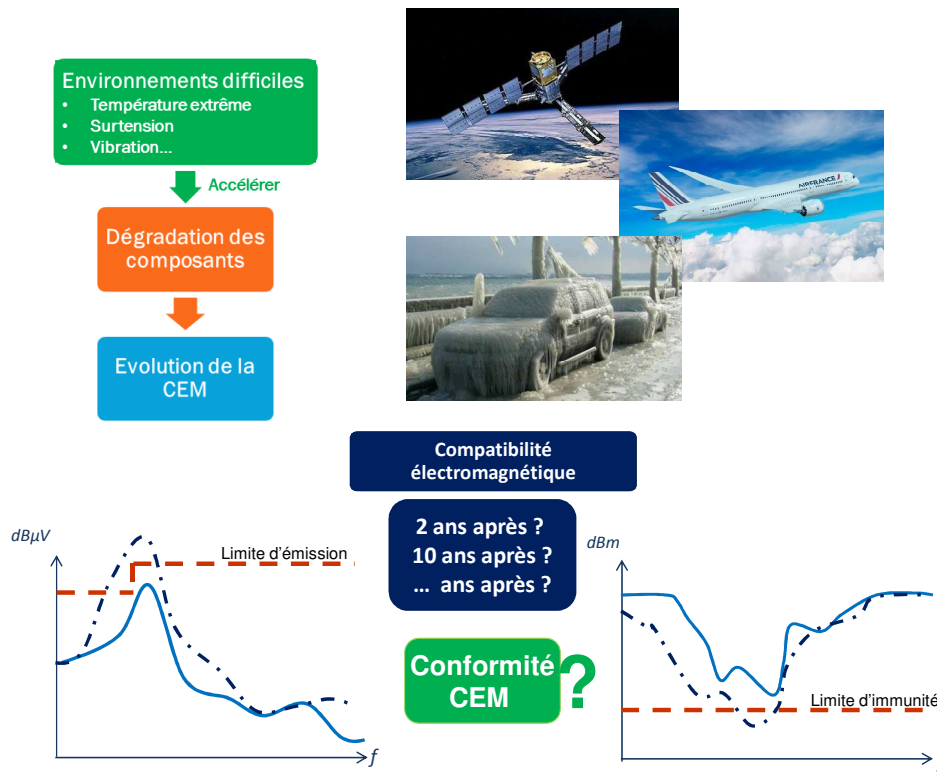


Figure 10 – Illustration de la problématique de CEM à long terme

IV. Conclusion

Mes travaux de recherche sont en lien avec la CEM des composants électroniques, domaine dont j'ai brièvement expliqué le contexte et décrit les principaux enjeux dans ce chapitre. Les trois principaux axes de recherche auxquels j'ai contribué ces dix dernières années ont été brièvement introduits. Ceux-ci seront décrits de manière plus détaillée dans les prochains chapitres. Les Tableau 1 et 2 résument mes activités scientifiques au travers des projets de recherche auxquels j'ai participé et des thèses co-encadrées durant la période 2008 - 2018.

Projets et thèses co-encadrées	Thématiques de recherche			
	Caractérisation CEM en champ proche (Chapitre 3)	Modélisation des CI pour la CEM (Chapitre 4)	CEM à long terme (Chapitre 5)	Sujets prospectifs (Chapitre 6)
FUI EPEA (2007-10)		X		
Nanospace (2008-09)			X	
EMRYC (2008-11)			X	
ANR JC EMRIC (2009-13)			X	
ANR E-Mata-Hari (2012-15)	X			
FP7 AUTOMICS (2012-15)		X		
IRT Robustesse Electronique (2014-17)		X	X	
Erasmus+ MECA (2016-19)		X		
IRT FELINE (2017-20)	X			X

Tableau 1 - Résumé des projets de recherche auxquels j'ai participé et lien avec mes activités de recherche (période 2008-2018)

Contexte et positionnement de mes travaux de recherche

	Thématiques de recherche				
	Caractérisation CEM en champ proche (Chap. 2)	Modélisation des CI pour la CEM (Chap. 3)	CEM à long terme (Chap. 4)	Sujets prospectifs (Chap. 5)	Hors CEM
Thèses co-encadrées					
Thèse Binhong Li (2008-11)			X		
Thèse Clément Crémoux (2011-14)					X
Thèse He Huang (2012-15)			X		
Thèse Veljko Tomasevic (2012-17)		X			
Thèse Chaimae Ghfiri (2014-17)		X	X		
Thèse Nabil El Beghiti Alaoui (depuis 2016)	X				X
Thèse Saliha Chetouani (depuis 2017)		X		X	
Thèse Sébastien Serpaud (depuis 2018)	X				
Thèse Matthieu Girouard (depuis 2018)		X		X	

Tableau 2 - Résumé des thèses co-encadrées et lien avec mes activités de recherche (période 2008-2018)

Références

- [ARM08] K. Armstrong, " Why Conventional EMC Testing is Insufficient for Functional Safety (and what to do about it)", 2008 IEEE Symp. on Product Compliance Eng., Oct. 2008.
- [BEN06] S. Ben Dhia, M. Ramdani, E. Sicard, "Electromagnetic Compatibility of Integrated Circuits - Techniques for Low Emission and Susceptibility", Springer, 2006.
- [BEN07] S. Ben Dhia, E. Sicard, Y. Méquignon, A. Boyer, J. M. Diénot, "Thermal Influence on 16-Bits Microcontroller Emission", 2007 IEEE Int. Symp. on EMC, July 2007.

Contexte et positionnement de mes travaux de recherche

- [BEN13] S. Ben Dhia, A. Boyer, "Long-term Electro-Magnetic Robustness of Integrated Circuits: EMRIC research project", *Microelectronic Reliability*, Vol. 53, Issues 9-11, Sept.-Nov. 2013, pp 1266-1272.
- [BENF12] J. Benfica, L. Bolzani Poehls, F. Vargas, J. Lipovetzky, A. Lutenberg, S. E. Garcia, "Configurable Platform for SoC Combined Tests of TID Radiation, Aging and EMI", 2012 Asia-Pacific Symp. on EMC, May 2012.
- [BOY13] A. Boyer, S. Ben Dhia, "Effect of Electrical Stresses on Digital Integrated Circuits Power Integrity", IEEE Workshop on. Signal and Power Integrity (SPI), Paris, France, May 2013.
- [BOY17] A. Boyer, E. Sicard, "Basis of Electromagnetic Compatibility of Integrated Circuits - A modeling approach using IC-EMC", Presses Universitaires du Midi, Oct. 2017, ISBN 978-2-8107-0522-1.
- [CHA05] A. Charoy, "Compatibilité Electromagnétique - 2e Edition", Dunod, 2005
- [DUR13] A. Durier, C. Marot, O. Alilou, "Using the EM simulation tools to predict EMC immunity behavior of a automotive electronic board after a component change", 2013 Int. Symp. on EMC (EMC Europe 2013), Belgium, Sept. 2013.
- [DUV15] C. Duvvury, H. Gossner, "System Level ESD Co-Design", Wiley - IEEE Press, Sept 2015.
- [EUR14] Directive 2004/108/EC of the European Parliament and of the Council of 15 December 2004 on the approximation of the laws of Member States relating to electromagnetic compatibility and repealing Directive 89/336/EC.
- [FUN06] N. Funabiki, Y. Nomura, J. Kawashima, Y. Minamisawa, O. Wada, "A LECCS model parameter optimization algorithm for EMC designs of IC/LSI systems", 17th Int. Zurich Symp. on EMC, Mar. 2006.
- [GST06] A. Gstöttner, T. Steinecke, M. Huemer, "Activity Based High Level Modeling of Dynamic Switching Currents in Digital IC Modules", 17th Int. Zurich Symp. on EMC, 2006
- [IBI] IBIS I/O Buffer Information Specification v 6.1 - https://ibis.org/ver6.1/ver6_1.pdf - Ratified Sept. 11, 2015.
- [IEC619] IEC61967-1 – edition 1.0: Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 1: General conditions and definitions, 2002-03.
- [IEC621] IEC62132-1 – edition 1.0: Integrated circuits - Measurement of electromagnetic immunity, 150 kHz to 1 GHz - Part 1: General conditions and definitions, 2006-01.
- [IEC624] IEC TS 62433-1 - edition 1.0: EMC IC modelling - Part 1: General modelling framework, 2011-04.
- [IEEE79] IEEE Trans. on EMC, Special Issue on RF Interference Effects in Semiconductor Discrete Devices and Integrated Circuits, vol. 21, no 4, Nov. 1979.
- [IET13] IET Guidance "Overview of techniques and measures related to EMC for Functional Safety", Institution of Engineering and Technology, August 2013.
- [LAF11] F. Fafon, "Développement de techniques et de méthodologies pour la prise en compte des contraintes CEM dans la conception d'équipements du domaine automobile. Etude de l'immunité, du composant à l'équipement", thèse de doctorat, Université européenne de Bretagne, 2011.
- [LAH98] A. Lahyani, P. Venet, G. Grellet, P.J. Viverge, "Failure Prediction of Electrolytic Capacitors During Operation of a Switchmode Power Supply," IEEE Trans. Power Electr., vol. 13, no 6, Nov. 1998.
- [LEV04] J.-L. Levant, M. Ramdani, R. Perdriau, "ICEM modeling of microcontroller current activity," *Microelectronic Journal.*, vol. 35, no. 6, pp. 501–508, Jun. 2004.
- [MIR11] Marine Investigation Report M11W0211, Striking of Berth Roll-on/Roll-off Ferry Coastal Inspiration Duke Point, British Columbia, 20 December 2011, Transportation Safety Board of Canada, <http://publications.gc.ca/site/fra/441094/publication.html>.

- [PAR10] H. H. Park, S. H. Song, S. T. Han, T. S. Jang, J. H. Jung, H. B. Park, "Estimation of Power Switching Current by Chip-Package-PCB Cosimulation", IEEE Trans. on EMC, vol. 52, no 2, May 2010.
- [RAM09] M. Ramdani, E. Sicard, A. Boyer, S. Ben Dhia, J. J. Whalen, T. Hubing, M. Coenen, O. Wada, "The Electromagnetic Compatibility of Integrated Circuits – Past, Present and Future", IEEE Transactions on Electromagnetic Compatibility, vol. 51, no. 1, pp. 78-99, February 2009.
- [RED10] J.-M. Redouté, M. Steyaert, EMC of Analog Integrated Circuits, Springer, 2010.
- [REG01] J. R. Regue, M. Ribo, "A genetic algorithm based method for source identification and far-field radiated emissions prediction from near-field measurements for PCB characterization", IEEE Trans. on EMC, vol. 43, 2001, pp. 520–530.
- [SHI04] J. Shi, M. A. Cracraft, J. Zhang, R. E. Dubroff, K. Slattery, M. Yamaguchi, "Using near-field scanning to predict radiated fields", IEEE Int. Symp. EMC, Aug. 2004.
- [SJO05] L. Sjörgen, M. Bäckstörn, "Ageing of Shielding Joints Shielding Performance and Corrosion", IEEE EMC Society Newsletter, Sept 2009.
- [SLA99] K. Slattery, W. Cui, "Measuring the Electric and Magnetic Near Fields in VLSI Devices", 1999 IEEE Int.Symp. on EMC, July 1999.
- [STE09] T. Steinecke, M. Gökçen, J. Kruppa, P. Ng, N. Vialle, "Layout-Based Chip Emission Models Using RedHawk", EMC Compo 2009.
- [TRI07] P. Triverio, S. Grivet-Talocia, M. S. Nakhla, F. G. Canavero, R. Achar, "Stability, causality, and passivity in electrical interconnect models," IEEE Trans. Adv. Packag., vol. 30, no. 4, pp. 795–808, Nov. 2007.
- [WU18] C. H. Wu, H. N. Lin, J. W. Fu, J. Lin, "RFI Suppression and Throughput Improvement of WiFi Performance with Graphene Coating for Converging Mobile Device", EMC Europe 2018, Amsterdam, Sept. 2018.

Chapitre 3 : Caractérisation en champ proche pour la CEM des circuits intégrés

Mes travaux de recherche sur l'utilisation du champ proche pour l'étude de la CEM des circuits intégrés ont démarré lors de ma thèse, encadrée par E. Sicard et S. Ben Dhia. Elle avait pour sujet d'étude les problèmes de couplage en champ proche au sein des systèmes-en-boîtier. L'assemblage de circuits hétérogènes dans un volume réduit exacerbe les couplages en champ proche entre les différents circuits et donc les problèmes d'auto-compatibilité. Le but de la thèse était de développer des méthodes de caractérisation et de modélisation adaptée à cette problématique. Le scan champ proche en émission, alors en plein essor, est vite apparu comme un moyen d'analyse pertinent pour évaluer les agresseurs potentiels. Cependant, l'étude des couplages en champ proche nécessitait aussi d'analyser les victimes potentielles. Or, l'utilisation du scan champ proche pour l'étude de l'immunité était encore minoritaire et avait été exploré dans quelques travaux pionniers [LAU91] [ZAK92]. Une des contributions de ma thèse a donc été le développement du scan champ proche en immunité. Les deux premières parties de ce chapitre présentent ces travaux.

Le savoir-faire acquis autour du scan champ proche, notamment en immunité, a resservi ultérieurement dans d'autres travaux de recherche, comme le projet ANR E-Mata-Hari [CHU14]. Celui-ci portait sur l'injection en champ proche sur puce comme technique d'attaque électromagnétique des circuits cryptographiques. Bien que l'application visée ne soit pas directement reliée à la CEM, les méthodologies de mesure et de modélisation développées peuvent resservir à la CEM. Les parties III et IV de ce chapitre portent sur des travaux effectués dans le cadre de ce projet. La dernière partie de ce chapitre est dédiée à une utilisation originale de la mesure en champ proche comme outil de tests des circuits imprimés. Ce travail s'effectue dans le cadre de la thèse CIFRE de Nabil El Belghiti Alaoui, en partenariat avec ACTIA Automotive.

I. Développement du scan champ proche en immunité

1. Présentation de la méthode de mesure

Entre 2004 et 2007, j'ai été parmi les premiers à travailler sur le développement d'une méthode de caractérisation de l'immunité des circuits intégrés aux perturbations harmoniques appliquées en champ proche. Cette mise en œuvre nécessitait d'identifier un protocole d'essais, de développer des sondes d'injection, de valider sur des cas concrets l'apparition de défaillances produites par l'injection et de modéliser l'interaction entre la sonde et le circuit sous test. A la même époque, des travaux similaires étaient réalisés dans d'autres laboratoires, comme l'IMS [DUB08], Missouri-Rolla [WAN04] ou l'IRSEEM [LES10]. Mes travaux visaient aussi à alimenter les comités de standardisation, notamment pour la normalisation des essais en immunité des CI dans le cadre du standard IEC62132. La méthode devait répondre aux besoins suivants :

- Injection localisée, dans un but de diagnostic de l'immunité d'un CI

Caractérisation en champ proche pour la CEM des circuits intégrés

- Fréquence maximale d'injection étendant les méthodes du standard IEC62132 (> 1 GHz)
- Simplicité de mise en œuvre
- Répétitivité assurée des mesures
- Absence de carte de test spécifique
- Modèle générique simple

La méthode de caractérisation de la susceptibilité en champ proche reprend la plupart des éléments d'un banc d'injection harmonique :

- chemin d'injection, composé d'un synthétiseur de signal et d'un amplificateur de puissance.
- un coupleur directionnel, utilisé pour relever le niveau d'excitation de la sonde d'injection
- un balayage fréquentiel et en amplitude pour déterminer le seuil de susceptibilité
- l'analyse du critère de défaillance

Le banc de scan champ proche en immunité reprend aussi les principes du banc de scan champ proche en émission, décrits dans le chapitre précédent à la Figure 7 :

- l'utilisation d'une antenne miniature (sonde champ proche) électrique ou magnétique, utilisée comme antenne d'injection supposée quasi-ponctuelle
- un balayage spatial de la sonde d'injection au-dessus du circuit sous test, à l'aide d'un système de positionnement trois axes. Pour chacune des positions de la sonde, le seuil de susceptibilité du circuit sous test est déterminé
- la reconstitution d'une cartographie de l'immunité du circuit sous test, montrant ses zones "sensibles"

Le principe du banc de scan champ proche en immunité est résumé à la Figure 11.

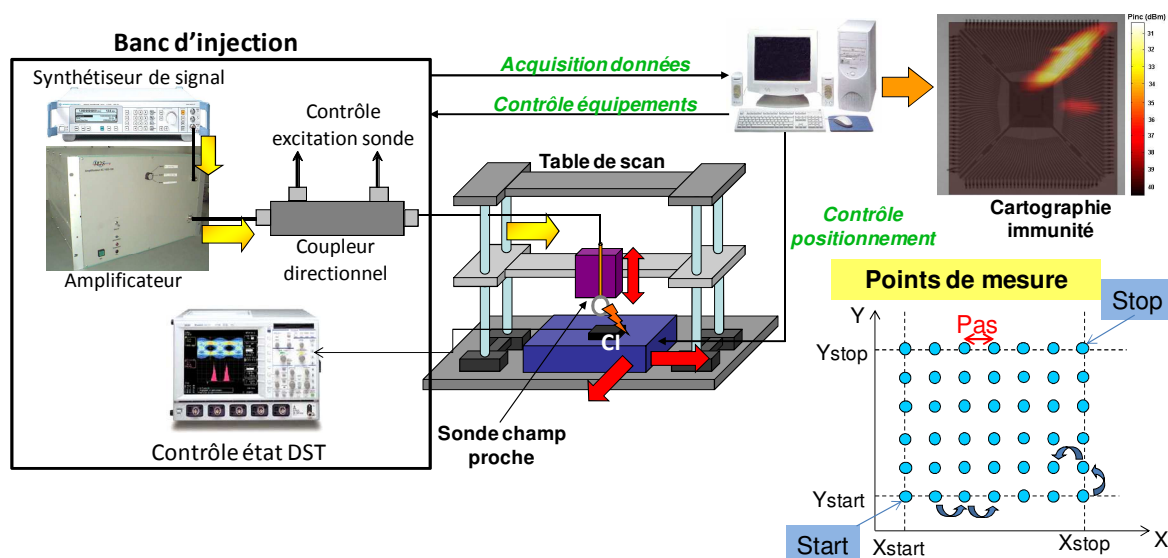


Figure 11 - Principe d'un banc de scan champ proche en immunité (injection harmonique)

Deux des caractéristiques importantes d'une méthode de caractérisation de l'immunité sont la bande passante et le couplage avec le DST, que j'appellerai efficacité d'injection. Plus ce dernier est élevé, moins l'excitation requise pour créer une défaillance du DST est élevée. Ces deux critères peuvent être utilisés pour la comparer à d'autres méthodes de test existantes. Pour cela, nous avons mesuré le coefficient de transmission entre une sonde magnétique de 4 mm de diamètre et une ligne micro-ruban adaptée 50 Ω entre 10 MHz et 10 GHz, séparées de 1 mm, comme le montre la Figure 12. Celui-ci augmente en 20 dB/dec en raison de la nature inductive du couplage et tend à saturer vers une valeur maximale dès que l'impédance de la sonde n'est plus négligeable devant celle du récepteur. Le couplage est directement lié à la surface de la sonde d'injection et à la distance au circuit sous test. Au-delà de 6 GHz, le couplage décroît et des résonances apparaissent, limitant sa bande passante. Elle peut être accrue en réduisant ses dimensions, mais au prix d'une diminution du couplage en basse fréquence.

Le couplage peut sembler faible, mais il est comparable à celui obtenu à l'aide d'autres méthodes de mesure de la susceptibilité rayonnée. A titre d'exemple, la Figure 12 compare le résultat précédent avec le couplage mesuré entre la piste 50 Ω et une cellule TEM. Jusqu'à 400 MHz, les couplages mesurés avec ces deux méthodes sont équivalents, mais au dessus de 400 MHz, le couplage est plus important avec l'injection en champ proche. Comparé à la méthode d'injection en cellule TEM, l'injection en champ proche ne nécessite pas que le circuit à tester soit monté sur une carte de test spécifique.

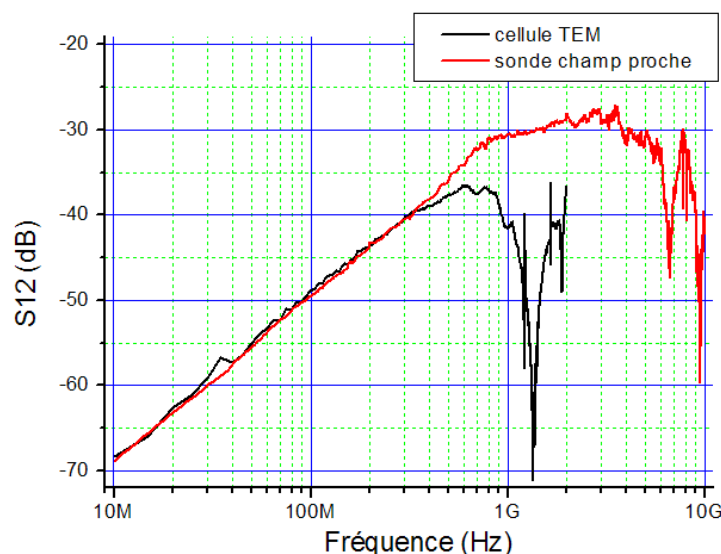


Figure 12 – Comparaison du couplage avec une ligne adaptée 50 Ω dans le cas d'une injection en champ proche et d'une injection en cellule TEM [BOYE07]

2. Modélisation des sondes d'injection

Les sondes champ proche, utilisées ici comme sondes d'injection, sont un élément central du banc d'injection. L'efficacité d'injection, la bande passante et la résolution spatiale sont fortement reliées à la géométrie de la sonde. Un modèle reliant ses caractéristiques géométriques et ses performances est requis pour concevoir la sonde "optimale" pour un test donné. Un modèle est aussi nécessaire pour déterminer les champs E et H produits à

proximité de la sonde d'injection et comparer par exemple l'efficacité d'injection du scan champ proche en immunité de la méthode avec d'autres méthodes d'injection.

Même si les outils de simulation électromagnétique 3D permettent de modéliser précisément les sondes d'injection, j'ai préféré développer des formules mathématiques simples et pratiques, afin d'évaluer plus rapidement les performances d'une sonde en fonction de leur géométrie. En raison de leur taille électriquement petite et de leur géométrie relativement simple, cette approche fournit des résultats d'une précision suffisante. Au cours de mes différents travaux sur l'immunité en champ proche, j'ai pu déterminer et valider des formules simples pour dériver des modèles électriques équivalents et estimer le champ produit par des sondes électriques et magnétiques mono ou multi-tours, à une ou plusieurs couches, avec ou sans noyau magnétique. A titre d'exemple, les équations 1 à 3 décrivent les formules utilisées pour bâtir le modèle électrique équivalent d'une sonde magnétique multi-tours, comme celle décrite à la Figure 13. Ce modèle est basé sur les formules de Lundin [LUN85] et de Medhurst [MED47].

$$L = \mu_0 N^2 \frac{2\pi r_l^2}{l} \left(F_1 \left(\frac{4r_l^2}{l^2} \right) - \frac{8}{3\pi} \frac{r_l}{l} \right) \quad \text{Équation 1} \quad F_1(x) = \frac{1 + 0.38x + 0.017x^2}{1 + 0.26x} \quad \text{Équation 2}$$

$$C = \frac{4\epsilon_0}{\pi} l \left(1 + 0.71 \frac{2(r_l + r_w)}{l} + 2.395 \left(\frac{2(r_l + r_w)}{l} \right)^{1.5} \right) \quad \text{Équation 3}$$

où N est le nombre de tours, l et r_l la longueur et le rayon de la boucle et r_w le rayon du fil formant la boucle. Avec un tel modèle, le courant d'excitation d'une sonde d'injection peut être déterminé précisément, ainsi que le champ magnétique produit à proximité de la sonde.

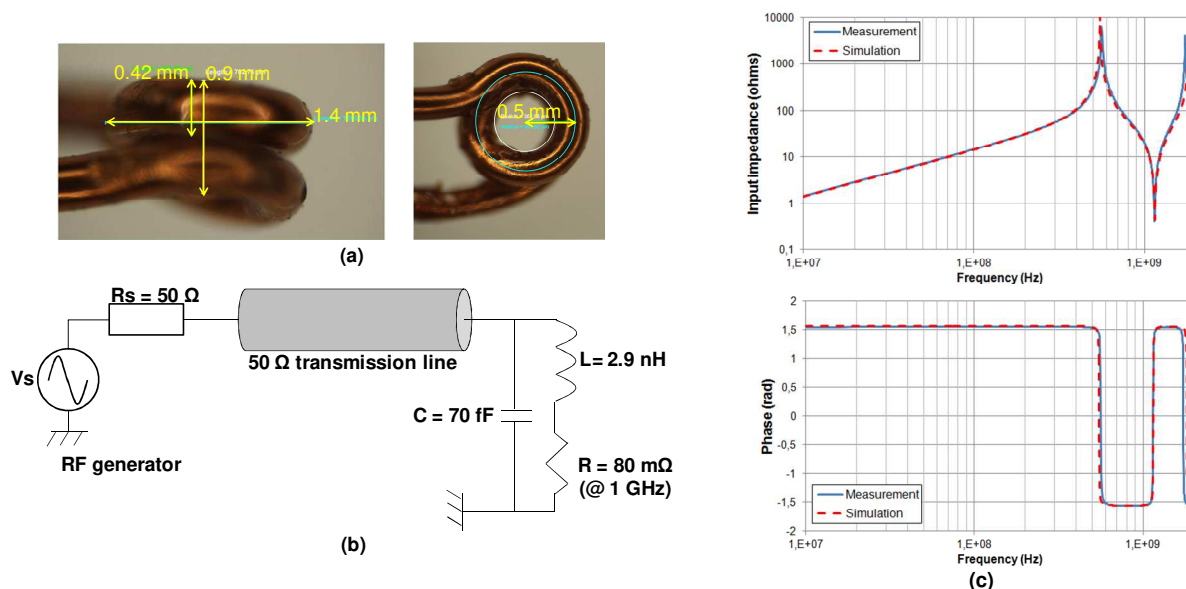


Figure 13 – (a) Sonde champ proche magnétique multi-tour, (b) modèle électrique équivalent et (c) comparaison entre les impédances d'entrée mesurées et simulées [BOY16]

Connaissant le champ produit à proximité de la sonde d'injection, la tension qu'elle induit aux extrémités d'une ligne à deux conducteurs placée sous la sonde peut être calculée : à l'aide

de l'équation 4 dans le cas d'une sonde électrique et de l'équation 5 pour une sonde magnétique.

$$V_E = \frac{Z_{L1} Z_{L2}}{Z_{L1} + Z_{L2}} \int_0^{L_{\text{line}}} j\omega C_{\text{line}} E_Z(l) h_{\text{line}} dl \quad \text{Équation 4}$$

$$V_H = \frac{Z_{L1}}{Z_{L1} + Z_{L2}} \int_0^{L_{\text{line}}} j\omega \mu_0 H_{\text{tan}}(l) h_{\text{line}} dl \quad \text{Équation 5}$$

où L_{line} est la longueur de la ligne, h_{line} la séparation entre les deux conducteurs, C_{line} la capacité par unité de longueur de la ligne, Z_{L1} et Z_{L2} les impédances de terminaison de la ligne. La Figure 14 présente une comparaison entre mesures et simulations de la tension induite en bout d'une ligne micro-ruban par une sonde d'injection soit électrique, soit magnétique. Le modèle proposé reproduit correctement le couplage de l'injection en champ proche sur la structure sous test jusqu'à 3 GHz.

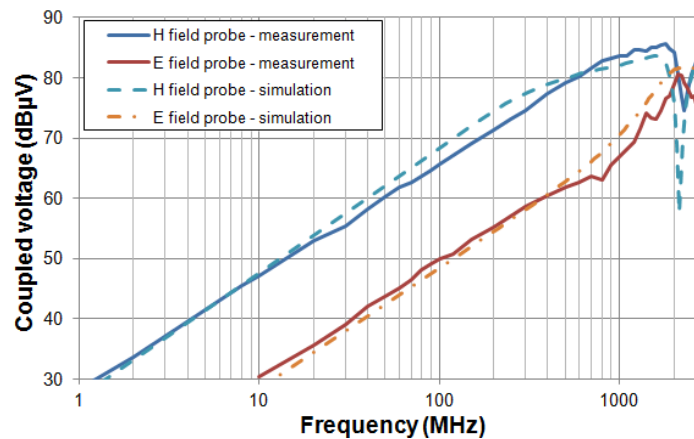


Figure 14 - Comparaison entre mesures et simulations du couplage entre sondes d'injection électrique ou magnétique et une ligne micro-ruban [BOY14]

3. Essais d'injection sur circuits intégrés

Le scan champ proche en immunité présente de nombreux avantages tels que la bande passante ou son utilisation sur n'importe quelle carte. Cependant, le couplage avec un circuit sous test reste faible et il était important de vérifier que la méthode permettait de générer des défaillances sur des CI, sans mettre en jeu des puissances d'injection excessives. En outre, nous voulions vérifier que la résolution spatiale était suffisante pour localiser les broches responsables du couplage de la perturbation incidente conduisant à une défaillance.

Durant ma thèse et des travaux ultérieurs, j'ai eu l'occasion de tester cette méthode sur différents types de CI, analogiques ou numériques. J'ai constaté que des défaillances apparaissaient pour des puissances d'injection comprises entre 30 et 50 dBm. Ces puissances sont compatibles avec les amplificateurs de puissance typiques des laboratoires de tests CEM, et sont comparables avec celles mis en jeu dans d'autres essais d'immunité (cellule TEM, Bulk Current Injection). En outre, tous ces essais ont permis de localiser sans ambiguïté les parties sensibles d'un CI. Ci-dessous, deux exemples sont présentés pour illustrer les possibilités de la méthode.

Le premier exemple concerne un convertisseur analogique-numérique (CAN) intégré à un microcontrôleur. Cette fonction est sensible aux perturbations électromagnétiques puisque le bruit induit peut altérer le résultat de conversion. Le scan en immunité champ proche révéla trois broches responsables dans le couplage des perturbations rayonnées, comme l'illustre la Figure 15 : l'entrée analogique *AN00*, la référence de tension *VRL* et la référence de masse *VSSA* (voisine de *VRL*). L'étude des seuils de susceptibilité mesurés au-dessus de ces broches montrèrent des sensibilités fréquentielles différentes, qui furent comprises après modélisation, comme le montre l'article [BOY07]. Le scan en immunité champ proche permet d'analyser en détail la susceptibilité de ce circuit sans besoin d'injection conduite ou de carte spécifique, avec un niveau de puissance d'injection disponible dans un laboratoire CEM typique. A titre de comparaison, la susceptibilité composant fut aussi étudiée en cellule TEM. Avec un amplificateur de puissance limitée à 40 dBm, mais aucune défaillance ne fut observée. Alors qu'avec 40 dBm le champ magnétique à 1 mm sous la sonde est de 25 A/m, il n'est que de 1.3 A/m à l'intérieur de la cellule TEM pour la même puissance.

Cette constatation a aussi été faite dans d'autres études de susceptibilité de circuits, telles que celle décrite dans l'article [LAC17]. Dans le cadre de cette étude que j'ai menée en commun avec Nexio et Airbus, la susceptibilité d'un récepteur pour bus ARINC fut analysée à l'aide du scan champ proche en immunité et comparée à celle mesurée en cellule TEM. Alors que plusieurs types de défaillances furent révélées entre 1 MHz et 1 GHz à l'aide de l'injection en champ proche, aucune défaillance ne fut observée en cellule TEM avec la même puissance. Les efficacités d'injection des différentes méthodes furent comparées et un écart de 20 à 40 dB fut mesuré (Figure 16). Une puissance de 20 à 40 dB supplémentaire était donc nécessaire pour observer les mêmes défauts en cellule TEM.

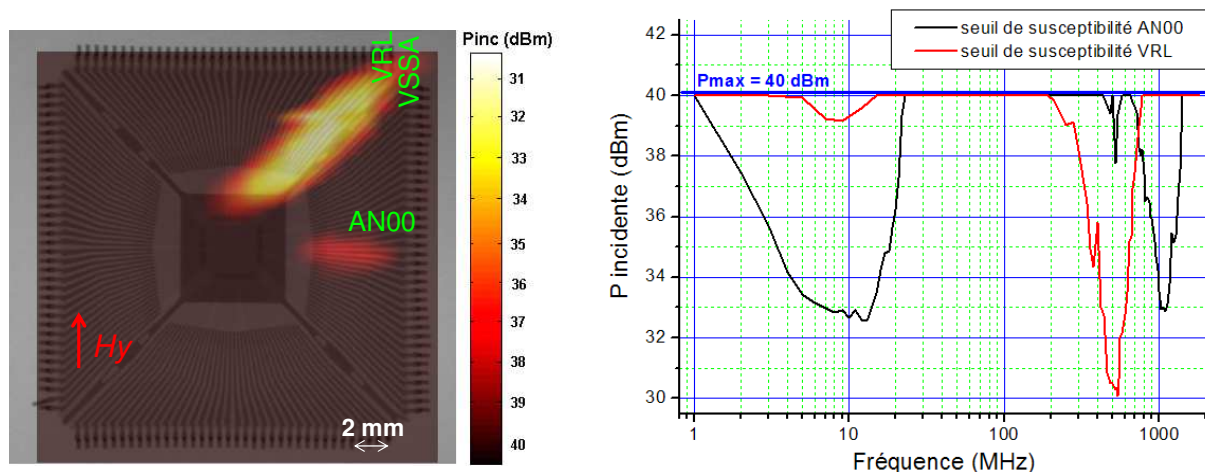


Figure 15 – Immunité en champ proche d'un CAN : Cartographie de la susceptibilité champ proche à 500 MHz (à gauche) et seuils de susceptibilité mesurés au-dessus des broches AN00 et VRL (à droite) [BOY07]

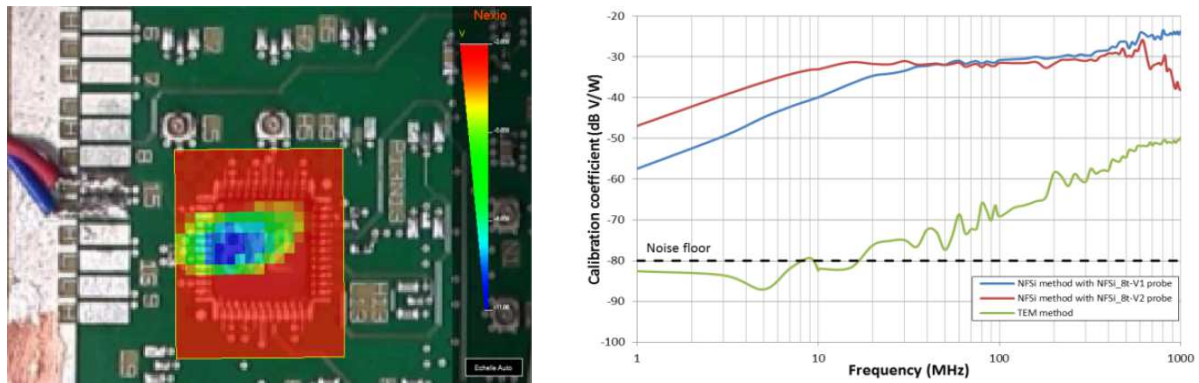


Figure 16 – Immunité en champ proche d'un récepteur ARINC : Cartographie de la susceptibilité champ proche à 200 MHz (à gauche) et comparaison des efficacité d'injection entre le scan champ proche en immunité et la cellule TEM (à droite) [LAC17]

4. Vers une standardisation de la méthode

Le scan champ proche en immunité constitue une méthode industrielle intéressante pour analyser les problèmes de susceptibilité se déclarant sur des composants lors d'essais CEM, comme l'ont montré les parties précédentes. Cependant, l'industrialisation d'une méthode de caractérisation nécessite d'apporter des solutions pratiques à de nombreux problèmes scientifiques et techniques. En effet, la méthode doit être compatible avec les contraintes de l'industrie et fournir des éléments de réponse concrets. Mes travaux sur le scan champ proche en immunité ont donc été menés en intégrant cette exigence industrielle.

Un exemple de problème concret est lié à la manière dont est représenté le résultat du test d'immunité en champ proche, afin de le rendre interprétable par l'utilisateur industriel final. C'est une question sur laquelle j'ai travaillé avec Sébastien Serpaud, ingénieur de la société Nexio puis doctorant que j'encadre actuellement. L'idéal serait de disposer de l'amplitude de la perturbation induite en entrée du DST, mais cette grandeur n'est pas disponible en pratique. Il existe différentes manières de représenter le résultat en utilisant les paramètres mesurables pendant l'essai d'injection :

- la puissance électrique incidente mesurée par l'intermédiaire d'un coupleur (les résultats affichés sur les figures 5 et 6 sont représentés sous cette forme)
- le courant d'excitation de la sonde, déduit de la puissance incidente mesurée et du modèle électrique de la sonde
- le champ magnétique produit par la sonde à une distance de référence, déduit du courant d'excitation et du modèle électrique de la sonde

Cependant, chacune de ces méthodes de représentation a un défaut : l'effet appliqué sur le DST ne peut être déduit facilement. En effet, il dépend de nombreux paramètres tels que les dimensions de la sonde, la hauteur de scan, la puissance d'injection ou l'impédance d'entrée du circuit sous test. Nous avons donc proposé une autre approche détaillée dans [LAC17], où le résultat est exprimé en se ramenant à l'effet produit sur un cas de référence comme la tension induite sur une ligne microruban 50 Ω . La mesure passe par une phase de calibration préalable valable pour un type de sonde et une hauteur de scan donné. Pour chaque fréquence, on relève la puissance incidente nécessaire pour induire une tension de 1

V. Lors du test de susceptibilité proprement dit, la puissance relevée lors de la défaillance sera remplacée par la tension qui aurait été induite sur le cas de référence. Même si la méthode ne permet pas de connaître précisément la tension réellement appliquée sur l'entrée du composant défaillant, la méthode donne un ordre de grandeur de la sensibilité du composant, qui sera interprétable par l'utilisateur.

Pour conclure sur mes travaux autour du développement du scan champ proche en immunité, ceux-ci ont inspiré l'élaboration de la spécification technique IEC 62132-9 " Measurement of radiated immunity - Surface scan method" [IEC62-9], projet porté par John Sheperd, ingénieur à Freescale Semiconductor, et publiée en 2014.

II. Etude des couplages en champ proche au sein des systèmes en boîtier

Le scan champ proche en immunité a d'autres utilisations que celles décrites dans la partie précédente. Il peut être utilisé comme outil d'analyse et de prédiction de problème de CEM lors du rapprochement de composants électroniques. L'intégration de plusieurs CI à l'intérieur d'un même boîtier, formant ainsi un système en boîtier, présente de nombreux avantages du point de vue électromagnétique tels que l'amélioration de l'intégrité des signaux, la réduction de l'émission rayonnée et l'augmentation de l'isolation entre circuits bruyants et sensibles (en comparaison avec une intégration sur le même substrat). Cependant, la proximité de plusieurs circuits accroît les couplages mutuels entre leurs interconnexions, créant un problème d'auto-compatibilité au sein du même boîtier. Durant ma thèse, je cherchais des méthodologies basées sur la mesure ou la simulation permettant d'estimer le risque de problème d'auto-compatibilité entre deux circuits placés en grande proximité, par exemple en les montant au sein d'un même boîtier (Figure 17). Le même problème peut se poser dans le cas où l'on rapproche deux composants montés sur deux cartes montées dans un même équipement. Ce genre de problème, assimilable à un problème de diaphonie, peut être corrigé efficacement en jouant sur le placement des composants. Cependant, il est nécessaire de disposer d'un outil d'estimation du risque de problème d'auto-compatibilité pour déterminer si une proposition de placement serait satisfaisante ou déterminer des zones d'exclusion des composants. Dans cette partie, je présenterai brièvement une méthode expérimentale basée sur la mesure champ proche que j'ai développée. Dans le prochain chapitre, une méthode basée sur une co-simulation électrique-électromagnétique sera décrite.

Une manière empirique pour évaluer ce risque est de considérer qu'un des circuits constitue une source du point de vue CEM tandis que le second circuit est la victime, puis de comparer leurs niveaux d'émission et d'immunité dans le domaine fréquentiel. Si une marge suffisante existe entre ces deux niveaux, le risque d'interférences devient négligeable, comme l'illustre la Figure 17. Dans le cas d'un couplage mutuel entre deux circuits rapprochés, celui-ci se fait en zone de champ proche. L'analyse peut se faire en considérant le niveau d'émission en champ proche à une distance de référence de l'agresseur et le seuil de susceptibilité en champ proche du circuit victime. Ces deux niveaux peuvent être mesurés à l'aide du scan champ proche, utilisé en mode émission ou immunité.

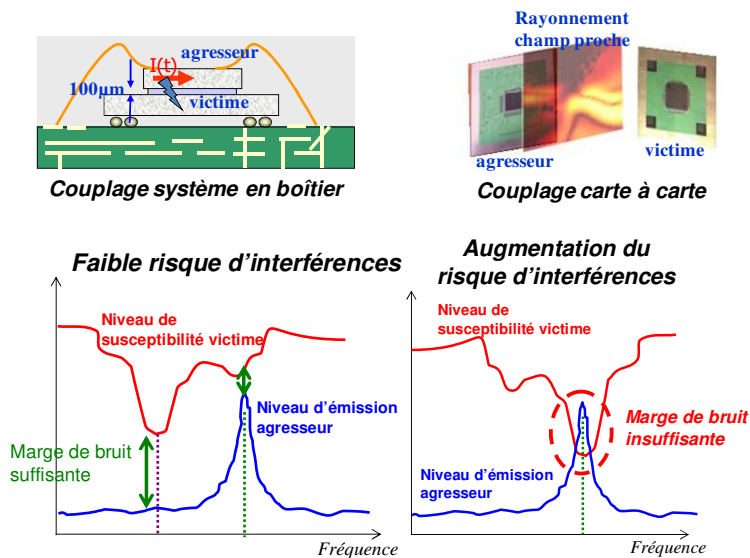


Figure 17 – Illustration des problèmes d'auto-compatibilité : rapprochement de circuits au sein d'un même boîtier ou entre deux cartes d'un même équipement (haut) - Analyse de l'auto-compatibilité entre circuits par comparaison des niveaux d'émission et de susceptibilité (bas)

Cependant, plusieurs difficultés apparaissent. D'abord, comment définir la marge minimale entre les niveaux d'émission et d'immunité pour garantir l'absence de défaillance ? Ensuite, la méthodologie illustrée à la Figure 17 compare deux niveaux fréquence par fréquence. Comparer directement un spectre d'émission et un seuil de susceptibilité harmonique n'a de sens que si le spectre d'émission est purement harmonique, ce qui n'est pas le cas dans la plupart des cas pratiques. Il est donc nécessaire de tenir compte de l'effet de toutes les harmoniques présentes dans son spectre.

Dans le cadre d'un travail avec un autre doctorant du LATTIS, Samuel Akue Boulingui, nous avons proposé et validé expérimentalement une méthodologie simple tenant compte de ces difficultés. Cette méthodologie est basée sur la notion de niveau d'émission relatif W_n , où le niveau d'émission E_n pour chaque harmonique n du signal émis est pondéré par le seuil de susceptibilité S_n (équation 6). La réponse du circuit victime à la perturbation incidente est supposée quasi-linéaire, hypothèse acceptable lorsque l'amplitude de la perturbation reste faible. L'effet d'une harmonique du signal agresseur sur le circuit victime va être d'autant plus sévère que le circuit est susceptible à cette fréquence. Pour déterminer l'impact de la perturbation sur le circuit victime, il est nécessaire de considérer l'effet de toutes les harmoniques composant le signal émis et de les ajouter en considérant leurs amplitudes et leurs phases. Cependant, l'information de phase n'est pas disponible. On peut néanmoins prévoir l'amplitude maximale, correspondant au scénario pire cas. Le résultat obtenu est appelé le coefficient d'interférence I , défini par l'équation 7. Si $I < 1$, la cumulation des différentes harmoniques du spectre d'émission n'est pas suffisante pour induire une défaillance. A contrario, si $I \geq 1$, la cumulation des différentes harmoniques du spectre d'émission peut induire une défaillance. La marge entre le niveau d'émission et le seuil de susceptibilité est donc insuffisante.

$$W_n = \frac{E_n}{S_n} \quad \text{Équation 6}$$

$$I = \sum_n W_n = \sum_n \frac{E_n}{S_n} \quad \text{Équation 7}$$

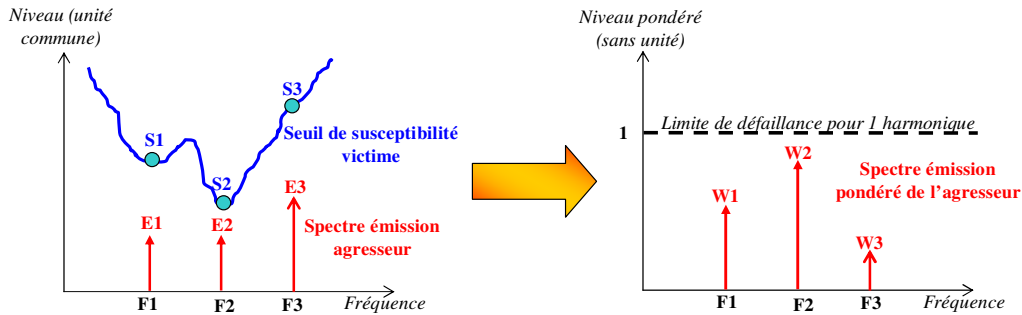


Figure 18 – Illustration du concept de niveau d'émission pondéré

Cette méthodologie fut testée sur le cas d'un transistor MOS de puissance, considéré comme la source, placé à proximité d'un CAN, considéré comme le circuit victime [BO07]. Ces deux circuits sont montés sur des cartes individuelles permettant, dans un premier temps, de mesurer individuellement leur niveau d'émission et de susceptibilité en champ proche. Dans un second temps, les deux cartes sont rapprochées en contrôlant la distance et l'orientation entre les circuits agresseurs et victimes. Les distances et les orientations conduisant à une erreur de conversion du CAN sont ainsi relevées. Pour chacune de ces positions, le niveau d'émission produit par l'agresseur est déterminé puis pondéré par le niveau de susceptibilité du circuit victime pour calculer le coefficient d'interférence. Ci-dessous, deux exemples sont présentés. Dans le premier exemple, la distance de séparation entre les deux circuits est nulle (leurs boîtiers se touchent). En comparant directement le niveau d'émission de l'agresseur et le seuil d'immunité de la victime (Figure 19), un dépassement apparaît clairement à 10 MHz. Le coefficient d'interférence dépasse 1, indiquant qu'il n'y a aucune marge entre le niveau d'émission de l'agresseur et le niveau de susceptibilité de la victime. L'expérimentation confirme qu'une erreur de conversion apparaît. La méthode prédit donc l'apparition d'une défaillance pour cette situation de positionnement, sans toutefois en estimer l'ampleur.

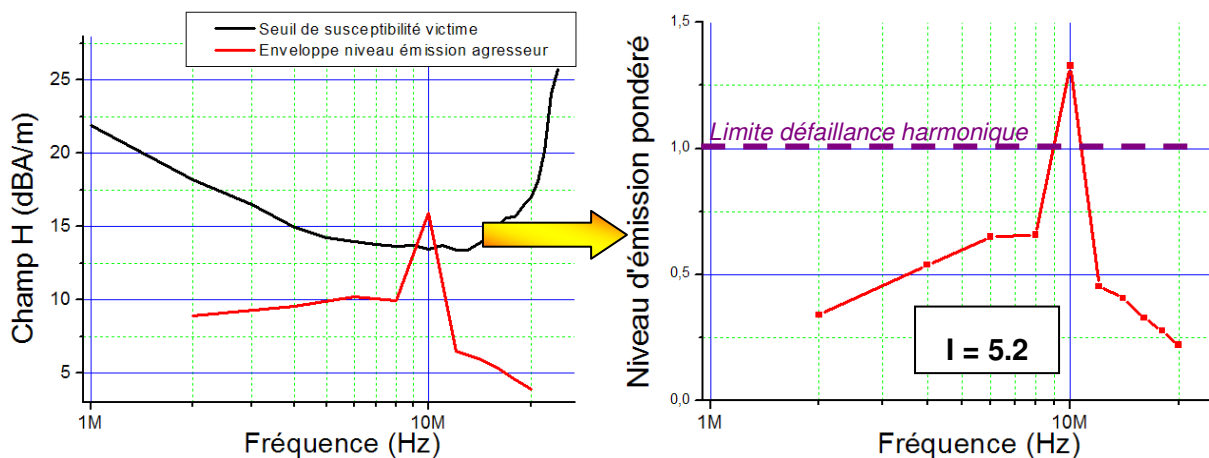


Figure 19 – Comparaison des niveaux d'émission et de susceptibilité (gauche) et niveau d'émission pondéré (droite) dans le cas où la séparation entre composants est nulle

Dans le second exemple, la séparation minimale pour faire disparaître l'erreur de conversion est d'abord déterminée expérimentalement (6 mm). Dans cette situation, une marge de 12 dB apparaît entre le niveau d'émission de l'agresseur et le seuil d'immunité de la victime, que l'on pourrait juger hâtivement suffisante pour éviter toute interférence. En cumulant les niveaux d'émission pondérés, on obtient un coefficient d'interférence proche de 1 qui nous indique que le CAN est à la limite de l'apparition d'une défaillance. Cette estimation est conforme au résultat expérimental et permet de déterminer une distance de séparation minimale entre les deux circuits pour éviter toute interférence. La méthodologie que nous avons validé avec S. Akue Boulingui peut s'appliquer à d'autres scénarios de rapprochement, car elle est indépendante du type de composant testé, dès que l'on dispose des premiers résultats de caractérisation en émission et en immunité.

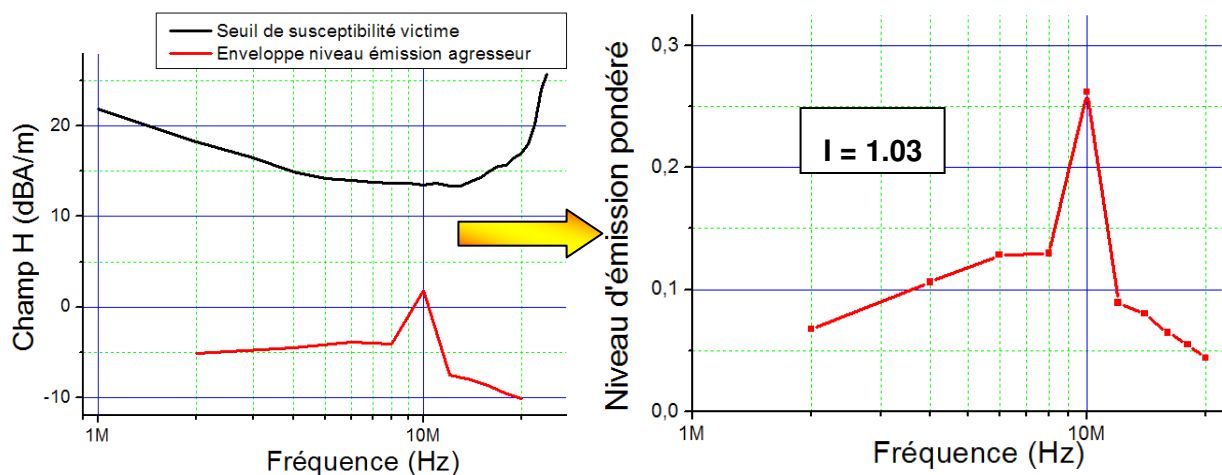


Figure 20 – Comparaison des niveaux d'émission et de susceptibilité (gauche) et niveau d'émission pondéré (droite) dans le cas où la séparation entre composants vaut 6 mm

III. Injection champ proche au niveau silicium

Dans les deux parties précédentes, l'injection en champ proche au niveau d'un composant se faisait par le couplage du champ incident produit par la sonde d'injection sur les interconnexions du boîtier du CI. A l'échelle du composant, il s'agit des antennes les plus efficaces, ce qui apparaît clairement sur les cartographies présentées sur les Figure 15 et Figure 16. Une question fondamentale est de savoir si une injection en champ proche directe sur la puce est suffisamment efficace pour induire une défaillance. Si c'est le cas, il devient possible de tester l'immunité à une échelle d'un CI encore plus locale. Parmi les applications possibles, on trouve celles liées à la sécurité des circuits cryptographiques face aux attaques électromagnétiques.

Les travaux présentés dans cette partie ont été réalisés dans le cadre du projet ANR e-Mata-Hari [CHU14], en partenariat avec les laboratoires IES, LIRMM, le CEA, Freescale Semiconductor et Safran Morpho. Dans ce projet, j'étais responsable d'un work package lié à la modélisation du couplage entre une sonde d'injection et un CI. Durant ce projet, je dirigeais un ingénieur de recherche payé sur ce contrat, Manuel Cavarroc, qui était responsable du développement des bancs de test utilisés pendant le projet et en charge des

mesures. Après une brève description du projet, je détaillerai les travaux réalisés dans ce projet.

1. Attaque électromagnétique en champ proche - Le projet e-Mata-Hari

Garantir la sécurité des échanges de données, qu'il s'agisse de transactions financières ou de communications privées, est devenue cruciale ces dernières années. Cette sécurité est liée aux protections matérielles et logicielles apportées par les circuits mis en œuvre. Un système sécurisé doit assurer la confidentialité et l'intégrité des données secrètes et sensibles par exemple à l'aide de techniques de cryptage. Cependant, de multiples techniques d'attaques contre ces systèmes existent : elles peuvent être appliquées à haut niveau (attaque informatique au niveau de l'application), à niveau intermédiaire (attaque protocolaire) ou à bas niveau (attaque au niveau physique). Ces dernières, qui exploitent toutes les "faiblesses" des circuits intégrés sont parmi les plus importantes. Les injections de fautes électromagnétiques combinées avec des attaques par canaux cachés (*Side Channel Attack*) font partie des attaques les plus récentes pour extraire les clés de cryptage des circuits sécurisés [QUI01] [SCH07] [ORD14]. Elles sont considérées comme des méthodes d'attaque particulièrement puissantes car elles peuvent induire des courants localisés bien plus importants que ceux générés par des attaques laser. Elles peuvent être efficaces contre des circuits même encapsulés. De plus, elles ne nécessitent pas d'équipements coûteux, la rendant particulièrement séduisante pour des cyber-criminels.

Physiquement, les soudaines fluctuations de tension d'alimentation ou de masse ou les *glitches* sur les signaux d'horloge induites par l'injection champ proche sont capables de perturber le fonctionnement de blocs de base d'un circuit de cryptage (générateurs d'horloge [POU11], générateurs de nombres aléatoires [BAY11]), en induisant des violations temporelles ou des changements d'états logiques sur des bascules [ORD14] ou des cellules mémoires SRAM [SCH07]. Ces injections étant localisées, elles peuvent contourner certaines contremesures existantes (comme des détecteurs de *glitch*), comme l'a montré [ZUS14], et ce d'autant plus que la résolution de la sonde est petite.

Bien que des démonstrations d'injection électromagnétique en champ proche aient déjà été réalisées et que des fautes aient été obtenues [DEH12], une compréhension fine des modes de couplage et une optimisation de l'efficacité de l'injection manquaient. Le but du projet ANR-12-INSE-0005 e-Mata-Hari (Electromagnetic Analysis, Deciphering and Reverse Engineering of Integrated Circuits) était donc non seulement de renforcer l'efficacité des dispositifs d'attaques électromagnétiques en champ proche mais aussi de mieux protéger les circuits de cryptage contre ce type d'attaque. Pour y parvenir, il est nécessaire de répondre à ces trois questions :

- quel niveau de perturbation peut être induit sur la puce par l'injection en champ proche ?
- comment l'injection de fautes électromagnétiques fonctionne (comment passe t-on de l'injection électromagnétique à la faute logique) ?
- quelles sont les limites théoriques et pratiques de l'injection en champ proche ?

Mes travaux ont principalement porté sur l'analyse du point de vue physique de l'interaction entre la sonde et la puce perturbée, avec le double objectif suivant :

- démontrer la faisabilité d'une injection localisée sur une puce, c'est-à-dire montrer que l'efficacité d'injection et la résolution sont suffisantes pour induire une faute localisée
- développer un modèle électrique, compatible avec les outils de simulation usuels des fondeurs (SPICE) du couplage sonde-puce. Ce modèle doit permettre de prédire la sensibilité d'un circuit à une injection champ proche et donc le niveau de menace. Un tel modèle est indispensable non seulement pour optimiser les sondes d'injection, mais aussi pour analyser par simulation le couplage des attaques, leur propagation et ainsi sélectionner et optimiser les contre-mesures contre les attaques électromagnétiques en champ proche.

2. Démonstration de la faisabilité d'une injection en champ proche sur une puce

Dans ces études, seules des sondes magnétiques ont été considérées, en raison de leur meilleure résolution spatiale, ce qu'ont confirmé mes essais d'injection sur puce [BOY14]. Les sondes d'injection en champ proche sont caractérisées par plusieurs figures de mérite :

- la résolution spatiale (la capacité à générer un champ intense dans une zone restreinte de l'espace)
- l'efficacité d'injection (le rapport entre le champ généré par la sonde et l'excitation électrique mise en entrée)
- la bande passante (la bande de fréquence sur laquelle une composante de champ, magnétique ou électrique, domine)
- la tenue en courant

L'amélioration de la résolution passe par une miniaturisation des sondes et un rapprochement de la surface de la puce sous test. Réduire la surface de boucle d'une sonde magnétique contribue à accroître sa bande passante, mais diminue aussi l'efficacité d'injection. De plus, la miniaturisation d'une sonde exige l'utilisation d'interconnexions plus fines et donc avec une tenue en courant inférieure. En pratique, il est difficile de réaliser une sonde d'injection magnétique efficace de diamètre inférieur au mm, ce que confirme les simulations avec les modèles de sondes décrits dans la partie I de ce chapitre. C'est pourquoi nous avons considéré des sondes magnétiques mono ou multitours avec des diamètres minimum de l'ordre du mm. Cela correspond aussi aux sondes disponibles sur le marché ou celles qu'un cyber criminel serait capable d'assembler facilement et à moindre coût.

Afin d'évaluer et comparer les performances de sondes d'injection sur puce, un circuit de test appelé Milady a été développé durant ce projet. Avec les autres membres du projet, nous avons cette puce, réalisée à l'aide de la technologie Freescale SMARTMOS8. Ce véhicule de test contient différents types d'interconnexions, blindées ou non, et de blocs fonctionnels élémentaires (circuits digitaux simples, amplificateur opérationnel, oscillateur). La puce est encapsulée dans un boîtier céramique avec un capot amovible, afin de positionner une

sonde d'injection au plus près de la puce. Afin de mesurer précisément les formes d'onde des signaux induits localement sur la puce par l'injection en champ proche, 24 capteurs de tension ont été disséminés sur la puce. Ce capteur, initialement conçu par Sonia Ben Dhia [BEN00], est un oscilloscope sur puce permettant de reconstituer la forme d'onde de signaux internes et non accessibles, avec une précision temporelle fine, une bande passante large et une faible invasivité. Je reviendrai sur le principe de fonctionnement de ce capteur dans le chapitre 3.

L'acquisition est basée sur le principe d'échantillonnage séquentiel à temps équivalent, qui fournit au capteur une bande passante virtuelle large même avec une fréquence d'échantillonnage faible. Afin de limiter le couplage de la perturbation champ proche sur les capteurs, ceux-ci sont alimentés par un régulateur de tension avec une alimentation dédiée. Ils sont isolés du substrat dans un caisson N-well. Les couches de métallisation supérieures sont aussi utilisées comme blindage. Enfin, une phase de calibration préalable est effectuée pour vérifier que le fonctionnement du capteur n'est pas altéré par l'injection en champ proche. La bande passante du capteur réalisé est de 2.7 GHz, avec une résolution de 100 ps et une capacité d'entrée de 30 fF. L'instrumentation nécessaire à la calibration et l'utilisation du capteur lors d'essais d'injection en champ proche a été développée par M. Cavarroc, sous ma supervision.

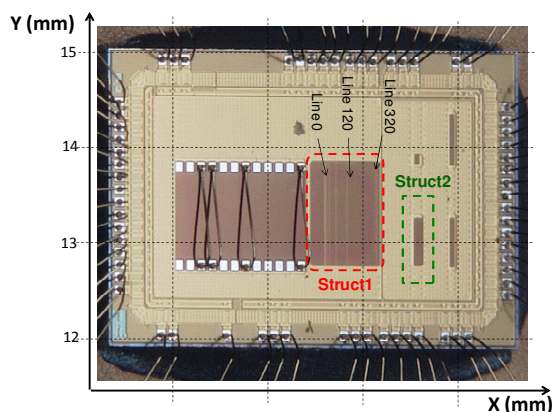


TABLE I. CHARACTERISTICS OF THE TESTED STRUCTURES

Name	Description
Struct1 - Microstrip line	Eight 1mm line in M3 loaded by 50 Ω resistors at each end, separated with variable spacing
Struct2 - Digital line with metal shielding	Two 0.5 mm lines in M3 connecting digital buffers, separated by 0.9 μm

Figure 21 – Puce Milady et détails de certaines des structures de test [BOY16]

La Figure 21 décrit deux des structures de test de la puce Milady, qui ont été utilisées pour caractériser les performances des sondes d'injections. Elles correspondent à une série de ligne microruban parallèle (structure 1) et des lignes blindées (structure 2). La Figure 22 présente sous la forme d'une cartographie en deux dimensions l'évolution de la tension induite sur une des lignes de la structure 1 en fonction de la position de la sonde d'injection. Celle-ci est une boucle de 0.6 mm de diamètre formée d'un fil de 0.3 mm de large. Elle est excitée par un signal sinusoïdal à 400 MHz. La couleur de chaque point de la cartographie indique la tension mesurée par le capteur placée en bout de ligne. Les mesures sont effectuées pour deux orientations de la sonde d'injection. Dans le cas où le champ magnétique généré par la sonde est perpendiculaire aux lignes de la structure 1 (orientation 1), la cartographie montre trois zones distinctes où la tension induite atteint des maxima de plusieurs centaines de mV : les deux premières sont localisées au-dessus de fil de bonding associés à la polarisation de la structure 1 et à la sortie du capteur. La troisième zone est située au-dessus des lignes de la structure 1. En tournant la sonde de 90° (orientation 2), la tension mesurée par le capteur lorsque la sonde est au-dessus de la structure 1 est

largement réduite. Ces résultats prouvent que l'injection en champ proche se fait bien localement sur les lignes de la structure 1 par le couplage du champ magnétique. La résolution spatiale mesurée est de 100 μm . Cette résolution est suffisante pour distinguer deux blocs fonctionnels différents à l'échelle d'une puce.

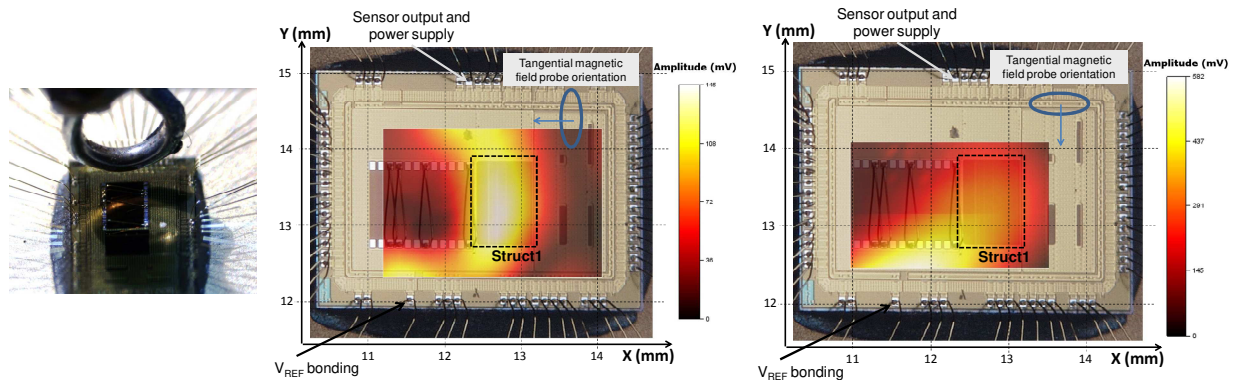


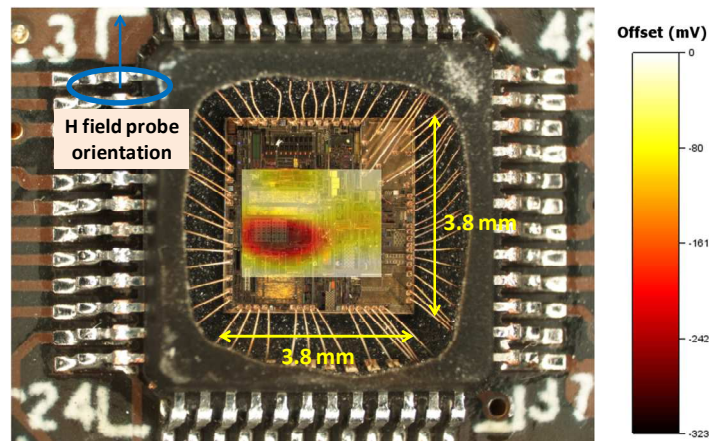
Figure 22 – Cartographie de la tension induite sur la structure 1 de la puce Milady par une sonde magnétique (à gauche) : orientation 1 (au centre) et orientation 2 (à droite) ($F_{RF} = 400 \text{ MHz}$, $P_{RF} = 20 \text{ W}$) [BOY16]

Des injections en champ proche ont aussi été réalisées sur des blocs fonctionnels (VCO, référence de tension, blocs digitaux) afin d'évaluer la capacité de la méthode à induire des défauts de fonctionnement. L'exemple ci-dessous concerne un circuit mixte commercialisé par Freescale Semiconductor. Ce circuit est dédié à la gestion et la surveillance des alimentations d'une carte électronique. Avec M. Cavarroc, nous avons effectué des injections harmoniques en champ proche en utilisant la même sonde de champ magnétique que pour l'expérience précédente. Parmi les fonctions analysées, l'étude s'est concentrée sur un des régulateurs linéaires du composant. Selon la fréquence et l'amplitude de l'injection, un offset parasite est induit en sortie du régulateur, pouvant atteindre plusieurs centaines de mV. La cartographie présentée à la Figure 23 montre l'évolution de l'offset en fonction de la position de la sonde d'injection, placée à 300 μm au-dessus de la surface de la puce. Elle met en évidence une zone sensible localisée sur une petite surface de la puce : quand la sonde d'injection est située au-dessus, un fort offset négatif apparaît en sortie du régulateur. L'analyse du circuit faite avec Bertrand Vrignon, ingénieur chez Freescale Semiconductor, nous a permis d'identifier la zone du couplage, situé le long d'un rail de référence de masse analogique. Cette hypothèse a été confirmée par des simulations électriques effectuées par B. Vrignon, montrant la sensibilité du régulateur à une perturbation harmonique sur la bande 100 - 1000 MHz.

Les résultats des différentes expériences menées sur circuits commerciaux ou blocs fonctionnels ont montré que l'injection en champ proche avec des dimensions de l'ordre du mm et excitée par des niveaux de puissance raisonnables était en mesure d'induire des défaillances en perturbant localement un bloc d'un CI. Les applications de cette méthode sont multiples :

- attaques électromagnétiques pour circuits sécurisés
- analyse de la susceptibilité aux perturbations électromagnétiques, pour faciliter l'identification du chemin de couplage d'une perturbation à travers la puce.

- la sûreté de fonctionnement des circuits : les fabricants de CI pour des secteurs industriels comme l'automobile doivent garantir un haut niveau de sûreté de fonctionnement à leur composant (ISO26262). Le CI doit être en mesure de diagnostiquer un ensemble de défaut matériel (dégradation d'une tension de référence, surtension, sous-tension, température excessive, ...) quelles que soient les conditions environnementales. Les fabricants doivent garantir le bon fonctionnement de ces dispositifs de détection. Des structures de test permettant de générer un défaut sont donc ajoutées au circuit. Ils consomment une surface non négligeable du CI, augmentant le coût de ce dernier. La capacité de l'injection champ proche à générer des défauts localisés permettrait de supprimer certaines de ces structures.



3. Modélisation du couplage champ proche sur puce

L'optimisation de l'injection champ proche sur puce et des techniques de protections contre les attaques électromagnétiques nécessitent un modèle d'interaction entre la sonde d'injection et la puce, pour déterminer les niveaux de tension ou de courant induit à l'intérieur du CI. Des travaux tels que ceux rapportés dans [BOY07] ou [LES10] traitent de la modélisation de l'injection en champ proche sur des pistes de circuits imprimés ou des broches de boîtier de CI. Ces méthodes sont basées sur des méthodes de couplage champ à ligne "classiques", telles que le modèle de Taylor [TAY65]. Le couplage de champ électrique et magnétique sur une ligne peut être modélisé en un ensemble de sources de courant et de tension distribuées, que la source de la perturbation soit en zone de champ proche ou de champ lointain. Tant que la propagation le long de la ligne se fait en mode TEM ou quasi-TEM, les tensions et courants en bout de ligne peuvent être déterminés par la résolution de l'équation des Télégraphistes, selon le formalisme des équations BLT [BAU78] ou à l'aide d'un simulateur SPICE. La connaissance des champs incidents en tout point de l'espace et leur intégration le long de la ligne est donc suffisante pour calculer l'effet de la perturbation. La Figure 24 illustre le flot typique de simulation de la tension induite par une injection en champ proche en bout de ligne.

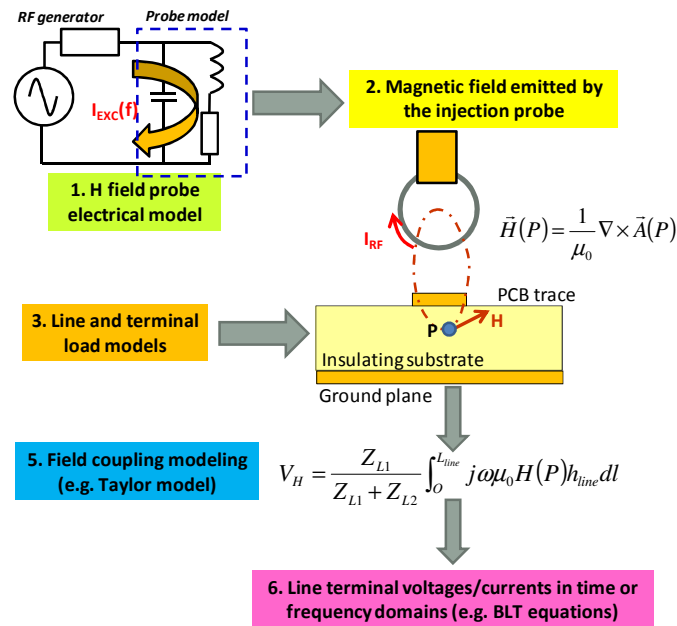


Figure 24 – Flot de simulation typique de l'injection magnétique en champ proche sur une ligne de transmission [BOY16]

Les hypothèses de propagation en mode TEM (ou quasi-TEM) sont largement acceptables sur circuit imprimé jusqu'à plusieurs GHz. Cependant, ces hypothèses ne le sont pas lorsqu'on considère des interconnexions sur CI, en raison de leur structure multicouche et de la nature dispersive des matériaux. Dans le cas d'un circuit imprimé typique, le calcul des champs E et H produits par la sonde d'injection est simple, reposant sur l'hypothèse d'un espace libre avec la présence éventuelle d'un plan conducteur. Par contre, le calcul des champs injectés à l'intérieur de la puce nécessite la détermination rigoureuse de la fonction de Green associée à cet environnement complexe, ce qui est loin d'être trivial. De plus, le milieu étant inhomogène et à perte, la propagation le long des interconnexions routées sur un substrat typique en silicium se fait rarement en mode quasi-TEM, mais plutôt dans un mode dit *slow-wave* [HAS71]. Ce comportement doit être pris en compte pour prédire la tension ou le courant induit par une injection champ proche. Ainsi, la modélisation d'une injection champ proche directe au niveau d'une puce de CI n'avait jamais été traitée.

Afin de bâtir un modèle de prédiction du couplage champ proche sur des interconnexions de CI, la structure générique d'une ligne micro ruban routée au-dessus d'un substrat métal-isolant-semi-conducteur, décrite à la Figure 25, a été considérée. Des couches de métallisation et d'isolants supplémentaires peuvent être ajoutées au-dessus de la ligne, notamment pour prendre en compte l'effet d'un blindage électrostatique, contre-mesure usuelle contre les attaques électromagnétiques. En raison de la résistivité du substrat semi-conducteur, le champ magnétique induit par la sonde d'injection induit des courants de Foucault dans le substrat, affectant ainsi la distribution du champ magnétique dans le substrat. Pour le déterminer et appliquer le flot de simulation décrit à la Figure 24, il est nécessaire d'extraire la fonction de Green dyadique dans cet environnement multicouche. La ligne étant routé à l'intérieur d'une fine couche isolante au-dessus d'un substrat résistif, la propagation se fait selon des modes non TEM et fortement dispersifs. Il est donc nécessaire de revoir le modèle électrique équivalent de la ligne sous test.

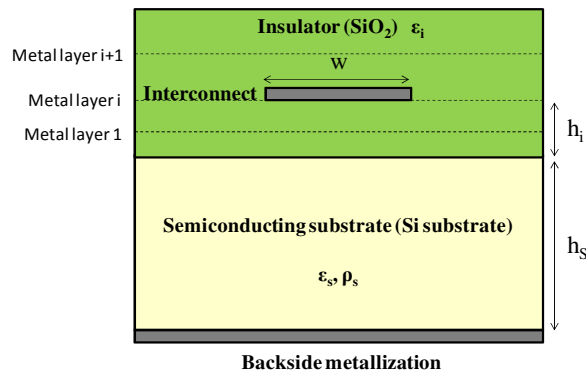


Figure 25 – Ligne micro ruban sur substrat métal-isolant-semi-conducteur [BOY16]

A partir de cette structure générique simple, j'ai développé un modèle analytique permettant de calculer les champs E et H induits par la sonde à l'intérieur du substrat du CI ainsi qu'un modèle électrique équivalent de la ligne. Ces modèles font appel à quelques paramètres géométriques et électriques simples et accessibles à un concepteur de CI :

- les dimensions de la sonde d'injection et sa hauteur par rapport à la puce sous test
- l'épaisseur du substrat résistif et de la couche diélectrique (les différentes couches de métallisation, d'isolant, de barrières, sont ignorées dans un but de simplification)
- la présence d'une métallisation en face arrière ou de couches de métallisation supérieures jouant le rôle de blindage
- la résistivité et la permittivité de chaque couche
- la géométrie de la ligne et ses impédances de terminaison

Ce calcul ne fait pas appel à aucun modèle 3D de la structure, mais seulement au modèle de sonde décrit dans la partie I.3 et au calcul de la fonction de Green dyadique associée à la structure générique du substrat. Je ne donnerais pas de détails sur la méthode de calcul dans cette partie, mais plus de détails sont disponibles dans l'article [BOY16].

La puce Milady, présentée dans la partie III.2, a été utilisée comme cas de validation de ce modèle. La Figure 26 de gauche compare l'évolution de la tension induite sur une ligne de la structure 1 (voir Figure 21) mesurée par le capteur sur puce ou simulée en fonction de la hauteur de la sonde. Une bonne corrélation entre la mesure et la simulation est observée à faible hauteur. Un écart apparaît à hauteur plus grande car l'injection n'est local qu'à faible hauteur. Ainsi, le couplage sur les fil de bonding environnants intervient, mais n'est pas pris en compte dans le modèle. La Figure 26 de droite compare l'évolution mesurée et simulée de la tension induite sur une ligne de la structure 1 (voir Figure 21) en fonction de la fréquence. Deux modèles sont comparés : un modèle simple ignorant l'influence du substrat du CI, un modèle rigoureux intégrant son influence. La mesure et la simulation faite avec le modèle rigoureux sont en accord, contrairement au modèle simple, qui sous-estime la tension induite jusqu'à 2 GHz et reproduit mal le comportement fréquentiel du couplage. Ce dernier est fortement influencé par la résistivité du substrat. A partir de 100 MHz, le couplage croît en 10 dB/dec en raison de la propagation *slow wave* le long de la ligne qui atténue le signal induit. Au-dessus de plusieurs centaines de MHz, la tension induite tend à rester constante en fonction de la fréquence. La pénétration du champ magnétique induit par la est atténuée à cause de l'effet de peau dans le substrat.

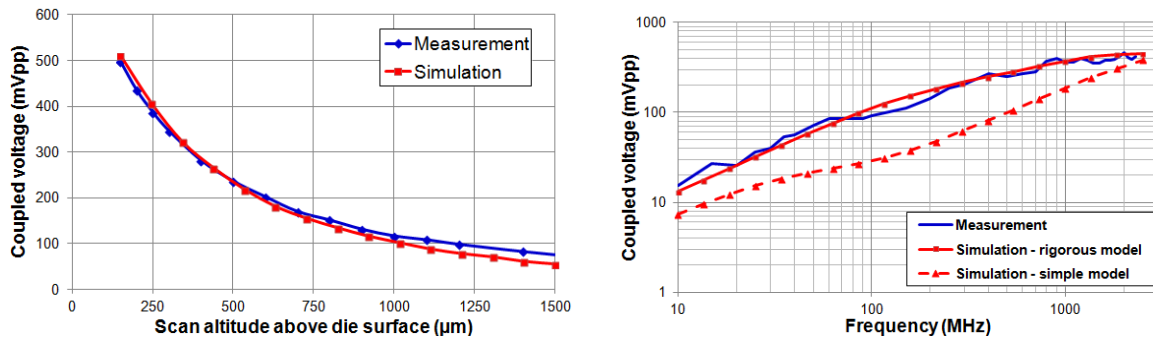


Figure 26 – Comparaison mesure-simulation du couplage champ proche sur une interconnexion de CI (Milady structure 1) : évolution de la tension induite en fonction de la hauteur de la sonde (à gauche) et de la fréquence (à droite) [BOY16]

Des essais ont été aussi réalisés sur une interconnexion placée sous une couche de métallisation assurant un blindage. La Figure 27 présente la comparaison entre la mesure et la simulation de tension couplée sur la ligne en fonction de la fréquence. La simulation reproduit l'évolution de la tension couplée. Le blindage au champ magnétique est faible en dessous de 20 MHz mais la tension induite croît avec la fréquence. Entre 10 MHz et 1GHz, le couplage entre la sonde et la ligne est quasi constant : le blindage au champ magnétique tend à augmenter, compensant ainsi le couplage de ce champ sur la ligne. Le blindage est principalement lié aux pertes par réflexion. Au-dessus de 1 GHz, les pertes par absorption deviennent importantes, conduisant à une décroissance du couplage avec la fréquence.

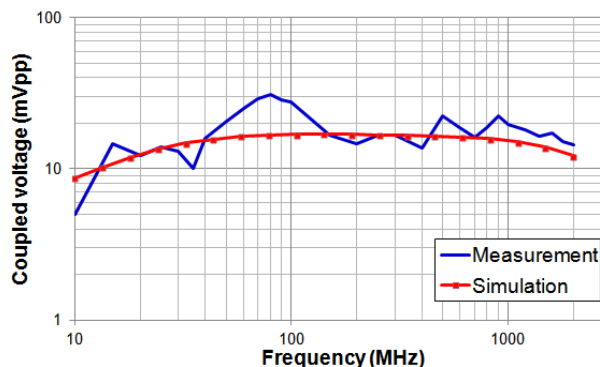


Figure 27 – Comparaison mesure-simulation du couplage champ proche sur une interconnexion blindée de CI (Milady structure 2) [BOY16]

La méthode de modélisation proposée permet donc une prédiction du niveau injecté sur une puce lors d'une injection champ proche, à partir de quelques paramètres géométriques et électriques des interconnexions perturbées. Un modèle électrique équivalent peut être construit, le rendant compatible avec les outils de simulation électrique typique comme SPICE. Dans le cadre du projet e-Mata-Hari, un autre modèle par Jérémy Raoul de l'IES de Montpellier décrit dans [RAO15] a été proposé et comparé à mon approche. Elle a été aussi testée sur le circuit de test Milady. Bien que donnant aussi de bons résultats, cette méthode est basée sur une caractérisation expérimentale préalable du couplage entre une sonde d'injection magnétique et une structure de calibration, afin d'extraire un coefficient de couplage inductif. Cette caractérisation doit être faite pour tous les types de sondes d'injection utilisées et toutes les hauteurs sonde-puce. Par rapport à mon approche, elle n'est donc pas complètement prédictive.

Ma méthode a aussi été appliquée sur un circuit commercial fourni par Freescale Semiconductor : le circuit mixte et son régulateur linéaire intégré présenté à la Figure 23. Le travail a été réalisé en commun avec B. Vrignon. Celui-ci m'a fourni les informations géométriques et électriques sur le substrat et l'interconnexion de masse responsable du couplage du champ magnétique, ainsi que l'impédance équivalente du régulateur, nous permettant de construire le modèle d'injection à partir des informations sur la sonde d'injection. Le but de la simulation était de déterminer le niveau de puissance à injecter dans la sonde pour induire un offset de 100 mV en sortie du régulateur. Le design du régulateur étant confidentiel, la simulation s'est faite en deux phases : dans un premier temps, une simulation de la réponse du régulateur à une perturbation harmonique couplée sur son rail de masse analogique est réalisée. Le modèle de la sonde d'injection et son couplage n'est pas inclus. Pour chaque fréquence, l'amplitude de la tension induite est relevée. Dans un second temps, notre modèle est utilisé pour déterminer la puissance à injecter dans la sonde pour induire le niveau de tension responsable de l'offset de 100 mV. La Figure 28 compare le résultat de la simulation avec la mesure. Malgré un écart compris entre 2 et 5 dB, le modèle reproduit le niveau de susceptibilité du régulateur à l'injection champ proche et son évolution fréquentielle. La sensibilité marquée visible entre 200 MHz et 800 MHz est correctement identifiée par notre modèle. Dans le contexte d'attaque électromagnétique, cette simulation permettrait au concepteur de repérer les bandes de fréquence sur lesquelles le circuit à concevoir présente des faiblesses et donc d'anticiper les contre-mesures correctives à ajouter.

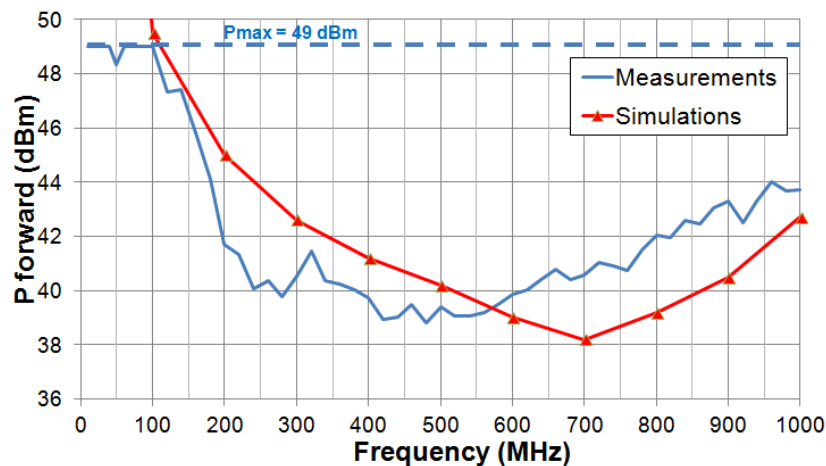


Figure 28 – Comparaison mesure-simulation d'une perturbation champ proche sur un régulateur linéaire

IV. Amélioration de la résolution des cartographies de scan champ proche en immunité

Les travaux présentés dans cette partie ont été menés pendant le projet e-Mata-Hari. Je les présente dans une partie séparée car les applications qui en découlent ne concernent pas exclusivement les attaques électromagnétiques, mais aussi la CEM.

Un des buts du projet e-Mata-Hari était d'obtenir le couplage le plus localisé possible, passant par la réalisation de sondes d'injection les plus miniatures possibles pour accroître leur résolution spatiale. Un autre besoin pour l'attaque électromagnétique réside dans l'identification des zones de couplage de l'injection sur la puce. Pour le concepteur, cela permet de mieux détecter les vulnérabilités d'un CI sécurisé et donc mieux le protéger. Ce besoin est aussi partagé par l'étude de la susceptibilité des CI aux perturbations électromagnétiques. La miniaturisation des sondes d'injection constitue là-aussi une solution. Cependant, la miniaturisation des sondes d'injection conduit aussi à la réduction du champ généré autour de la sonde et donc de son efficacité d'injection. Une manière de compenser cette baisse consiste à accroître la puissance du signal d'excitation, mais la miniaturisation de la sonde réduit aussi la tenue en courant. La stratégie de miniaturisation des sondes seule trouve donc rapidement ses limites pour améliorer les capacités d'identification précise des zones de couplage.

Une autre stratégie consiste à effectuer un post-traitement la cartographie issue du scan champ proche en immunité pour accroître sa résolution spatiale, autrement dit la discrimination des différentes zones de couplage sur le circuit sous test. Elle découle des multiples travaux de recherche menés ces quinze dernières années pour accroître la résolution spatiale des cartographies issues des scan champ proche en émission. Du fait de la taille non négligeable des sondes de mesure, la tension mesurée en sortie de la sonde est proportionnelle à l'intégrale de champ incident dans un volume donné de l'espace. En compensant l'effet de la caractéristique spatiale de réception de la sonde de mesure, la distribution réelle du champ magnétique ou électrique peut être retrouvée. Les méthodes employées sont la décomposition en spectre d'ondes planes ou *plane wave spectrum* (PWS) [SHI05], les techniques de restauration d'images basées sur le filtrage de Wiener [LAB09] et l'utilisation de réseaux de neurones [BRA11]. Ces méthodes permettent une amélioration considérable de la résolution de la cartographie de l'émission en champ proche, même lorsque la mesure a été réalisée avec des sondes de réception de grande dimension. Parmi ces méthodes, la décomposition en spectre d'ondes planes est la plus populaire.

Cependant, ces techniques n'ont jamais été employé pour corriger une cartographie de l'immunité en champ proche. Mon travail a donc consisté à adapter la décomposition en spectre d'ondes planes dans ce but. Il est détaillé dans [BOYE16]. Contrairement au cas d'une mesure d'émission, la cartographie en immunité n'indique pas le rayonnement du DST. Il s'agit d'une "image floue" indiquant les zones de couplage du champ incident sur le DST. La résolution de l'image dépend de la hauteur de scan, de la géométrie de la sonde et du DST. Considérons une cartographie faite dans un plan horizontal XY à une hauteur h_s au-dessus du DST : la cartographie de l'immunité notée $S(x,y,h_s)$ est la réponse du DST au champ incident produit par la sonde d'injection dont la distribution spatiale est notée $F(x,y,h_s)$. Ces deux grandeurs sont reliées par l'équation 8, où $R(x,y,h_s)$ est la fonction caractéristique de réception du DST. Elle caractérise la capacité de chaque partie du DST à coupler le champ incident produit par la sonde. Elle indique directement les zones de couplage et la sensibilité du DST à la perturbation incidente produite par la sonde d'injection.

$$\begin{aligned}
 S(x_p, y_p, h_s) &= R(x_p, y_p, h_s) * F(x_p, y_p, h_s) \\
 &= \iint R(x_p - x_s, y_p - y_s, h_s) F(x_s, y_s, h_s) dx_s dy_s
 \end{aligned}
 \tag{Equation 8}$$

Exprimer la cartographie de l'immunité du DST sous la forme de la fonction caractéristique de réception fournit une meilleure résolution spatiale des zones de couplage. Extraire la

fonction caractéristique de rayonnement nécessite de disposer au préalable la distribution spatiale du champ produit par la sonde d'injection, obtenue soit par simulation, soit par mesure à l'aide d'une autre sonde de mesure champ proche calibrée. Le processus d'extraction est plus simple s'il est effectué dans le domaine spectral. Il est alors basé sur la décomposition en spectre d'ondes planes. Le champ incident produit par la sonde est décomposé en une superposition d'un nombre infini d'ondes planes se propageant dans les directions X et Y, et caractérisées par les nombres d'onde k_x et k_y . Le passage du domaine spatial au domaine spectral (et réciproquement) se fait à l'aide d'une transformée de Fourier en deux dimensions (équation 9). Le terme \tilde{F} indique une représentation dans le domaine spectral.

$$\tilde{F}(k_x, k_y, h_s) = \iint_{-\infty}^{+\infty} F(x, y, h_s) e^{j\alpha x} e^{-jk_x x} e^{-jk_y y} dx dy \quad \text{Équation 9}$$

$$\tilde{R}(k_x, k_y, h_s) = \frac{\tilde{S}(k_x, k_y, h_s)}{\tilde{F}(k_x, k_y, h_s)} \quad \text{Équation 10}$$

La caractéristique de réception du DST peut donc être exprimée comme le rapport entre la réponse du DST sur le champ produit par la sonde d'injection, comme le montre l'équation 10. Le retour dans le domaine spatial se fait par une transformée de Fourier inverse. La Figure 29 résume les principales étapes du processus d'extraction de la fonction caractéristique de réception du DST.

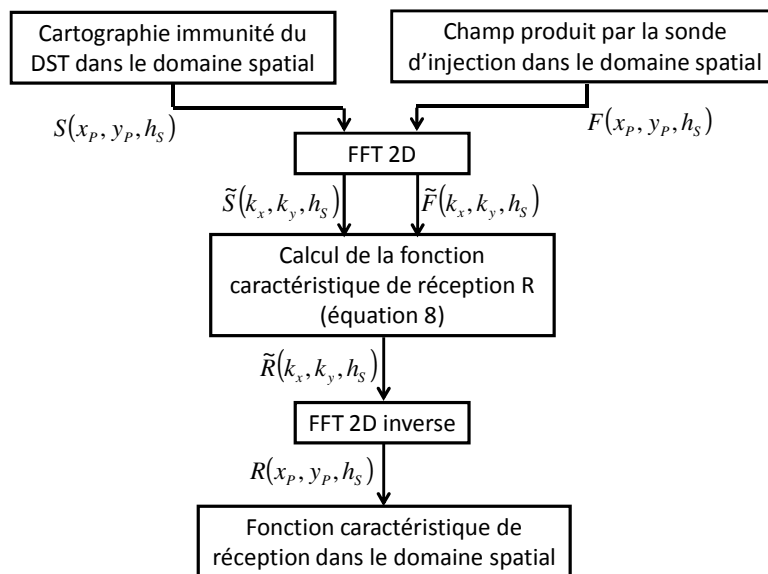


Figure 29 – Processus d'extraction de la fonction caractéristique de réception du dispositif sous test

Cette méthode d'amélioration de la résolution des cartographies de l'immunité en champ proche a été validée sur plusieurs cas d'étude, portant sur des injections au niveau carte électronique ou CI. Nous présentons ici deux exemples. Le premier concerne une injection en champ magnétique sur des interconnexions sur circuit imprimé. Les résultats sont présentés à la Figure 30. Le couplage entre une sonde d'injection magnétique multi-tours de 2 mm de diamètre et une ligne micro-ruban de 0.15 mm de large et 1 mm de long est mesuré à 300 MHz pour une hauteur de scan de 1 mm. Deux cartographies sont comparées : celle du haut présente la cartographie de l'immunité sous la forme du paramètre S12 entre

la sonde et la ligne. En bas, la fonction caractéristique de réception de la ligne micro-ruban est affichée. Les deux cartographies montrent un lobe principal centré au-dessus de la ligne. On peut noter que le lobe sur la cartographie de la fonction caractéristique de réception est plus étroit. En quantifiant la résolution spatiale comme la largeur de ce lobe à la moitié du niveau maximal, les résolutions sont pour la cartographie de l'immunité et de la fonction caractéristique de réception :

- 2.5 mm et 0.75 mm dans la direction Y
- 4.5 mm et 1.5 mm dans la direction X

Ce résultat démontre que la résolution a été améliorée d'un facteur trois, permettant de mieux localiser la ligne responsable du couplage.

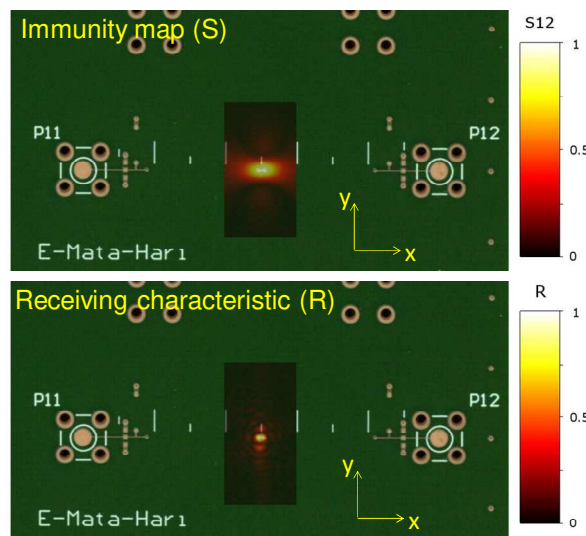


Figure 30 – Validation de la méthode d'amélioration de la résolution spatiale d'une cartographie de l'immunité en champ proche sur circuit imprimé [BOYE16]

Le second exemple concerne une injection sur CI. L'injection est réalisée avec la même sonde d'injection magnétique sur la puce Milady. Lors de l'injection, la tension mesurée par un capteur placé sur une des interconnexions la structure 1 (Figure 21) est utilisée pour tracer la cartographie de l'immunité. La sonde est placée à 0.7 mm au-dessus de la surface de la puce et se déplace le long du côté droit de la puce, au-dessus des fil de bonding associés au capteur (alimentation et sortie analogique). La Figure 31 à gauche présente la trajectoire de déplacement de la sonde, ainsi que la taille de la sonde en comparaison de celle de la puce. L'évolution de la tension mesurée par le capteur et la fonction caractéristique de réception sont comparés sur la Figure 31 à droite. Dans les deux cas, un lobe principal est observé au-dessus des fil de bonding du capteur. En utilisant la même définition de la résolution spatiale que dans l'exemple précédent, elle est de 3 mm lorsqu'on trace directement la tension mesurée et de 1 mm lorsqu'on trace la fonction caractéristique de réception. Le lobe principal observé sur la cartographie d'immunité est presque aussi large que la puce elle-même, rendant la localisation de la zone de couplage plus difficile. En traçant la fonction caractéristique de réception, la résolution spatiale est améliorée d'un facteur 3. C'est insuffisant pour séparer sans ambiguïté deux fil de bonding séparés de 150 μm , mais associée à l'utilisation d'une sonde d'injection plus petite et une plus faible hauteur de scan, la résolution pourrait encore être améliorée.

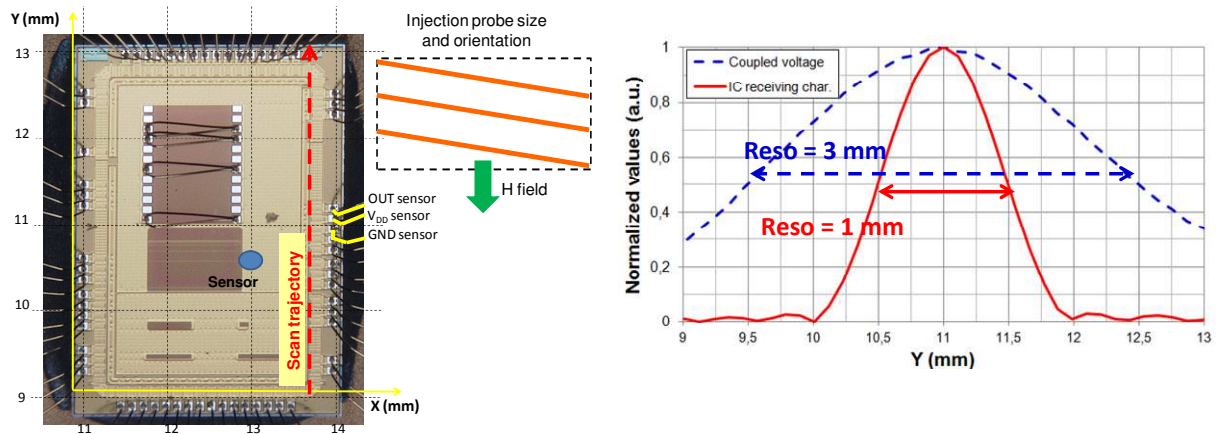


Figure 31 – Validation de la méthode d'amélioration de la résolution spatiale d'une cartographie de l'immunité en champ proche sur circuit intégré [BOYE16]

Il est indispensable de souligner que cette méthode ne se substitue pas à la miniaturisation des sondes d'injection. Au contraire, elle peut s'appliquer conjointement à un effort de miniaturisation de la sonde d'injection. Il faut rappeler un des défauts de la miniaturisation de la sonde d'injection : réduire les dimensions des sondes d'injection conduit à une réduction de son efficacité d'injection. Pour avoir un bon compromis entre efficacité d'injection et résolution spatiale, une sonde d'injection de taille moyenne peut être utilisée. La résolution spatiale sera améliorée par post-traitement en appliquant la méthode présentée dans cette partie.

Cette méthode présente aussi une autre application pour la CEM, qu'il faudrait approfondir. La fonction caractéristique de réception est indépendante de l'excitation rayonnée incidente. Elle ne dépend que des caractéristiques géométriques et électriques du DST. Que la source de perturbations soit localisée en zone de champ proche ou de champ lointain, il est possible de déterminer la réponse du DST à la perturbation connaissant la fonction caractéristique de réception. Ainsi, à partir d'une mesure d'immunité en champ proche, elle offre une méthode rigoureuse pour déterminer le niveau d'immunité dans une autre configuration de perturbation rayonnée, par exemple lors d'une illumination rayonnée en champ lointain. En effet, en analysant l'équation 8, si la fonction caractéristique de réception $R(x,y)$ du DST est connue, on peut calculer la réponse $S(x,y)$ du DST quelque soit la répartition de cette composante du champ électromagnétique incident $F(x,y)$. La fonction caractéristique de réception peut être extraite au préalable par mesure de scan champ proche en immunité. Cette approche trouve son sens dans un besoin de pré-validation CEM d'un composant ou d'une carte électronique intégré à un équipement, lors des phases de validation d'un prototype. L'intérêt pratique est que le résultat d'un essai d'immunité rayonnée certifié (ex : essai d'immunité rayonnée en chambre anéchoïque) peut être prédit, sans avoir besoin de mobiliser les installations et les équipements d'un laboratoire CEM.

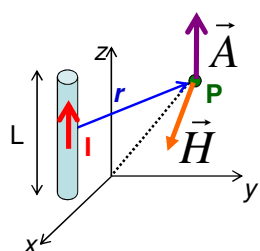
V. Extension de la mesure en champ proche vers le diagnostic des composants électroniques

L'émission électromagnétique produite par les composants électroniques est liée au courant transitoire les traversant et contient de l'information sur ceux-ci. Par exemple, si la présence

de défauts dans le composant affecte la circulation du courant électrique, alors une mesure de l'émission en champ proche peut permettre la détection de ces défauts. Durant la thèse de Nabil El Belghiti Alaoui que je co-encadre avec Patrick Tounsi, nous nous sommes appuyés sur ce principe pour mettre au point une méthode originale d'identification des composants défaillants montés sur circuit imprimé. Ce travail s'est effectué dans le cadre d'une thèse CIFRE financé par ACTIA et vise à améliorer le test ICT (In-Circuit Test) qui suit la phase d'assemblage des circuits imprimés. Son rôle est d'identifier les composants "défaillants", c'est-à-dire lorsqu'il présente une mauvaise valeur ou lorsqu'ils ont été mal monté, conduisant à une condition circuit ouvert ou court-circuit.

A l'heure actuelle, cette méthode de test met en œuvre des pointes de test pour mesurer les potentiels et les courants en tout point de la carte. Ce test se fait à l'intérieur d'un équipement dédié appelé testeur ICT se présentant comme un nid à clous. Cependant, la méthode ICT atteint ses limites. La densité croissante des cartes électroniques rend de plus en plus difficile l'ajout de points de test supplémentaires, tout en introduisant des problèmes d'intégrité du signal. Le but de la thèse est d'identifier de nouvelles approches de test pour compenser ces limites, passant soit par une modification des sondes de test, soit par des approches sans contact (mesure électromagnétique ou thermique). Dans cette partie, je ne présenterai que le travail consacré à l'utilisation des mesures électromagnétiques comme moyen de test des circuits imprimés.

La mesure du champ magnétique offre une méthode sans contact et peu intrusive des composants montés sur une carte électronique. En effet, le champ magnétique produit à proximité d'un composant ou d'une piste est lié au courant traversant ce composant ou circulant le long de cette piste comme le rappelle l'équation 11. La détection proposée est basée sur une mesure de la signature magnétique de la carte, prise au-dessus des composants à tester. Seuls les composants traversés par un courant suffisant pour être détecté sont diagnostiquables. Dans le cas d'une alimentation à découpage, l'ensemble des composants de filtrage en entrée et en sortie (inductance et condensateurs) le sont, permettant la suppression de plusieurs points de test. La méthode nécessite bien entendu que le circuit imprimé testé soit polarisé.



$$\vec{A} = \frac{\mu}{4\pi} \times \int_{-L/2}^{L/2} I(z) \frac{e^{-j\beta r}}{r} dz \vec{z}$$

$$\vec{H} = \frac{1}{\mu} \nabla \times \vec{A}$$

Équation 11

Deux types de sondes magnétiques sont envisagés (Figure 32) :

- sondes champ proche magnétiques "classiques", basées sur des boucles, couvrant les bandes de fréquence supérieures à 1 MHz.
- sondes GMR (Giant MagnetoResistive) pour des signaux de plus basses fréquences (< 1 MHz).

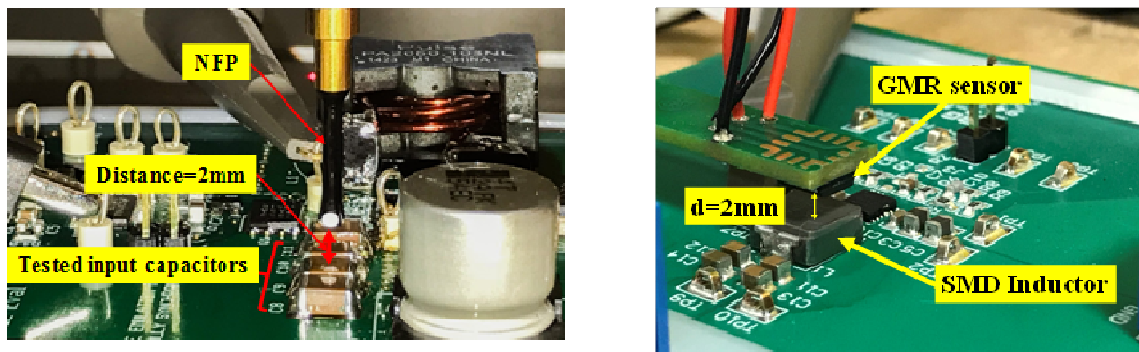


Figure 32 – Mesure en champ proche pour détecter la présence de composants défectueux sur circuit imprimés : avec une sonde champ proche (à gauche), avec un capteur GMR (à droite) [BEL18]

L'intégration de ces sondes dans un testeur ICT, la gestion de leur positionnement et l'adéquation avec les cadences de test font partie des problèmes auxquels le travail de thèse doit répondre. Ces points ne seront pas traités dans cette partie, qui se focalise plutôt sur l'algorithme de détection des composants défectueux à partir de la mesure en champ proche. L'objectif de cet algorithme est non seulement de détecter la présence d'un composant défectueux, mais aussi de le localiser pour faciliter son éventuel remplacement. Le principe de la méthode est décrit dans [BEL18]. Dans cet article et dans la suite, nous avons appelé "signature électromagnétique" d'une carte électronique la mesure des champs magnétiques au-dessus des différents composants à tester. La méthode consiste à comparer la signature électromagnétique de la carte à tester avec des signatures de références, obtenues par mesure(s) sur plusieurs cartes dont les composants montés sont garantis comme corrects. Si la signature mesurée sur la carte à tester s'écarte trop de la signature de référence, c'est qu'au moins un composant est défectueux.

Bien que trivial de prime abord, la comparaison directe entre les champs mesurés au-dessus de chaque composant des différentes cartes n'est pas suffisante pour identifier le(s) composant(s) défectueux. En effet, le courant traversant un composant est influencé par les autres composants. Ainsi, la présence d'un composant défectueux modifie aussi le courant traversant les autres composants. Une intercorrélacion existe entre les courants, et donc entre les champs magnétiques mesurés. Cette intercorrélacion dépend de la structure électronique du bloc testé et des valeurs de composants testés. L'identification de cette interdépendance est difficile et passe par une modélisation fine de chaque composant et de la carte, ce qui n'est pas envisageable pour l'industriel. En outre, les variations enregistrées peuvent être liées à la tolérance des composants ou à des erreurs de positionnement.

Avec N. El Belghiti Alaoui, nous avons développé une méthode de détection plus robuste pour identifier les composants défectueux montés sur un circuit imprimé, toujours en utilisant une comparaison des signatures magnétiques mesurées sur une carte à tester avec celles enregistrées sur des cartes de référence. Supposons que l'on dispose d'un ensemble de M cartes de référence fournissant M signatures de référence. Si le bloc électronique à tester contient N composants, chacune de ces signatures peut être représentée comme un point dans un espace à N dimensions. Ces M points vont former un nuage de points relativement homogène, selon la dispersion technologique et les erreurs de mesure. La méthode de détection va consister à comparer la position du point correspondant à la signature de la carte à tester avec celles des points liés aux signatures de référence. Si ce point apparaît comme un point aberrant, alors au moins un de ses composants est défectueux. L'algorithme

de détection peut donc être perçue comme un algorithme d'identification d'un point aberrant. Celui-ci se fait en deux temps :

- dans un premier temps, une analyse de type Principal Component Analysis (PCA) est appliquée sur l'ensemble des signatures enregistrées. Cette technique, issue du domaine de l'analyse de données, effectue un changement de variables où les signatures sont définies en fonction de nouvelles variables non corrélées, appelées composantes principales (PC). Cela présente deux intérêts : le premier est que la méthode classe les PC en fonction de l'information apportée par chacune d'elles, c'est-à-dire leur contribution à la variation entre les points. Il est possible de ne considérer que les quelques PC apportant le plus d'informations, réduisant ainsi le nombre de variables du problème. Le second est que la direction de la première composante principale peut nous renseigner sur le ou les composants défectueux. Si une PC se détache des autres, elle porte beaucoup d'informations sur la variation entre les signatures en raison de la présence de composants erronés sur la carte à tester. Ce PC étant une combinaison linéaire des champs magnétiques relevés au-dessus des N composants, son analyse aide à retrouver quels composants contribuent le plus à cette PC.
- dans un second temps, afin d'automatiser l'algorithme de détection des composants défectueux, un algorithme de détection de points aberrants est appliqué sur les signatures exprimées dans l'espace formée par les PC extraites à l'étape précédente. Des méthodes de classification de données, telles que les méthodes DBScan et k-Means, ont été utilisées.

La Figure 33 résume la méthode de détection sous la forme d'un schéma-bloc.

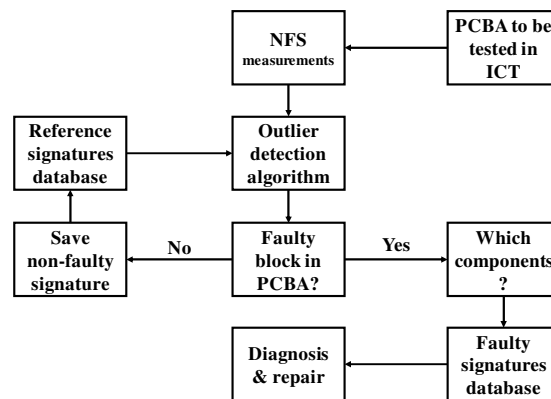


Figure 33 – Méthode de détection proposée de composants défectueux sur circuit imprimé [BEL18]

Les résultats fournis par la méthode sont illustrés à la Figure 34, sur le cas suivant : un bloc de quatre condensateurs de découplage placés en entrée d'une alimentation à découpage notés C8 à C11 est testé. Leur signature magnétique a été mesurée sur un lot de cinq cartes (PCB1 à PCB5), considérées comme le lot de cartes de référence. Une sixième carte (PCB6) est la carte à évaluer. Deux scénarios ont été testés. Dans le premier, seul un composant (C8) présente une valeur erronée (variant de 2.2 μ F à 0.1 μ F). Le résultat de l'analyse PCA est affiché sur la Figure 34 à gauche. Comme la mesure porte sur quatre composants, quatre PC sont calculées. Les mesures de champ magnétiques au-dessus des quatre condensateurs de chacune des cartes forment un point, représenté dans l'espace des trois PC de plus forte importance. Les cinq points correspondant au lot de référence forment

un ensemble assez homogène situé sur la droite du repère. Le point correspondant à la carte à tester sort clairement de cet ensemble. Il peut être aisément détecté comme un point aberrant, indiquant qu'un composant défaillant est monté sur cette carte. Le composant défaillant peut être identifié en poursuivant l'analyse des PC. Initialement, les signatures magnétiques étaient représentées dans l'espace des vecteurs correspondant aux champs magnétiques directement mesurés au-dessus des quatre composants, appelés vecteurs initiaux. Sur la figure, ces quatre vecteurs (notés Lo1 à Lo4) ont été projeté dans l'espace des PC. Le vecteur Lo1 indique la direction dans laquelle un point se déplace si le champ mesuré au-dessus du premier composant varie. Sur la figure, on remarque que seul le vecteur Lo1 s'éloigne du plan dans lequel s'inscrit les points liés au lot de référence, et qu'il pointe vers PCB6. Cela indique que la variation de la signature est principalement portée par celle de C8.

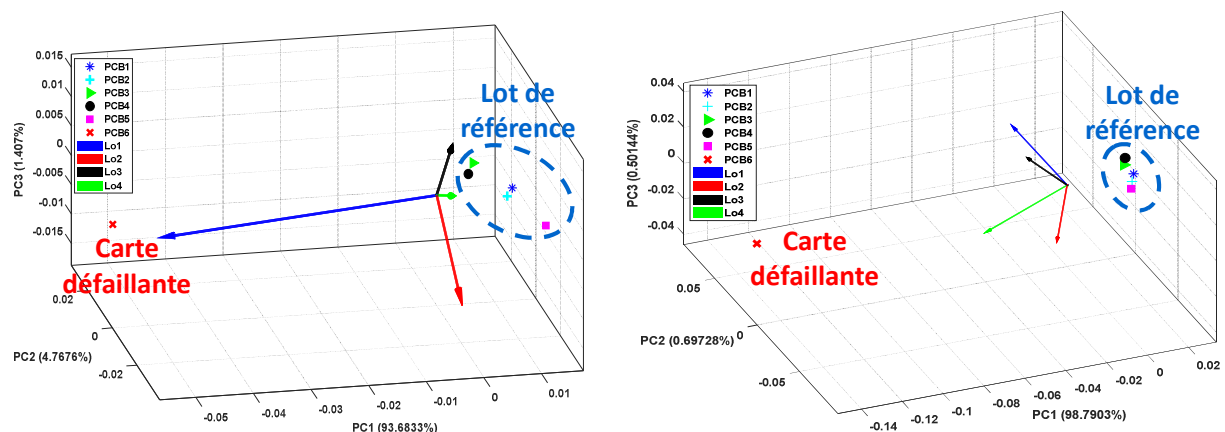


Figure 34 – Illustration de l'utilisation de la PCA dans la détection de composants erronés montés sur un circuit imprimé : un composant à valeur erronée sur la carte à tester (à gauche) - tous les composants sont à valeurs erronées (à droite) [BEL18]

Dans un second scénario, dont le résultat est affiché sur la Figure 34 à droite, les quatre condensateurs de la carte PCB6 présentent des valeurs erronées. Là encore, les cinq points du lot de référence forment un ensemble homogène et le point lié à la carte PCB6 reste en dehors. La projection des quatre vecteurs initiaux montre qu'ils s'éloignent tous du plan dans lequel s'inscrit le lot de référence. Ils participent tous à la variation de la signature magnétique de PCB6.

Les premiers essais effectués sur des alimentations à découpage ont été concluants. Cependant, de nombreux travaux sont encore nécessaires pour valider complètement l'approche et garantir son intégration au sein d'un testeur ICT industriel. L'algorithme de détection de composants défaillants peut aussi être amélioré pour affiner la détection et l'identification des défaillances. En se servant des résultats de détection précédents, il est possible d'alimenter un l'algorithme d'apprentissage, non seulement des signatures des cartes de références, mais aussi de celles présentant un défaut.

Ce travail illustre les possibilités du scanner champ proche comme outil d'analyse des cartes électroniques et des composants. Une autre application, proche de celle présentée ici, est la détection de composants contrefaits par l'analyse de la signature électromagnétique. Avec Sonia Ben Dhia et notre doctorant, He Huang, nous avons démarré plusieurs travaux expérimentaux en 2014 afin d'évaluer les possibilités de cette méthode non intrusive. La

comparaison de la signature électromagnétique d'un composant avec une signature de référence nous avait permis de discriminer des composants présentant des différences technologiques ou affectés par un vieillissement avancé [HUA15]. Nous n'avons pas donné de suite à ces travaux, faute de financement. Cette problématique reste cependant d'actualité. Les techniques d'analyse de données mises en œuvre dans la thèse de Nabil El Belghiti Alaoui seraient tout à fait applicables dans la détection de composants contrefaits.

VI. Bilan et analyse rétrospective

Dans ce chapitre, j'ai présenté mes travaux liés au scan champ proche, depuis mes travaux de thèse jusqu'aux travaux les plus récents. Ceux-ci ont principalement fait avancer le scan champ proche en immunité pour les composants électroniques, que ce soit sur les aspects mise en œuvre du banc, modélisation des sondes ou du couplage avec un circuit intégré. Le banc de scan champ proche est un formidable outil de diagnostic et d'analyse des problèmes de CEM, aidant à la localisation des sources d'émission, des zones sensibles et des chemins de couplage. La maîtrise que j'ai pu acquérir de cet outil constitue un véritable atout pour des études concernant la modélisation et l'analyse CEM des CI et des cartes électroniques.

Néanmoins, il reste encore un outil à destination des experts en CEM, délivrant des résultats bruts encore difficilement interprétables par un concepteur électronique. Il est nécessaire de développer des méthodes d'analyse des données fournies par un scanner champ proche, permettant d'extraire des informations lisibles par un concepteur électronique. La technique présentée dans la partie IV de ce chapitre est un exemple de piste pour estimer la conformité d'une carte électronique à un essai d'immunité rayonnée normatif dès les premières phases de validation du prototype. Des travaux similaires sur l'exploitation des données de scan champ proche en émission afin de mieux identifier les problèmes d'émission conduite et rayonnées sont actuellement en cours avec la thèse de Sébastien Serpaud, que je co-encadre avec Sonia Ben Dhia. J'y reviendrai dans le chapitre 6.

Les travaux issus de la thèse de N. El Belghiti Alaoui, présentés dans la partie V, s'éloignent de la thématique CEM. Cependant, ils m'ont été particulièrement enrichissants en me familiarisant avec les techniques d'analyse des données. Celles-ci ouvrent des perspectives intéressantes pour la prédiction en CEM en amont des phases de conception. Nous reviendrons sur cette perspective dans le chapitre 6.

VII. Références

- [BAU78] C. E. Baum, T. K Liu, and F. M. Tesche, "On the analysis of general multiconductor transmission line networks," Kirtland AFB, Albuquerque, NM, Interaction Note 350, 1978.
- [BAY11] P. Bayon, L. Bossuet, A. Aubert, V. Fischer, F. Poucheret, B. Robisson, P. Maurine, "Contactless Electromagnetic Active Attack on Ring Oscillator Based True Random Number Generator", COSADE'2011, Darmstadt, Germany, Feb. 2011.
- [BEL18] N. El Belghiti Alaoui, A. Boyer, P. Tounsi, A. Viard, "Upgrading In-Circuit Test of high density PCBAs using electromagnetic measurement and Principal Component Analysis", Journal of Electronic Testing; Theory and Application (JETTA), vol. 34, no 6, Dec. 2018.

- [BEN00] S. Ben Dhia, E. Sicard, F. Caignet, "A new method for measuring signal integrity in CMOS ICs", *Microelectronic Int. Journal*, vol. 17, no. 1, Jan. 2000.
- [BO07] A. Boyer, S. Akue Boulingui, E. Sicard, S. Baffreau, « Méthodologie de Prédiction des Risques d'Interférences dans un Couplage Puce à Puce », 5èmes JFMM & TELECOM 07, Fès, Maroc, 14 – 16 mars 2007
- [BOY06] A. Boyer, E. Sicard, S. Bendhia, E. Lamoureux, « Immunité d'Inverseurs CMOS en Champ Proche », CEM06, Saint-Malo, avril 2006, pp. 323 – 324.
- [BOY07] A. Boyer, S. Bendhia, E. Sicard, "Modelling of a Mixed-Signal Processor Susceptibility to Near-Field Aggression", *IEEE Symp. on EMC*, Hawaii, 6 – 13 July 2007.
- [BOY14] A. Boyer, B. Vrignon, J. Shepherd, M. Cavarroc, " Evaluation of the Near-Field Injection Method at Integrated Circuit Level", *EMC Europe 2014*, Goteborg, Sweden, September 1st-4th 2014.
- [BOY15] A. Boyer, B. Vrignon, Couplage électromagnétique sur circuits intégrés, Journée "Champ Proche : Applications pour la CEM et la sécurité des circuits électroniques", 19 juin 2015, GDR Ondes.
- [BOY16] A. Boyer, B. Vrignon, M. Cavarroc, "Modeling Magnetic Near-Field Injection at Silicon Die Level", *IEEE Trans. on Electromagnetic Compatibility*, vol. 58, no 1, Feb. 2016, pp. 257-268, 10.1109/TEMC.2015.2486041.
- [BOY16] A. Boyer, B. Vrignon, M. Cavarroc, "Modeling Magnetic Near-Field Injection at Silicon Die Level", *IEEE Transaction on Electromagnetic Compatibility*, vol. 58, no 1, February 2016, pp. 257-268, 10.1109/TEMC.2015.2486041.
- [BOYE07] A. Boyer, E. Sicard, S. Bendhia, « Characterization of the Electromagnetic Susceptibility of Integrated Circuits using a Near Field Scan », *Electronic Letters*, 4th January 2007, vol. 43, No 1
- [BOYE16] A. Boyer, "Improving Spatial Resolution of Immunity Maps by Post-Processing", 2016 Asia-Pacific Int. Symp. on EMC and Signal Integrity, May 18 – 21, 2016, Shenzhen.
- [BRA11] R. Brahimi, A. Kornaga, M. Bensetti, D. Baudry, Z. Riah, A. Louis, B. Mazari, "Postprocessing of Near-Field Measurement Based on Neural Networks", *IEEE Trans. on Instrumentation and Measurement*, vol. 60, no 2, February 2011.
- [CHU14] L. Chusseau, R. Omarouyache, J. Raoult, S. Jarrix, P. Maurine, K. Tobichy, A. Boyer, B. Vrignon, J. Shepherd, T. H. Le, M. Berthier, L. Rivière, B. Robisson, A. L. Ribotta, " Electromagnetic Analysis, Deciphering and Reverse Engineering of Integrated Circuits (E-MATA HARI)", 22nd IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC 2014), October 6-8, 2014, Mexico.
- [DEH12] A. Dehbaoui, J.-M. Dutertre, B. Robisson, and A. Tria, "Electromagnetic transient faults injection on a hardware and a software implementations of aes," in *Workshop on Fault Diagnosis and Tolerance in Cryptography (FDTC)*, 2012, 2012, pp. 7–15.
- [DUB08] T. Dubois, S. Jarrix, A. Penarier, P. Nouvel, D. Gasquet, L. Chusseau, B. Azaïs, "Near-Field Electromagnetic Characterization and Perturbation of Logic Circuits", *IEEE Trans. on Intrum. and Meas.*, vol. 57, no 11, Nov. 2008.
- [HAS71] H. Hasegawa, M. Furukawa, H. Yanai, "Properties of Microstrip Line on Si-SiO₂ System", *IEEE Trans. on Microwave Theory and Techniques*, vol. MTT-19, no 11, pp. 869 - 881, Nov. 1971.
- [HUA15] H. Huang, A. Boyer, S. Ben Dhia, "Electronic counterfeit detection based on the measurement of electromagnetic fingerprint", *Microelectronics Reliability*, Vol. 55, no 9-10, 9 July 2015, pp. 2050-2054
- [IEC62-9] IEC 62132-9 – edition 1.0: Integrated circuits - Measurement of electromagnetic immunity - Part 9: Measurement of radiated immunity - Surface scan method, 2014-08-21.
- [LAB09] C. Labarre, F. Costa, C. Gautier, "Wiener Filtering applied to Magnetic Near Field Scanning", *Progress In Electromagnetics Research*, PIER 96, 63-82, 2009.

- [LAC06] N. Lacrampe, A. Boyer, « Original Methodology for Integrated Circuit ESD Immunity combining VF-TLP and Near Field Scan Testing », 3rd EOS/ESD/EMI Workshop – Toulouse – 18-19 May 2006, pp. 51 – 54.
- [LAC17] N. Lacrampe, S. Serpaud, A. Boyer, S. Tran, " Radiated Suceptibility Investigation of Electronic Board from Near Field Scan Method", EMC Compo 2017, Saint Petersburg, Russia, July 2017
- [LAU91] J. J. Laurin, S. G. Zaky, K. G. Balmain « EMI-Induced Failures in Crystal Oscillators », IEEE Trans. on Electromagnetic Compatibility, vol. 33, no. 4, Nov. 1991.
- [LES10] C. Leseigneur, P. Fernandez Lopez, C. Arcambal, D. Baudry, " Near-field coupling model between electronic systems and a transmission line", in Proc. IEEE Int. Symp. on EMC, pp. 22-27, 2010.
- [LUN85] R. Lundin, "A Handbook Formula for the Inductance of a Single-Layer Circular Coil", in Proc. IEEE, vol. 73, no. 9, pp. 1428-1429, Sep 1985.
- [MED47] R.G. Medhurst, "H.F. Resistance and Self-Capacitance of Single-Layer Solenoids", Wireless Engineer, pp. 80-92, Mar 1947.
- [ORD14] S. Ordas, L. Guillaume-Sage, K. Tobich, J. M. Dutertre, P. Maurine, "Evidence of a Larger EM-induced Fault Model", 13th Smart Card Research and Advanced Application Conference (CARDIS2014), Paris, France, Nov. 2014
- [POU11] F. Poucheret, K. Tobich, M. Lisart, L. Chusseau, B. Robisson, P. Maurine, "Local and Direct EM Injection of Power into CMOS Integrated Circuits", Workshop on Fault Diagnosis and Tolerance in Cryptography, Nara, Japan, Sept. 2011.
- [QUI01] J.-J. Quisquater and D. Samyde, "Electromagnetic analysis (EMA): Measures and counter-measures for smart cards," in Smart Card Programming and Security. Springer, 2001, pp. 200–210.
- [RAO15] J. Raoult, P. Payet, R. Omarouayache, and L. Chusseau, "Electromagnetic coupling circuit model of a magnetic near-field probe to a microstrip line," in EMC COMPO 2015, 10th International Workshop on Electromagnetic Compatibility of Integrated Circuits, (Edinburgh, UK), 2015.
- [SCH07] J.M. Schmidt, M. Hutter, "Optical and EM Fault -Attacks on CRT-based RSA: Concrete Results", 15th Austrian Workshop on Microelectronics, 11 Oct. 2007, Graz, Austria.
- [SHI05] J. Shi, M. A. Cracraft, K. P. Slattery, M. Yamaguchi, R. E. DuBroff, "Calibration and Compensation of Near-Field Scan Measurements", IEEE Trans. on Electromagnetic Compatibility, vol. 47, no 3, August 2005.
- [TAY65] C. D. Taylor, R. S. Satterwhite, W. J. Harrison, "The response of terminated two-wire transmission line excited by a non uniform electromagnetic field", IEEE Trans. on Antennas and Propagation, vol. AP-13, pp. 987-989, 1965.
- [WAN04] K. Wang, D. Pommerenke, J. M. Zhang, R. Chundru, « The PCB Level ESD Immunity Study by using 3 Dimension ESD Scan System », IEEE Int. Symp. on EMC 2004, vol. 2, 9-13 August 2004, pp. 343 – 348.
- [ZAK92] S. G. Zaky, K. G. Balmain, G. R. Dubois, « Susceptibility Mapping », IEEE Int. Symp. on EMC, August 1992, pp. 439 – 442.
- [ZUS14] L. Zussa, A. Dehbaoui, K. Tobich, J.-M. Dutertre, P. Maurine, L. Guillaume Sage, J. Clédières, and A. Tria, "Efficiency of a glitch detector against electromagnetic fault injection," in Design, Automation and Test in Europe, Dresden, 2014.

Chapitre 4 : Contribution à la modélisation des circuits intégrés pour la CEM

La modélisation et la simulation de la CEM des CI sont des activités centrales de mes travaux de recherche. Au-delà de la prédiction, la modélisation permet aussi de valider notre compréhension des phénomènes. Ce chapitre balaie donc les différents travaux que j'ai menés autour des questions de modélisation pour la simulation de la CEM des CI. Ils ont abordé la modélisation de l'émission conduite et rayonnée des CI, de leur susceptibilité, ainsi qu'à la problématique de couplage en champ proche entre deux circuits proches décrite dans le chapitre précédent. Modéliser et simuler nécessitent non seulement un outil de simulation mais aussi des outils d'aide à la génération des modèles et de post-traitement des résultats. Mes travaux de recherche ont conduit au développement du logiciel IC-EMC [ICEMC], qui a joué le rôle de démonstrateur puis d'outil pédagogique.

L'approche de modélisation que j'ai suivie est très proche de celle promue par les standards IEC 62433 [IEC62] avec les modèles ICEM pour l'émission et ICIM pour l'immunité. Mes travaux ont aussi été menés dans une perspective de normalisation, d'une amélioration et d'une extension de ces standards. Ce chapitre présente donc mes principales contributions à l'amélioration des modèles de CI pour la prédiction de la CEM :

- la création rapide de modèles d'émission
- la réutilisation d'un modèle d'émission conduite pour la prédiction du rayonnement en champ proche d'un CI
- la construction de modèles d'immunité de CI et leur validation à l'aide d'un capteur sur puce
- la création de modèles d'immunité de CI dans un contexte d'injection en champ proche
- la simulation du couplage en champ proche entre deux circuits

Le chapitre se termine par une présentation de mes activités autour du logiciel IC-EMC, notamment sur les activités de formation. Une partie de mes travaux liés à la modélisation et la simulation ne sera pas présentée dans ce chapitre. Il s'agit des travaux liés à l'impact du vieillissement des CI sur leur niveau d'émission et d'immunité. Cette problématique étant nouvelle, les enjeux méritent d'être expliqués au préalable. C'est pourquoi les travaux de simulation et modélisation liés à cette problématique seront traités dans le chapitre suivant.

I. Construction rapide de modèles de prédiction de l'émission conduite des circuits intégrés

Ce travail a été réalisé avec Chaimae Ghfiri, doctorante que j'ai co-encadré avec Sonia Ben Dhia. Il s'inscrivait dans le projet Robustesse Electronique, financé par l'IRT Saint-Exupéry et supervisé par André Durier. Les résultats sont synthétisés dans l'article [GHF17]. Il avait pour but d'améliorer le processus de création du modèle standard IEC62433-2 ICEM-CE

(*Integrated Circuit Emission Model - Conducted Emission*), dédié à la prédiction de l'émission conduite des CI [IEC62-2]. Ce standard décrit le format d'un macromodèle générique simulant la génération de bruit conduit par le CI et sa propagation vers une carte électronique tout en préservant la confidentialité de la structure interne du CI. La structure basique du modèle est présentée à la Figure 35. Elle est composée de deux blocs principaux :

- le bloc d'activité interne ou *Internal Activity (IA)* décrit le courant transitoire généré par la commutation des structures internes du CI. Il est donc relié à la consommation de puissance dynamique, et donc à la fréquence d'horloge, à la tension d'alimentation et à la configuration du circuit telle que le programme embarqué ou la configuration des E/S. Electriquement, ce bloc peut être représenté par un ensemble de sources de courant périodiques excitant le réseau de distribution d'alimentation.
- le réseau de distribution passif ou *Passive Distribution Network (PDN)* modélise l'effet de filtrage apporté par les interconnexions de la puce et de son boîtier. Il s'agit surtout du réseau de distribution d'alimentation, qui est le principal vecteur de propagation de l'émission conduite. Ce bloc est supposé indépendant de l'activité interne du CI.

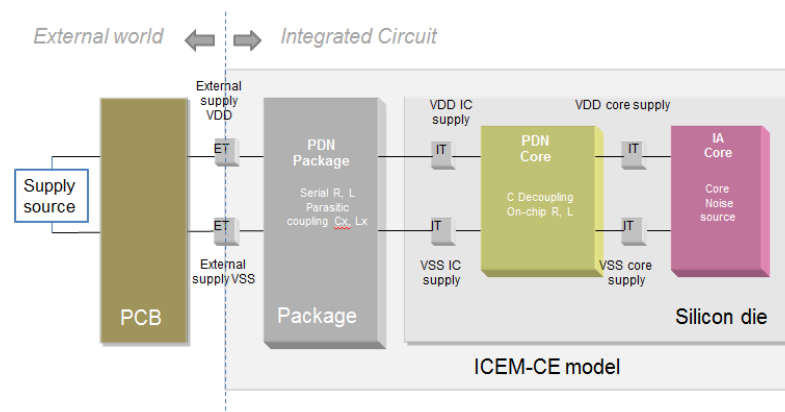


Figure 35 – Structure basique du modèle ICEM-CE [BOY17]

Ce modèle répond parfaitement au besoin d'un développeur de circuit imprimé souhaitant simuler et réduire le bruit d'alimentation (*Power integrity*) et l'émission conduite. Un exemple de problème concret que le modèle ICEM-CE permet de résoudre est l'optimisation du budget de condensateurs de découplage. Les progrès récents des outils de simulation numérique permettent de prédire le comportement électromagnétique des circuits imprimés multicouches précisément en un temps acceptable pour l'industrie [LI10]. En outre, ces outils supportent la co-simulation électrique - électromagnétique, permettant de connecter efficacement le modèle du circuit imprimé avec les modèles des composants montés dessus. Ce contexte rend pertinente l'idée d'un macromodèle de CI s'intégrant dans un modèle de carte électronique comme une simple brique. Cependant, les fabricants de CI rechignent à distribuer des modèles de CI, pour des raisons de confidentialité et de coût. Cette situation conduit les utilisateurs de CI à rechercher des méthodes efficaces pour construire leur propre modèle d'émission de CI, comme ICEM-CE.

Le standard IEC62433-2 et de nombreuses publications comme [LAB08] décrivent des approches principalement basées sur une mesure à l'analyseur de réseau vectoriel pour extraire le bloc PDN avec une bonne précision. La construction du bloc IA reste plus compliqué pour l'utilisateur du CI, principalement la modélisation du bruit issu de l'activité du

cœur. Comme nous l'avons montré avec C. Ghfiri dans [GHF16], le bruit issu de la commutation des E/S peut être simulé correctement et efficacement en utilisant le modèle IBIS [IBI15], standard bien plus reconnu et disponible qu'ICEM-CE. Le bruit cœur peut être simulé précisément à partir de la *netlist* du circuit et des bibliothèques des modèles de transistors et de cellules standards [PAR10] [LEC14]. Cependant, cette approche requiert un temps de simulation considérable et, surtout, exige des informations inaccessibles pour les utilisateurs de CI. Le standard IEC62433-2 propose une méthode d'extraction d'un bloc IA basée sur la mesure, notamment illustrée dans [LEV02]. Elle consiste à mesurer sur une carte spécifique le courant transitoire circulant à travers les broches de masse ou d'alimentation du CI, puis de calculer le courant transitoire interne au CI à partir de la connaissance du bloc PDN et du modèle électrique de la carte électronique sur laquelle est monté le CI. Cependant, nous avons montré avec C. Ghfiri que cette méthode souffre du défaut propre à tout problème inverse : elle est sensible à toute erreur de mesure et d'estimation du système [GHF17]. Dès que l'on considère un CI complexe comprenant de multiples domaines d'alimentation et de nombreux accès, la construction du bloc PDN est entachée de plus d'erreurs. Il est de même pour la construction du modèle d'un circuit imprimé multicouche. Une imprécision dans ces modèles, même si elle paraît acceptable de prime abord, peut conduire à une erreur excessive d'estimation du courant interne. Les réseaux de distribution d'alimentation ont un comportement passe-bas marqué par plusieurs résonances. Toute erreur d'estimation des fréquences de résonance conduit à une erreur importante sur le calcul du courant interne.

Nous avons proposé une méthode alternative pour construire le bloc IA du modèle ICEM-CE, avec les contraintes suivantes :

- la méthode s'adresse aux utilisateurs de CI, cherchant à prédire le bruit conduit sur un circuit imprimé
- la précision peut être raisonnable, c'est-à-dire que le modèle doit avant tout estimer correctement l'amplitude pic-à-pic du bruit ainsi que son enveloppe dans le domaine spectral
- la méthode doit s'appuyer sur un minimum de mesures, ne nécessitant aucune carte spécifique
- le modèle doit être compatible avec les outils de simulation standards
- le temps de construction et de simulation du modèle doit rester acceptable
- le modèle doit intégrer l'influence de la configuration du CI

La méthode proposée s'appuie sur une estimation de la consommation de puissance dynamique, à laquelle l'émission conduite du CI est reliée. Des constructeurs de CI comme des FPGA, des SoC ou des microcontrôleurs faible consommation fournissent des outils de calcul de la consommation en fonction de la configuration du CI. Par exemple, les environnements de conception de FPGA intègrent des outils précis d'estimation de la puissance dynamique moyenne à partir des simulations post-placement routage. Des simulations vectorielles peuvent aussi être menées pour déterminer le profil temporel de consommation [REN14], mais au prix de long temps de simulation. Cependant, en exploitant l'analyse temporelle statique, il est possible de déterminer les propriétés statistiques de l'activité temporelle du FPGA en un temps de calcul très faible.

Le flot de modélisation que nous avons proposé, résumé sur la Figure 36 à gauche, a été validé sur un FPGA de type Spartan 6 de Xilinx. Il consiste à utiliser les rapports d'estimation

de puissance et d'analyse temporelle issus du flot de conception FPGA. Dans un circuit digital composé de N portes, la puissance dynamique consommée peut être calculée à l'aide de l'équation 12, où V_{DD} est la tension d'alimentation, F_C la fréquence d'horloge, $\alpha(i)$ le taux de commutation d'une porte i et $q(i)$ la quantité de charge associée à une porte i . La forme d'onde exacte du profil de courant ne peut être reconstruite qu'à partir d'informations technologiques précises sur chaque porte, qui ne sont pas accessibles. Il est nécessaire de faire une hypothèse sur sa forme d'onde. En considérant une forme simpliste (par exemple triangulaire), l'amplitude du pic de courant peut être déterminée à l'aide de l'équation 13, où τ est la durée du pic de courant extraite à partir du rapport d'analyse temporelle.

$$P_{dyn_avg} = F_C \sum_{i=1}^N \alpha(i) q(i) \cdot V_{DD} \quad \text{Équation 12}$$

$$I_{max} = \frac{2 \cdot P_{dyn_avg}}{F_C \cdot \tau \cdot V_{DD}} \quad \text{Équation 13}$$

Le traitement des fichiers de post-placement routage et la création du bloc IA sont assurés par un outil appelé ICEM Generator, développé conjointement avec C Ghfiri. Celui-ci génère un modèle SPICE compatible avec des outils comme ADS. Le flot de simulation complet de l'émission conduite est résumé à la Figure 36 droite.

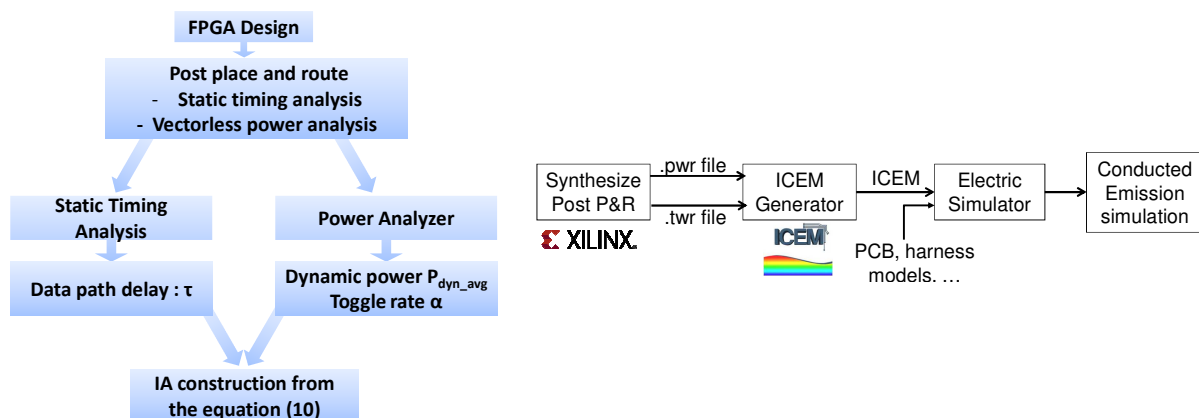


Figure 36 – Flot de construction du bloc IA (gauche) et flot de simulation de l'émission conduite (droite) [GHF17]

Afin de vérifier la pertinence de la méthode, les résultats de simulation ont non seulement été comparés à des résultats de mesure, mais aussi à ceux fournis par la méthode de modélisation proposée par le standard IEC62433-2. La Figure 37 de gauche présente une comparaison entre mesure et simulation dans le domaine temporel de la fluctuation d'alimentation produite par le FPGA testé. Même si la forme d'onde prédite par notre approche n'est pas parfaitement identique à celle mesurée, les amplitudes pic-à-pic mesurées (14 mV) et simulées (14.2 mV) sont en accord. La Figure 37 de droite présente une comparaison des enveloppes spectrales mesurées et simulées, soit avec notre approche (notée *new method*) et avec celle proposée par le standard IEC62433-2 (notée *std. method*). L'enveloppe prédite à l'aide de notre approche corrèle globalement avec celle mesurée sur l'ensemble de la plage fréquentielle. Elle permet de retrouver les niveaux d'émission en fonction de la fréquence, contrairement à ceux prédits par la méthode standard qui présente un écart avec la mesure nettement plus important. Comme expliqué

plus haut, les erreurs d'extraction du modèle du PDN et du circuit imprimé conduisent à une erreur d'estimation importante du bloc IA.

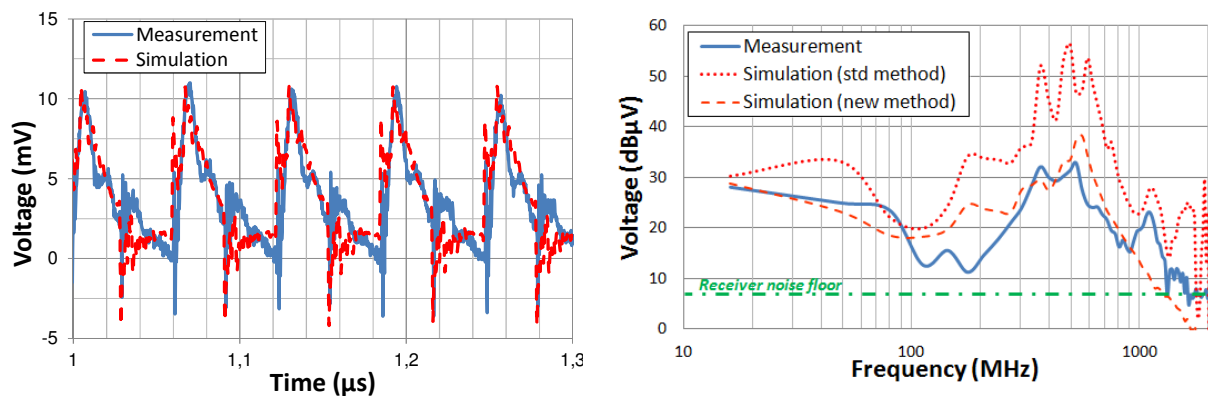


Figure 37 – Comparaison entre le bruit conduit mesuré et simulé avec notre approche (gauche) - Comparaison entre le spectre mesuré et simulé selon notre approche et la méthode standard (droite) [GHF17]

Malgré une précision qui n'est pas parfaite en raison des approximations qui sont faites, notre méthode permet une génération rapide du modèle ICEM-CE d'un CI complexe et donc une estimation rapide de l'émission conduite, compatible avec les exigences industrielles. Elle donne cependant un meilleur résultat que l'approche dite standard sur des circuits complexes avec des domaines d'alimentation multiples. Elle ne nécessite aucune phase complexe de mesure ou d'extraction de modèle, et ne se base que sur des données facilement disponibles pour un utilisateur de circuit. A ce jour, cette méthode a été validé sur un cas donné, un FPGA. L'extension de cette approche à d'autres FPGA ne pose pas de problèmes scientifiques particuliers, puisque l'ensemble des outils de conception fournissent les informations nécessaires à la construction du modèle. Il s'agit uniquement d'une question d'interfaçage. Pour d'autres classes de composants numériques typiques de l'électronique embarquée (microcontrôleur, SoC), un travail devra être effectué pour déterminer comment accéder à une estimation satisfaisante de ces informations.

II. Extension du modèle ICEM-CE à la simulation de l'émission rayonnée des circuits intégrés

Les courants transitoires produits par l'activité interne des CI se propagent le long des interconnexions du boîtier et contribuent au rayonnement du CI. Etant données les dimensions typiques des boîtiers de CI, leur contribution au rayonnement en champ lointain reste relativement faible comparé à celle de la carte électronique. En zone de champ proche, ce n'est pas forcément le cas. Suite à la proposition de modèle de prédiction de l'émission conduite des CI au début des années 2000, comme le modèle ICEM-CE [IEC62-2], la question d'un modèle générique de prédiction de l'émission rayonnée des CI s'est posée. Les travaux sur cette question ont été menés en parallèle du développement du scan champ proche en émission dans plusieurs laboratoires de recherche.

La méthode la plus courante, proposée à l'époque par différents laboratoires comme l'IRSEEM [VIV09] ou Missouri-Rolla [SHI04] et reprise par la proposition de standard IEC62433-3 ICEM-RE (*Integrated Circuit Emission Model - Radiated Emission*) [IEC62-3], est basée sur un macromodèle de type boîte noire. Il consiste en un ensemble de dipôles électriques ou magnétiques équivalents reproduisant le rayonnement en champ proche produit par le boîtier du CI. L'extraction du modèle se fait à partir de mesures de scan champ proche sur le CI à modéliser. Les courants d'excitation des dipôles équivalents, leurs positions et leurs orientations sont ensuite optimisés afin de minimiser l'erreur entre le champ mesuré et simulé. Une fois le modèle construit, le rayonnement en champ proche ou lointain peut être calculé à une plus grande distance. Une approche alternative consiste à sauvegarder directement les mesures en champ proche dans le modèle, puis à les utiliser comme sources secondaires selon le principe de Huygens, ou à appliquer une décomposition en spectre d'ondes planes pour déterminer extrapoler le rayonnement du CI.

Cette approche de type méthode boîte noire présente de nombreux avantages. Pour le fabricant d'une carte électronique existante voulant évaluer la contribution d'un CI au rayonnement de sa carte, la méthode est très séduisante car elle ne nécessite aucune connaissance préalable du CI. Elle est adaptée à un équipementier voulant réaliser une pré-validation de l'émission rayonnée d'une carte électronique avant un essai rayonné normalisé. Cependant, cette approche présente aussi quelques inconvénients. Elle n'est qu'en partie prédictive car elle ne permet de prédire le rayonnement du CI que dans la configuration et les conditions utilisées lors de sa caractérisation en champ proche. Toute variation de la configuration ou des conditions de test rend le modèle caduque et celui-ci doit être extrait à nouveau. Ainsi, cette approche ne permet pas de simuler efficacement l'influence de choix de conception et de les optimiser pour réduire l'émission rayonnée. Un autre défaut est l'absence de lien avec le modèle ICEM-CE, dédié à l'émission conduite (voir partie I). Bien que ces deux standards emploient une terminologie commune (IA, PDN), ils ne sont pas directement compatibles. Or, les problèmes d'émission conduite et rayonnée sont corrélés et investigués simultanément. Cette approche implique donc la construction de deux modèles différents pour le même circuit.

Durant ma thèse, avec mes encadrants de thèse E. Sicard et S. Ben Dhia, et une autre doctorante du LATTIS, C. Labussière, nous avons cherché une méthode permettant de simuler l'émission rayonnée d'un CI à partir de son modèle d'émission conduite. D'abord, l'émission rayonnée d'un CI dépend du courant transitoire généré par l'activité du circuit et de sa circulation le long des interconnexions de la puce et du boîtier. Un modèle d'émission conduite, comme ICEM-CE, permet de simuler ce courant transitoire et sa propagation à travers les différents terminaux physiques du circuit. Ensuite, en comparant les interconnexions de la puce et celles du boîtier, ces dernières sont plus longues et constituent donc des antennes plus efficaces. On peut ainsi considérer que seules les interconnexions liées au boîtier rayonnent. Leur modèle électrique est explicite dans le modèle d'émission conduite. Leur géométrie peut être estimée dans le cas de boîtier simple ou déterminé plus finement à l'aide d'une inspection par rayons X. Pour simuler le rayonnement d'un CI à partir de son modèle d'émission conduite, une co-simulation électrique - électromagnétique doit donc être envisagée. La première étape consiste à calculer le courant transitoire circulant dans les différentes interconnexions du boîtier. Ensuite, en attribuant un modèle géométrique à chaque interconnexion, l'émission rayonnée du CI peut être déterminée, à partir d'une résolution numérique précise des équations de Maxwell (par exemple méthode des moments, éléments finis, ...) ou d'une méthode approchée, basée par exemple sur

l'approximation d'un fil fin. La Figure 38 décrit le flot de simulation que nous avons développé. Afin de valider cette approche, nous l'avons implémenté avec E. Sicard dans le logiciel IC-EMC (voir partie VI).

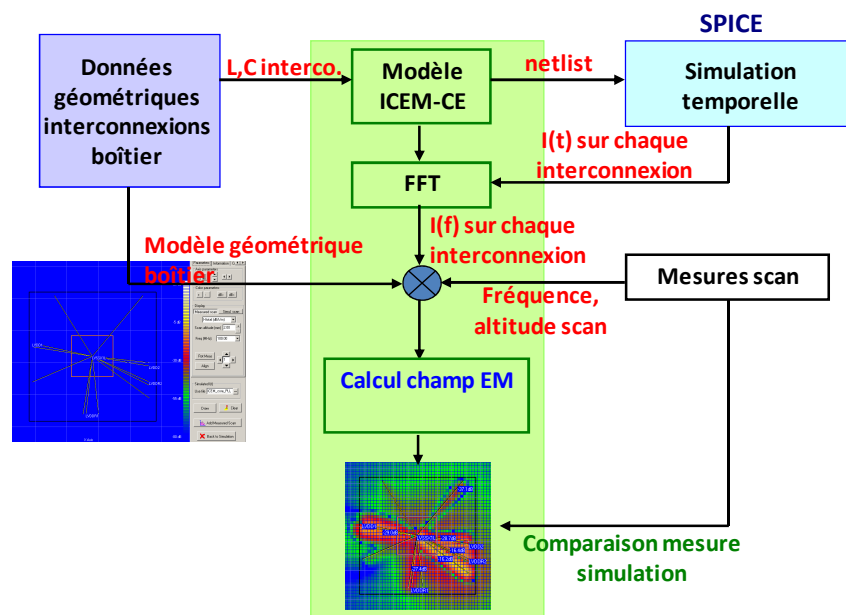


Figure 38 – Flot de simulation de l'émission rayonnée d'un circuit intégré à partir de son modèle d'émission conduite (par exemple ICEM-CE) [BEN05]

J'ai testé et validé cette approche à travers différents cas d'étude, qui ont donné lieu à des publications. J'en présenterai deux dans les paragraphes ci-dessous. Le premier concerne le modèle d'émission conduit et rayonné d'un microcontrôleur 16 bits monté dans un boîtier TQFP144 et dont le fonctionnement est cadencé à 16 MHz. Celui-ci a initialement été bâti par S. Ben Dhia et C. Labussière en vue de démontrer qu'un même modèle, basé sur le standard ICEM, pouvait simuler l'émission conduite et rayonnée d'un CI, en champ proche et en cellule TEM [LAB08]. La prédiction de l'émission en champ proche de ce composant a été réalisé avec IC-EMC et a ainsi servi de premier cas de validation. La Figure 39 présente la schématique électrique du modèle ICEM-CE du circuit. Seules les broches associées au réseau d'alimentation et aux broches du port de sortie sont modélisées. La géométrie interne de ce type de boîtier étant assez simple et régulière, chaque broche est modélisée comme un fil horizontal connectant la périphérie du boîtier à celle de la puce. Les simulations ont été effectuées à l'aide d'IC-EMC. La Figure 40 présente une comparaison entre les mesures et les simulations du champ magnétique produit à 32 MHz par le CI. Le modèle reproduit fidèlement la distribution du champ magnétique au-dessus du circuit, principalement localisé au-dessus des broches d'alimentation du cœur. Les maxima locaux simulés sont estimés à moins de 2 dB de ceux mesurés.

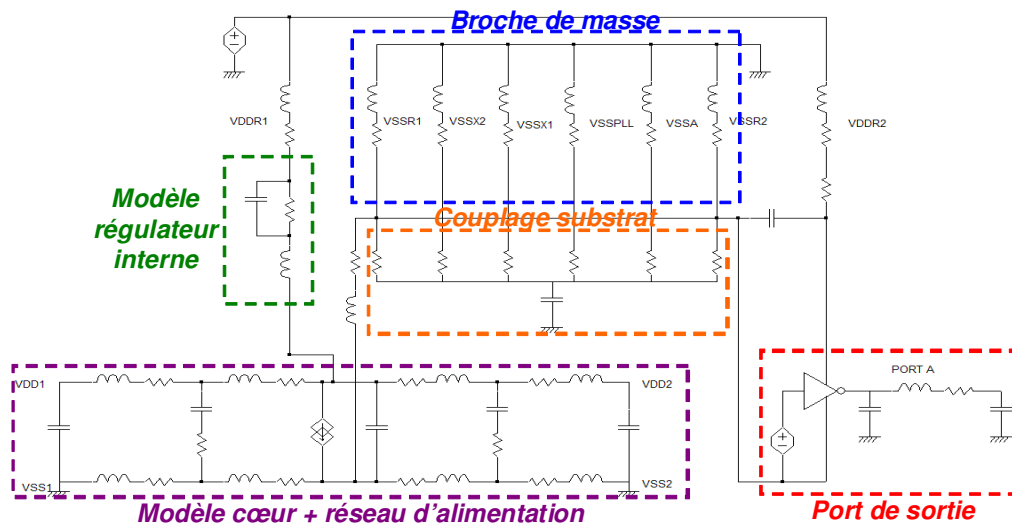


Figure 39 – Modèle ICEM-CE du microcontrôleur 16 bits étudié [BOY07]

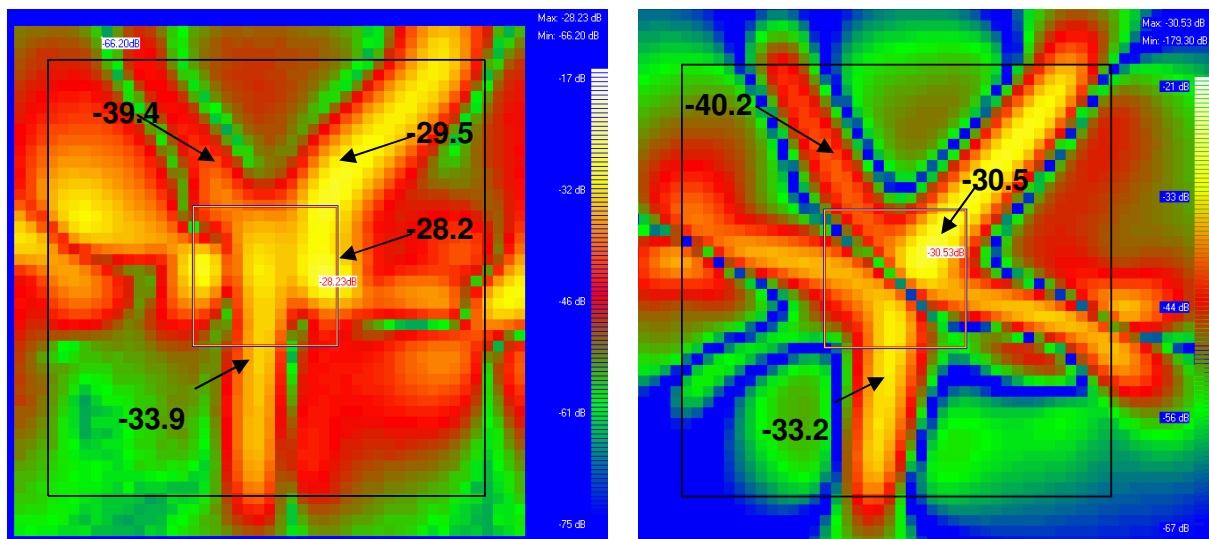


Figure 40 – Comparaison entre la mesure (gauche) et la simulation (droite) de la composante Hx du champ magnétique à 32 MHz pour une hauteur de scan de 2 mm [BOY07]

Le second cas d'étude concerne un travail plus récent, mené avec C. Ghfiri et S. Serpaud durant le projet Robustesse Electronique financé par l'IRT Saint-Exupéry. Ce travail visait à comparer différentes approches pour simuler l'émission en champ proche d'un circuit. Les résultats ont été publiés dans [SER17]. Par rapport au cas précédent, le circuit étudié ici était un FPGA monté dans un boîtier BGA 256, de géométrie interne nettement plus complexe que celle d'un boîtier TQFP144, comme l'illustre l'image aux rayons X des deux couches internes du boîtier (Figure 41). Sur cette image, les interconnexions associées aux différents domaines d'alimentation du composant ont été mises en évidence. A partir de ces images, un modèle géométrique du boîtier a été construit manuellement et couplé au modèle ICEM-CE du circuit que j'avais préalablement construit avec C. Ghfiri selon l'approche présentée dans la partie précédente [GHF17]. La méthode décrite à la Figure 38 a ensuite été utilisée pour calculer l'émission en champ proche de ce composant. Un exemple de comparaison entre mesure et simulation est présenté à la Figure 41. L'émission en champ proche est dominée par la contribution de la commutation d'une E/S digitale. Le modèle reproduit fidèlement la

répartition du champ magnétique, ainsi que le niveau de champ magnétique maximal. Néanmoins, en travaillant sur ce cas d'étude, la construction manuelle du modèle géométrique du boîtier a rapidement trouvé ses limites, en raison de la complexité du boîtier. Avec ce type de boîtier, les approximations sur la géométrie des interconnexions nuisent à la précision de la simulation du champ proche. Les constructeurs de CI délivrant très rarement des modèles géométriques 3D des boîtiers, une méthode d'extraction de ces derniers s'avère nécessaire. Pour être efficace, la génération du modèle doit passer par une extraction automatique basée par exemple sur une image aux rayons X de la structure interne du boîtier. L'utilisation d'algorithmes d'analyse d'image et de reconnaissance de formes est indispensable.

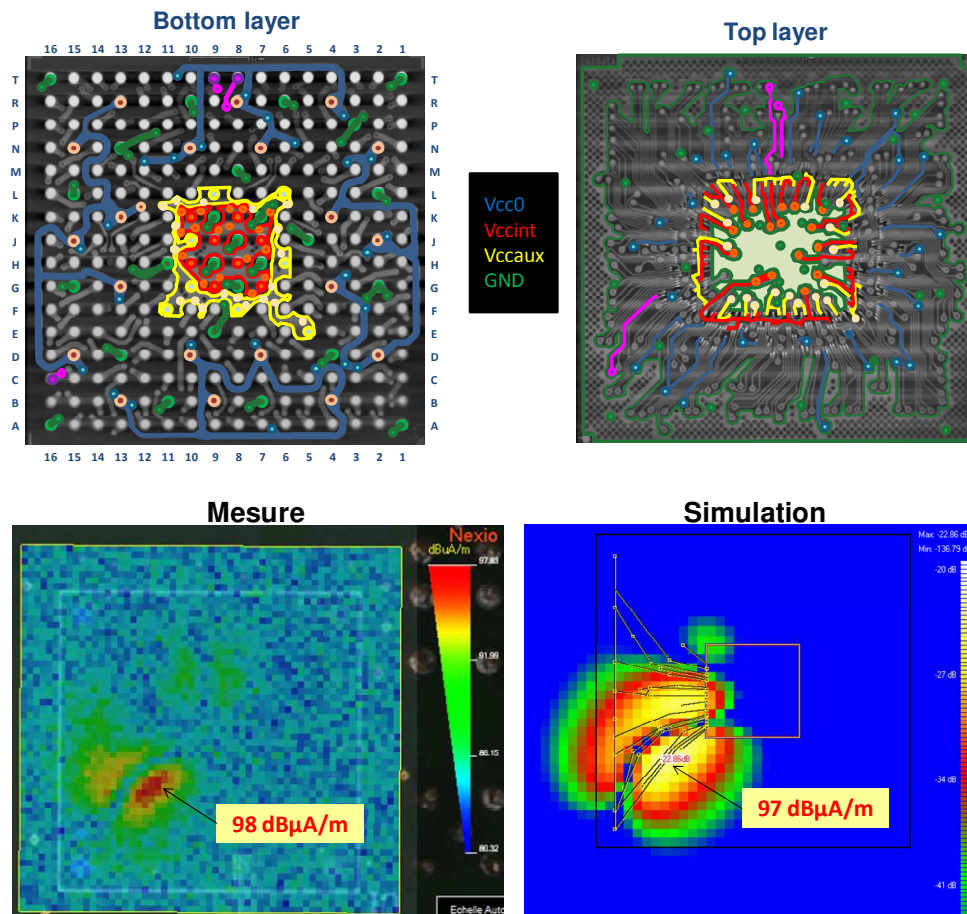


Figure 41 – Structure géométrique interne du boîtier BGA 256 (haut) - Comparaison entre la mesure et la simulation du champ magnétique mesuré à 0.6 mm au-dessus du FPGA [SER17]

III. Un capteur sur puce pour l'analyse et la modélisation de l'immunité des circuits intégrés

Le développement d'un modèle générique d'immunité des CI est une question de recherche qui a fait l'objet de nombreux travaux ces quinze dernières années et qui n'a pas encore trouvé de réponses définitives. A l'instar du modèle ICEM, un modèle générique pour l'immunité, appelée ICIM (*Integrated Circuit Immunity Model*), a été proposé par l'IEC

[IEC62-4], même si de nombreux problèmes restent en suspens. Pour comprendre la structure du modèle, il est nécessaire de rappeler que l'immunité d'un CI dépend de deux facteurs :

- le couplage et la propagation d'une perturbation électromagnétique à l'intérieur du CI
- la sensibilité des blocs internes à la perturbation électromagnétique résiduelle dans le CI

Un modèle générique d'immunité d'un CI doit donc reproduire ces deux effets. Il doit en outre rester simple, compatible avec les outils de simulation électrique standard et préserver la propriété intellectuelle du CI. Les deux verrous à l'établissement d'un modèle générique de l'immunité d'un CI sont:

- la très grande diversité de modes de défaillances d'une puce à l'autre, rendant impossible la définition d'un critère unique de défaillance
- le comportement non linéaire des blocs fonctionnels perturbés, mais aussi des étages de protection ESD. Je reviendrai sur cette problématique dans le chapitre 6.

L'expérience nous montre aussi que la qualité du modèle d'immunité d'un CI repose sur la modélisation de la propagation de la perturbation électromagnétique à l'intérieur du CI. Même sans une connaissance fine de la susceptibilité propre des blocs fonctionnels et en négligeant les effets non linéaires associés, cela permet d'identifier les bandes de fréquence de forte sensibilité et d'estimer les niveaux de perturbation requis pour induire une défaillance. Cette propagation est influencée par les impédances équivalentes existantes non seulement entre les différents terminaux externes du CI, mais aussi avec les terminaux des blocs fonctionnels internes. L'extraction de ces impédances et d'un modèle électrique équivalent se fait généralement par des mesures de paramètres S réalisées entre les accès externes du circuit, comme le montre [KOO09]. Cependant, l'absence d'accès aux terminaux internes des blocs fonctionnels ne permet de valider complètement le modèle électrique équivalent de propagation de la puce.

Afin de valider la pertinence de ces modèles à prédire les perturbations couplées en interne des CI, Sonia Ben Dhia et moi avons décidé de réutiliser le capteur de tension sur puce qu'elle avait initialement développé durant sa thèse [BEN00]. L'utilisation que nous avons faite de ce capteur était originale dans l'étude de l'immunité des CI aux perturbations électromagnétiques. Les premières versions de ce capteur ont été conçues à la fin des années 90 pour analyser les problèmes d'intégrité du signal et d'alimentation à l'intérieur de circuits CMOS. L'idée de l'utiliser pour étudier l'immunité des CI aux perturbations électromagnétiques avait été proposée pour la première fois au LATTIS pas S. Ben Dhia et E. Sicard dans le cadre de la thèse de E. Lamoureux en 2005 [LAM05]. Les avantages de ce capteur sont multiples : il permet de reconstituer la forme temporelle de signaux haute fréquence mesurés sur des nœuds internes et faiblement accessibles, sans intrusivité excessive. L'acquisition est basée sur le principe d'échantillonnage séquentiel à temps équivalent séquentiel qui, malgré une fréquence d'échantillonnage faible, fournit au capteur une large bande passante virtuelle. L'architecture du capteur et le principe de la reconstitution du signal sont illustrés à la Figure 42.

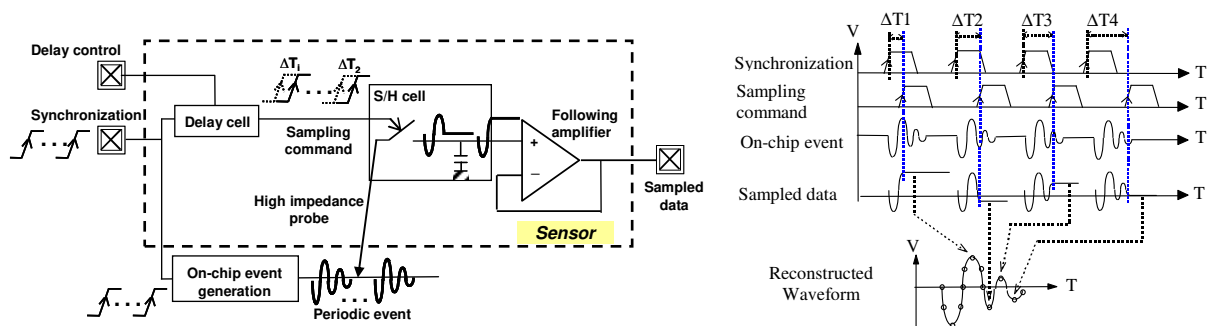


Figure 42 – Architecture du capteur sur puce (à gauche) et principe d'acquisition par échantillonnage séquentiel à temps équivalent (à droite) [BEN12]

Le capteur est composé d'une cellule à échantillonnage qui sous-échantillonne la tension sur une interconnexion interne du CI. Ce mode d'acquisition nécessite la répétition de plusieurs occurrences du signal, toutes reproductibles, puisqu'un seul échantillon est acquis à chaque répétition. L'acquisition est synchronisée par une référence externe. La commande d'échantillonnage est décalée finement dans le temps par une cellule de délai contrôlable. Le pas d'échantillonnage virtuel de ce capteur est donc relié au plus petit délai pouvant être contrôlé par cette cellule. Les performances du capteur sont fortement dépendantes de la technologie : la bande passante virtuelle tend à s'accroître avec la finesse de gravure. Bien que le fonctionnement du capteur soit affecté par plusieurs imperfections (non-linéarité des étages d'amplification, variabilité des éléments, offsets parasites ...), les lois de commande du capteur peuvent être étalonnées lors d'une phase de calibration préalable. Les détails de conception et de caractérisation du capteur peuvent être trouvés dans [BEN12].

Au cours de ces dix dernières années, nous avons conçu avec S. Ben Dhia quatre circuits de test contenant des capteurs sur puce, dans le cadre de différents projets, en partenariat avec deux industriels (Freescale Semiconductor et AMS). Ceux-ci sont listés dans le tableau ci-dessous. Le logiciel d'acquisition associé a été développé par deux ingénieurs de recherche sous contrat que je supervisais (Christophe Lemoine pour Mixity et ELMER2, puis Manuel Cavarroc pour Milady et Autoben2). Le capteur a été utilisé par plusieurs de nos doctorants pour analyser le couplage de perturbations externes à l'intérieur du CI et valider le modèle électrique équivalent. Dans la suite, je ne montrerai pas tous les résultats obtenus avec ce capteur. Seuls quelques exemples seront présentés afin d'illustrer l'intérêt du capteur pour analyser l'immunité d'un CI et valider son modèle.

Puce (Fabricant)	Technologie	Projet	Finalité
Mixity (Freescale)	CMOS 0.25 μm	ANR jeunes chercheurs EMRIC - Thèse de B. Li et H. Huang	Etude de la CEM à long terme (voir chapitre 5)
ELMER2 (Freescale)	CMOS 90 nm		
Milady (Freescale)	CMOS 0.25 μm	ANR E-Mata-Hari	Modélisation de l'injection en champ proche sur puce (voir chapitre 3)
Autoben2 (AMS)	CMOS 0.35 μm	Projet européen Automics - Thèse de V. Tomasevic	Caractérisation et modélisation du couplage substrat dans des circuits Smart Power.

Tableau 3 - Liste des circuits de test utilisés dans le cadre de mes travaux de recherche et intégrant

Pour caractériser la propagation d'une perturbation électromagnétique externe à l'intérieur de la puce, j'ai introduit la notion de fonction de transfert de couplage de la perturbation électromagnétique H_{EMI} (*EMI transfer function*), dont l'expression est donnée par l'équation 14. Elle est adaptée au contexte d'une injection conduite, par exemple lors d'un essai en *Direct Power Injection* (DPI). Cette relation exprime le rapport entre la fluctuation de tension induite par une perturbation électromagnétique et la puissance incidente de cette perturbation. Plus le module de cette fonction de transfert est élevé, plus le couplage de la perturbation à l'intérieur du CI est efficace.

$$H_{EMI} = \frac{\Delta V}{P_{forw}} \quad (V/W) \quad \text{Équation 14}$$

Un des premiers résultats fournis par le capteur est l'effet de filtrage apporté par le boîtier et les interconnexions de la puce. A partir de quelques centaines de MHz, voire quelques dizaines de MHz, il est difficile de déterminer précisément le bruit couplé en interne par une mesure externe. A titre d'exemple, la Figure 43 compare les fonctions de transfert de couplage à l'intérieur et à l'extérieur d'un circuit digital (Mixity). Une perturbation harmonique conduite est appliquée sur la broche d'alimentation. La fluctuation de tension d'alimentation induite par la perturbation est mesurée soit sur la broche du boîtier du circuit à l'aide d'un oscilloscope large bande muni d'une sonde active, soit à l'intérieur du circuit à l'aide du capteur sur puce. Les deux dispositifs de mesure ont des bandes passantes supérieures à 1 GHz. En dessous de 50 MHz, les deux méthodes de mesure fournissent des résultats identiques, mais ceux-ci divergent au-delà. Entre 50 et 200 MHz, une analyse basée sur la mesure à l'oscilloscope tend à sous-estimer le couplage de la perturbation en interne, qui s'accroît en raison de la résonance puce-boîtier. Au-delà de 200 MHz, la mesure à l'oscilloscope surestime le couplage de la perturbation en interne à cause de l'atténuation apportée par le boîtier du circuit. L'écart entre les résultats de mesure atteint jusqu'à 20 dB.

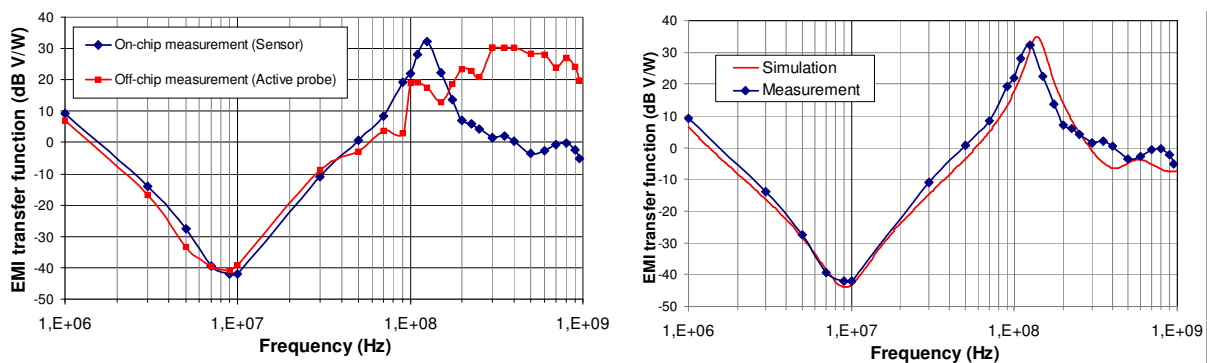


Figure 43 – Comparaison des fonctions H_{EMI} mesurées à l'extérieur et à l'intérieur du circuit (à gauche) - Comparaison mesure et simulation de la fonction des fonctions H_{EMI} à l'intérieur du circuit [BEN12]

Sur ce même circuit, des mesures de paramètres S ont été réalisés entre les différentes broches du réseau d'alimentation et un modèle électrique équivalent a été extrait. La fonction de transfert du couplage de la perturbation à l'intérieur du circuit a été calculée. Elle a été comparé à celle mesurée à l'aide du capteur, comme le montre la Figure 43 de droite. Un bon accord entre mesure et simulation du couplage de la perturbation est visible. La fonction de transfert présente des maxima en basse fréquence et autour de 140 MHz. Ceux-ci sont

corrélés avec des pics de susceptibilité conduite du circuit digital. Ce résultat démontre que les modèles électriques équivalents basés sur des mesures d'impédance ou de paramètres S entre les terminaux externes d'un CI simulent correctement la propagation d'une perturbation électromagnétique à l'intérieur de la puce, validant ainsi nos approches de construction de modèles d'immunité des CI.

L'utilisation de ce capteur peut aussi aider à analyse des mécanismes à l'origine des défaillances d'un CI, dont nous ne voyons que les manifestations extérieures. Afin de l'illustrer, je présente l'investigation que j'ai menée sur un autre circuit digital synchrone (ELMER2), dont les résultats sont décrits dans l'article [BOY12]. Une mesure de susceptibilité a montré l'existence de deux modes de défaillance distincts lors d'une injection conduite sur l'alimentation de ce circuit (Figure 44) :

- défaut de type 1 : il apparaît en dessous de 250 MHz et correspond au décalage du signal binaire de sortie pendant une période d'horloge.
- défaut de type 2 : il apparaît au-dessus de 250 MHz et correspond à un collage de la sortie à l'état '0'.

Pour analyser les mécanismes de défaillances, plusieurs capteurs ont été disséminés sur ce circuit : sur l'alimentation, la masse, l'arbre d'horloge, l'entrée et la sortie d'une bascule interne. Un premier constat est la différence de couplage sur les rails d'alimentation et de masse du circuit, comme le montre la Figure 44. Naturellement, l'immunité du composant décroît au fur et à mesure que le couplage sur les références d'alimentation et de masse croît. Jusqu'à 100 MHz, le couplage de la perturbation sur le rail de masse est négligeable. Il devient égal au couplage sur le rail d'alimentation à partir de 250 MHz. L'apparition du défaut de type 2 semble corrélérer avec le bruit couplé sur la masse.

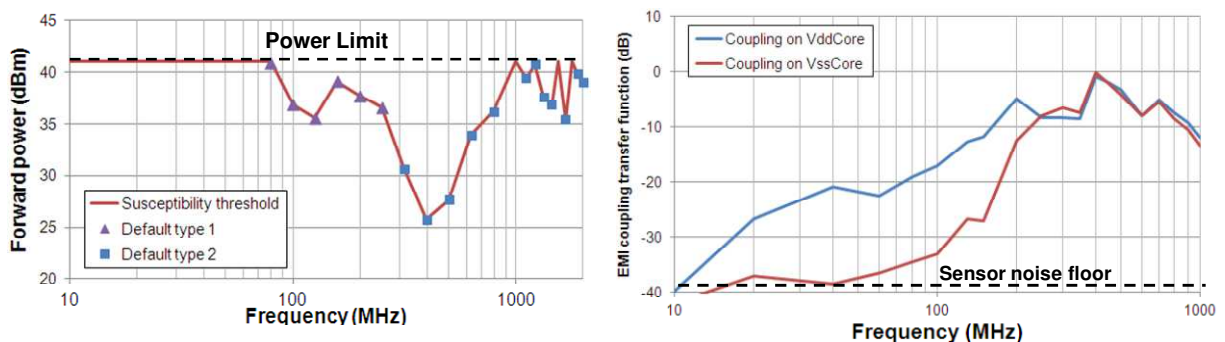


Figure 44 – Mesure de la susceptibilité conduite du circuit (à gauche) - comparaison du couplage de la perturbation sur les rails d'alimentation et de masse (à droite) [BOY12]

Pour mieux comprendre l'origine de ces deux types défauts, j'ai analysé la dégradation des signaux digitaux internes par la perturbation. Pour y parvenir, j'ai utilisé le capteur dans un mode d'acquisition original. La reconstitution temporelle d'un signal exige que la commande d'échantillonnage du capteur soit synchronisée avec le signal à mesurer. Dans le cas étudié, deux signaux périodiques sont à mesurer : la perturbation sinusoïdale et le signal digital interne. Plusieurs stratégies de synchronisation du capteur sont donc envisageables. D'abord, synchroniser l'échantillonnage du capteur uniquement sur la perturbation n'apporte rien d'intéressant puisque l'apparition des transitions du signal digital devienne aléatoire. Le synchroniser à la fois sur la perturbation et le signal digital peut nous aider à mesurer l'influence de la phase entre la perturbation et le signal digital sur l'apparition de la

défaillance. Ce mode peut être particulièrement intéressant pour l'étude de l'immunité des circuits digitaux aux perturbations transitoires rapides dont le comportement est fortement influencé par l'instant d'apparition de la perturbation [LI98]. Ce mode n'a pas été utilisé dans le cadre de cette étude. Enfin, synchroniser l'échantillonnage du capteur sur le signal digital interne permet d'analyser l'impact de la perturbation sur la dégradation du signal, puisque la perturbation n'a plus de relation de phase avec le signal digital interne et l'acquisition par le capteur. Le capteur se comporte alors comme un oscilloscope à persistance, révélant la répartition statistique du bruit en amplitude et en phase. C'est ce mode que j'ai utilisé.

Dans un premier temps, j'ai analysé les conditions d'apparition du défaut de type 1. L'arrivée d'une donnée binaire est décalée de 1.5 ns par rapport au front montant de l'horloge. Toute perturbation sur les références d'alimentation crée une gigue temporelle pouvant induire une faute temporelle si l'amplitude pic-à-pic de la gigue affectant le signal d'horloge dépasse 3 ns. Avec le capteur en mode persistance, j'ai caractérisé l'amplitude de la gigue affectant le signal d'horloge en fonction de la fréquence et de l'amplitude de la perturbation. La Figure 45 du haut montre un exemple d'acquisition de la gigue pour une perturbation de 80 MHz. La Figure 45 du bas présente l'évolution de la gigue en fonction de l'amplitude de la fluctuation de tension d'alimentation pour différentes fréquences de la perturbation. Celle-ci croît quasi linéairement en fonction de l'amplitude de la perturbation, mais décroît avec la fréquence. Cela explique pourquoi le défaut de type 1 disparaît au-dessus de 250 MHz. L'analyse conjointe de la fluctuation de la tension d'alimentation et de la gigue à la limite d'apparition du défaut de type 1 montre que le défaut apparaît lorsque la gigue affectant l'horloge est de l'ordre de 3 ns.

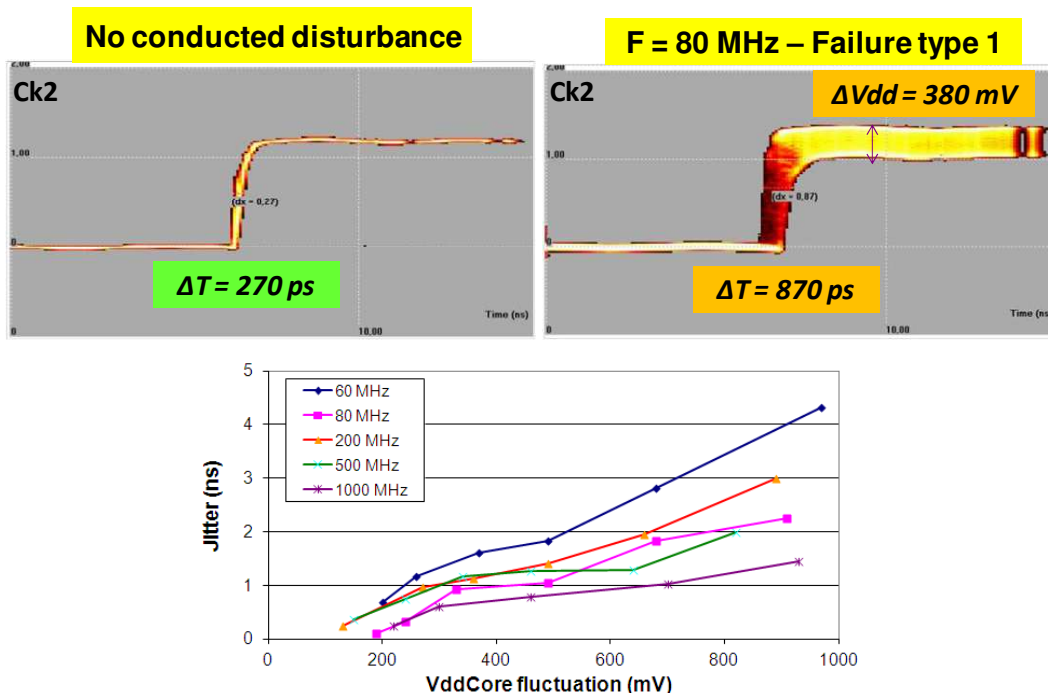


Figure 45 –Caractérisation de la gigue temporelle affectant le signal d'horloge en fonction de la fréquence et l'amplitude de la perturbation [BOY12]

Dans un second temps, j'ai analysé les conditions d'apparition du défaut de type 2. L'amplitude de la perturbation est réglée de sorte à être à la limite d'apparition de ce défaut. Le capteur est utilisé en mode persistance pour mesurer la dégradation du signal d'horloge. La Figure 46 compare le profil temporel de ce signal sans et avec la perturbation. On

remarque que l'amplitude du bruit se superposant au signal d'horloge lorsqu'il est à l'état logique '0' dépasse 0.7 V. Une telle amplitude dépasse le seuil d'activation des diodes de protection de la puce et celle des jonctions PN parasites entre les structures actives des portes et le substrat, ce qui peut compromettre le fonctionnement du circuit. Le capteur nous indique l'influence du bruit de masse sur l'apparition du défaut de type 2.

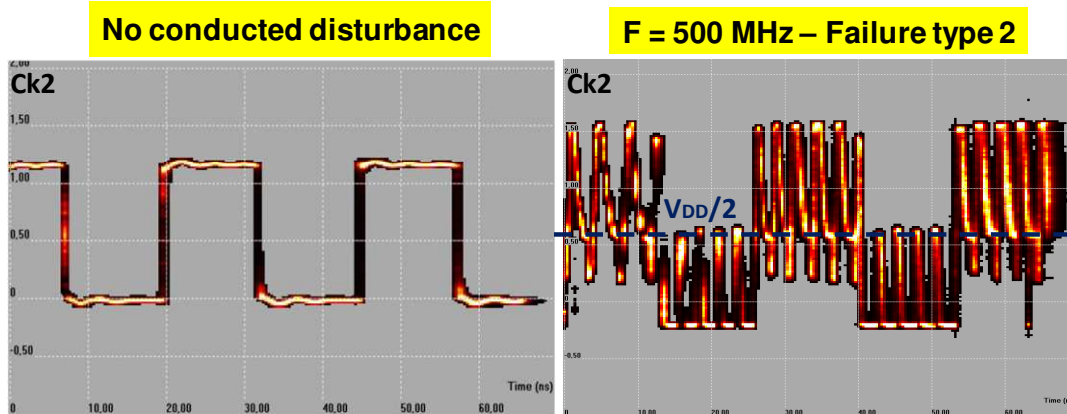


Figure 46 – Mesure en mode persistance du profil temporel de l'horloge interne par le capteur : sans perturbation (à gauche) - avec perturbation avant l'apparition d'un défaut de type 2 (à droite) [BOY12]

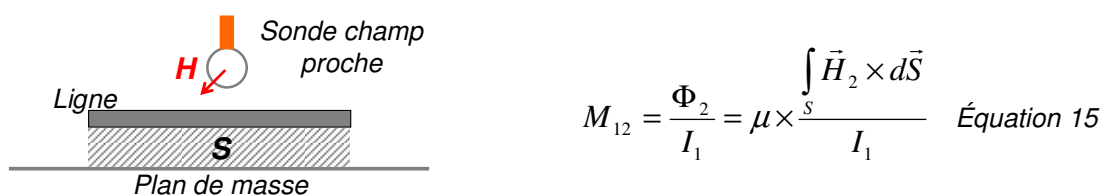
Les mesures fournies par le capteur et l'analyse qui en est extraite nous ont aidé à établir un modèle du comportement du CI face aux perturbations électromagnétiques. Ces travaux ont donc montré que le capteur constitue aussi un outil précieux pour l'étude et la modélisation de l'immunité des CI.

IV. Modélisation de l'immunité en champ proche des circuits intégrés

Comme je l'ai présenté dans le chapitre 3, j'ai travaillé dès ma thèse à l'élaboration de l'injection en champ proche comme outil d'étude de l'immunité des CI. Cette méthode d'injection sans contact permet non seulement de localiser les broches d'un composant sensibles aux perturbations électromagnétiques, mais aussi d'estimer sa susceptibilité lorsqu'il est rapproché d'une source. Ces travaux ayant été réalisés dans un contexte de recherche et de normalisation de méthodes de modélisation générique de l'immunité des CI, la question de la simulation de l'immunité des CI en injection champ proche s'est naturellement posée et a constitué un de mes axes de recherche. J'ai donc été un des premiers à construire un modèle d'immunité en champ proche des CI. Dans mon laboratoire, le LATTIS, ces travaux étaient directement en continuité avec ceux de S. Baffreau [BAF03] et de E. Lamoureux [LAM06], dont les travaux de thèse étaient consacrés à l'élaboration de modèles génériques d'immunité conduite des CI.

Le modèle proposé est très proche du modèle d'immunité conduite puisque seul le mode couplage de la perturbation sur le circuit sous test change. Les effets de propagation de la perturbation à travers le circuit imprimé, le boîtier et la puce du CI, ainsi que les modes de défaillance restent inchangés. En effet, le couplage entre la sonde et le CI étant faible, son comportement n'est quasiment pas modifié par la présence de la sonde champ proche. Ce

modèle d'immunité en champ proche doit inclure le modèle de la sonde et de son couplage avec le circuit sous test. La modélisation électrique et électromagnétique de la sonde d'injection a déjà été traitée dans le chapitre 2 partie I. Le couplage est localisé sur une ou plusieurs broches voisines du boîtier du CI. Il est de type électrique ou magnétique et peut se ramener à une capacité ou une inductance mutuelle équivalente. La valeur de ces éléments de couplage dépend de la géométrie de la sonde, de sa position par rapport au boîtier du CI, mais aussi de la géométrie des broches du boîtier. Elle peut être extraite en considérant chaque broche du boîtier comme une ligne de transmission et en considérant un couplage champ à ligne. A partir du modèle électromagnétique de la sonde, les éléments de couplage peuvent être calculés en intégrant le couplage des champs E ou H le long de la ligne. L'équation 15 illustre le calcul de l'inductance mutuelle M_{12} entre une sonde d'injection magnétique et une ligne microruban, où S est la surface entre la piste et le plan de masse, I_1 le courant d'excitation de la sonde et Φ_2 le flux du champ magnétique à travers S.



$$M_{12} = \frac{\Phi_2}{I_1} = \mu \times \frac{\int_S \vec{H}_2 \times d\vec{S}}{I_1} \quad \text{Équation 15}$$

En supposant qu'un modèle d'immunité conduite du CI existe, j'ai proposé un flot de construction d'un modèle électrique équivalent de l'immunité en champ proche. Celui-ci est résumé sur la Figure 47. Je l'ai implémenté sous le logiciel IC-EMC pour automatiser le calcul des éléments de couplage et la génération d'un modèle compatible SPICE. Le modèle géométrique du boîtier est reconstruit par l'outil à l'aide des dimensions externes du boîtier et du brochage fourni par le fichier IBIS du circuit. A titre d'exemple, la Figure 48 illustre le calcul des inductances mutuelles entre une sonde d'injection magnétique et les broches d'un boîtier QFP64. Le couplage est maximal avec les broches placées directement sous la sonde.

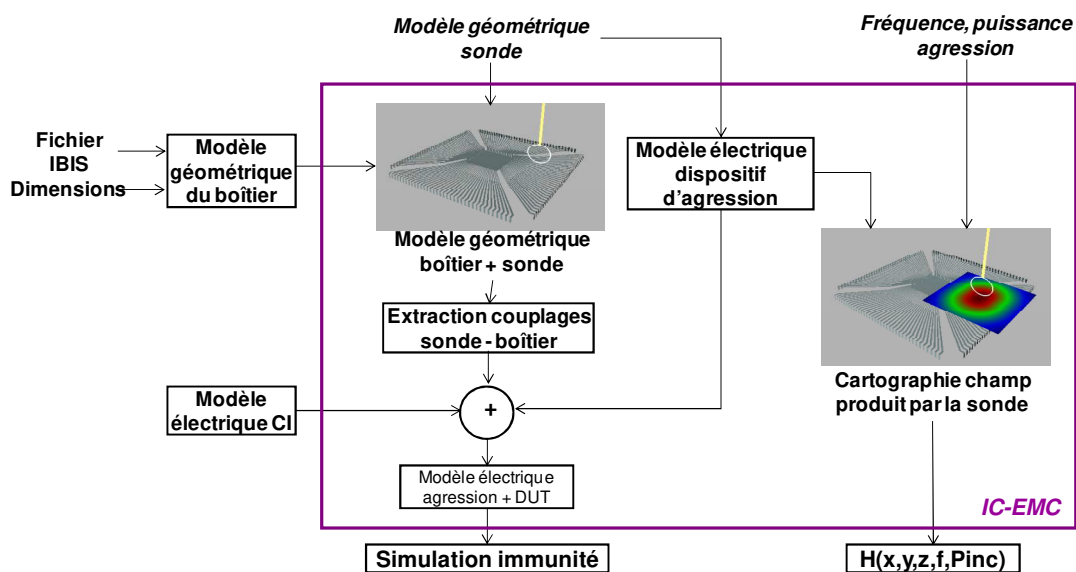


Figure 47 – Flot de construction du modèle électrique de l'injection en champ proche sur un boîtier de circuit intégré [BOY07]

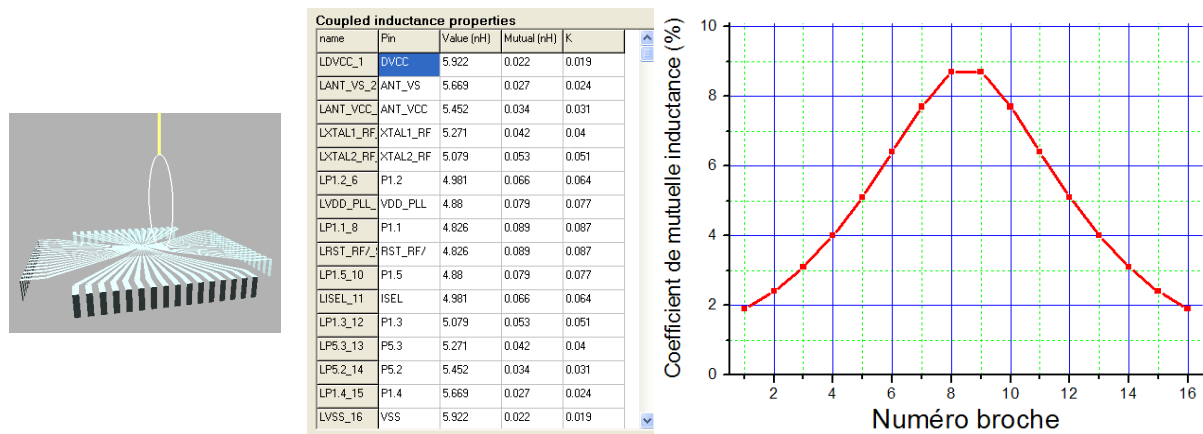


Figure 48 – Calcul des coefficients de mutuelle inductance entre une sonde d'injection magnétique et un boîtier QFP 64 [BOY07]

J'ai testé et validé cette méthodologie sur plusieurs cas d'étude que j'ai pu publier. Ci-dessous, je présente la modélisation d'une injection champ proche magnétique sur un convertisseur analogique-numérique (CAN) 10 bits. Sa caractérisation en immunité champ proche avait été décrite dans le chapitre 3 (voir figure 5). Le modèle d'immunité du circuit sous test avait été construit en trois étapes distinctes :

- la construction du réseau de distribution d'alimentation à partir de mesures d'impédances entre les différents terminaux d'alimentation et de masse du circuit
- la construction du modèle de l'entrée analogique, contenant le modèle de la broche du boîtier et l'impédance équivalente de l'entrée du convertisseur
- la construction d'un modèle équivalent de la fonction CAN; ce modèle fonctionnel convertit la tension appliquée en entrée en un code binaire.

A partir d'informations sur la géométrie du boîtier, en appliquant le flot décrit à la Figure 47, le modèle d'immunité est complété avec celui de la sonde d'injection et des coefficients de couplage entre la sonde et les broches du boîtier. La Figure 49 présente le schéma électrique du modèle. La Figure 50 présente la comparaison entre mesure et simulation du niveau de susceptibilité du CAN lorsque la sonde d'injection est positionnée à 0.5 mm au-dessus de la broche d'entrée du CAN. Le critère de défaillance correspond à une modification du résultat de conversion équivalent à un bit de poids faible. La limite de puissance d'injection à 40 dBm provient de l'amplificateur de puissance utilisé pendant le test. Une bonne corrélation est obtenue entre les résultats de mesure et de simulation, validant le modèle d'immunité du CAN. La susceptibilité du CAN visible entre 1 et 25 MHz provient de la conversion directe par le CAN du bruit couplé sur la broche d'entrée. A partir de 3 MHz, l'entrée du CAN commence à filtrer efficacement la perturbation incidente. La susceptibilité visible autour de 1 GHz provient de l'impédance non négligeable de la référence de masse analogique VSSA du circuit. Comme le montre la Figure 49, le réseau de masse du circuit est complexe. Son modèle est formé de multiples inductances et capacités parasites à l'origine d'un profil d'impédance dépendant de la fréquence et de multiples résonances. C'est une de ces résonances qui est à l'origine de la sensibilité mesurée autour de 1 GHz.

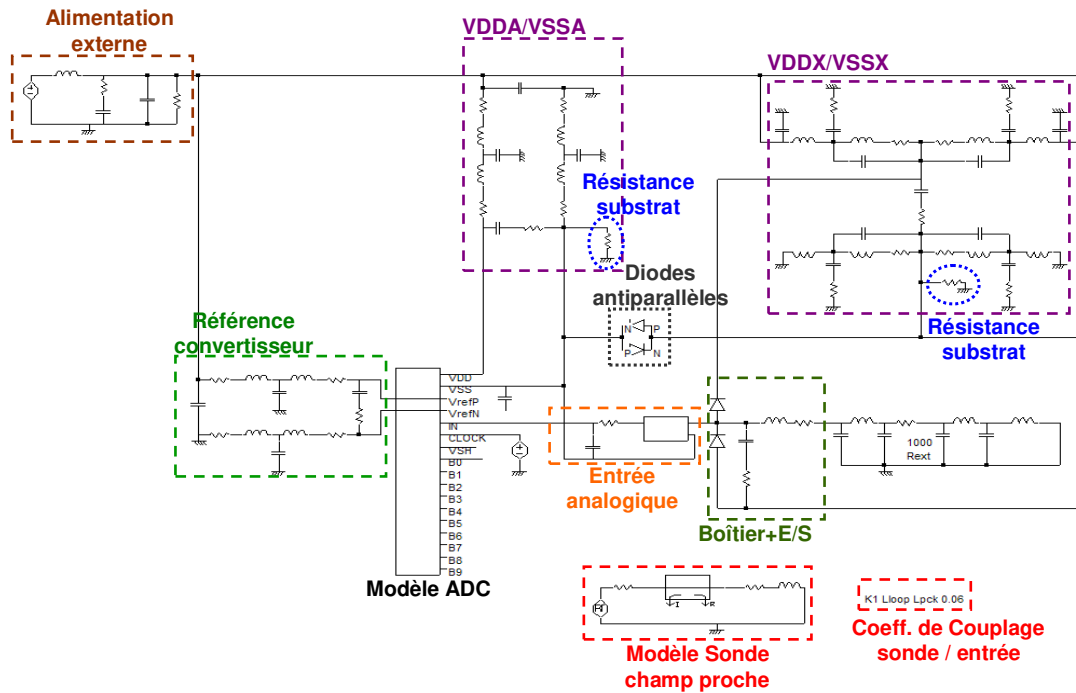


Figure 49 – Modèle de prédiction de la susceptibilité en champ proche du convertisseur analogique numérique [BOY07]

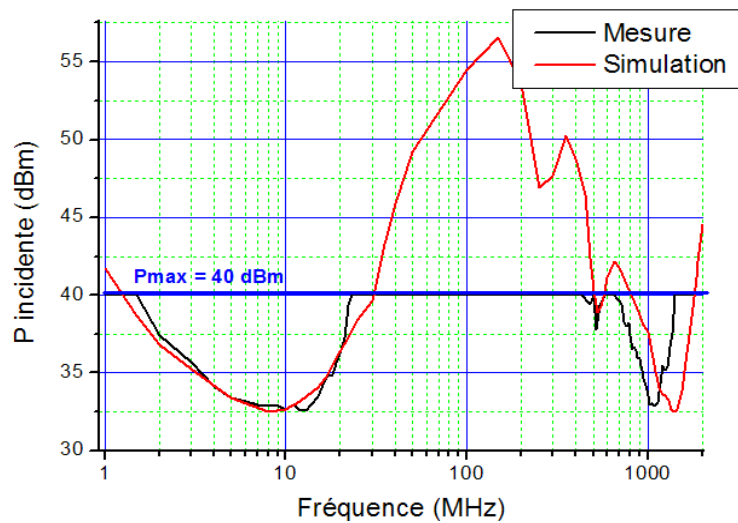


Figure 50 – Comparaison entre la mesure et la simulation du seuil de susceptibilité du convertisseur analogique numérique à une agression en champ proche de la broche d'entrée [BOY07]

V. Simulation du couplage en champ proche entre deux circuits - Application aux systèmes en boîtier

Les risques de dysfonctionnement lié aux problèmes d'auto-compatibilité entre circuits montés au sein d'un même boîtier ont été évoqué dans le chapitre 3 partie II. La proximité peut accroître les couplages mutuels entre circuits et donc la création d'interférences

parasites au sein du même boîtier. Dans le chapitre 3, j'avais présenté une méthode expérimentale pour évaluer ce type de risque lorsque deux composants sont rapprochés, en exploitant des mesures champ proche en émission et en immunité. Puisque des modèles de prédiction de l'émission et de l'immunité en champ proche des CI peuvent être construits, ces modèles sont réutilisables pour prédire les risques d'interférences entre circuits proches. Ce type d'analyse peut trouver une application concrète dans la prédiction des risques d'interférences entre CI montés au sein d'un système en boîtier.

La méthodologie que j'ai développée associe donc à l'intérieur d'un même modèle les modèles d'émission et d'immunité des CI, construits au préalable. Elle va aussi déterminer les couplages mutuels, capacitifs et inductifs, entre les interconnexions les plus longues de ces composants, notamment celles associées aux connexions boîtier. Les couplages sont dépendants du positionnement des composants. Cela va permettre de prédire l'ampleur de l'interférence en fonction de la position, et ainsi sélectionner des stratégies de placement pour réduire l'interférence. Les géométries des interconnexions boîtier étant complexes, j'ai codé un algorithme basé sur la méthode PEEC (*Partial Element Equivalent Circuit*) [RUE72] pour calculer les couplages. Basée sur l'approximation quasi-statique et la résolution de l'équation intégrale du champ électrique, la méthode extrait un modèle électrique équivalent des différents conducteurs sous la forme d'un réseau d'éléments passifs (résistance, inductance, capacité). La Figure 51 illustre la manière dont les conducteurs sont discrétisés en filaments et en panneaux élémentaires pour extraire les inductances et capacités mutuelles entre conducteurs voisins.

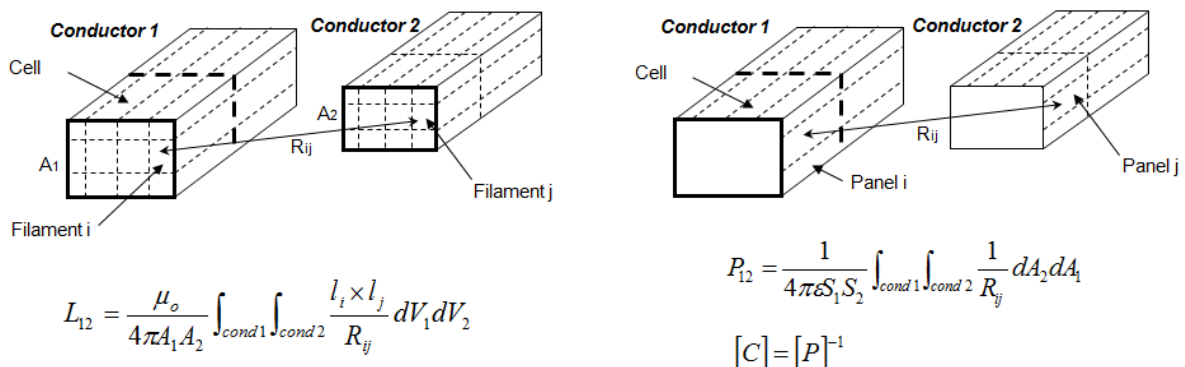


Figure 51 – Illustration de la méthode PEEC : maillage des structures et équations pour extraire les inductances (à gauche) et capacités (à droite) mutuelle entre deux interconnexions voisines

J'ai implémenté cette méthodologie de construction de modèle sur IC-EMC afin de :

- construire les modèles géométriques des boîtiers des deux composants
- contrôler leur positionnement
- calculer les éléments de couplage
- générer le modèle électrique équivalent
- lancer la simulation SPICE et collecter les résultats de simulation
- visualiser l'ampleur des couplages en fonction du positionnement.

La Figure 52 résume l'approche permettant la création du modèle électrique équivalent d'un rapprochement entre deux CI.

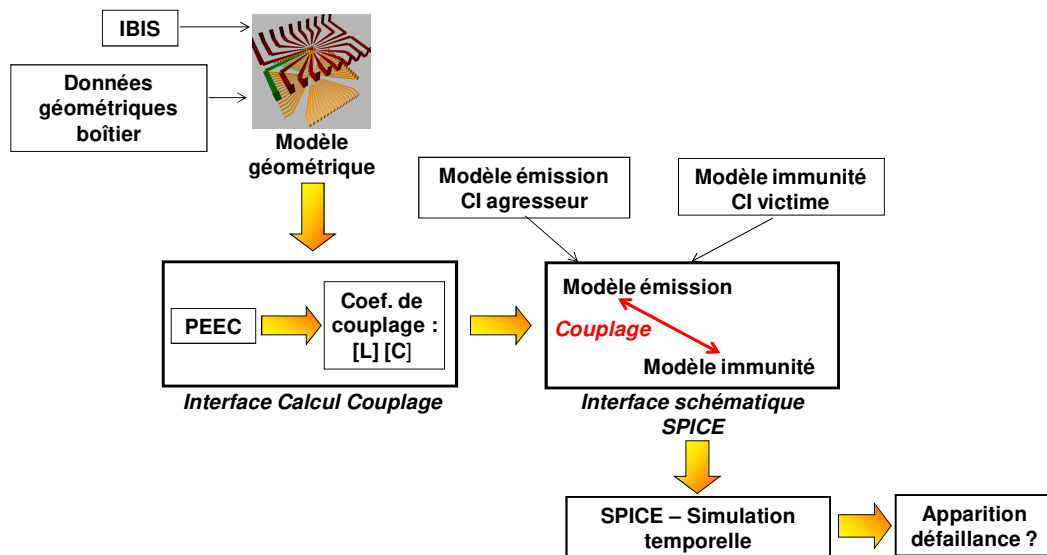


Figure 52 – Flot de simulation du risque de défaillance par couplage champ proche entre deux circuits

Ma méthodologie a été validée sur le cas du rapprochement entre un driver de puissance et un CAN, décrit dans le chapitre 3 partie II. Le rapprochement du driver de puissance à proximité du CAN conduisait à des erreurs de conversion de ce dernier pour certaines positions relatives des deux composants. Le modèle d'émission du driver de puissance (bâti par S. Akue Boulingui, doctorant au LATTIS) et le modèle d'immunité du CAN ayant été préalablement développé et validé par comparaison avec des mesures en champ proche, la première étape a consisté à déterminer les couplages électriques et magnétiques entre les broches des composants en fonction des position des composants. Une présélection des broches est possible, en se basant sur la mesure ou la simulation de l'émission ou de l'immunité en champ proche. Seules les broches les plus émissives du circuit source et les plus sensibles du circuit victime sont conservées dans cette analyse. Les amplitudes des coefficient de couplage entre une broche de la source et une autre broche de la victime peuvent être visualisées en fonction de la position d'un composant par rapport à l'autre, comme le montre la Figure 53. La position du circuit victime (CAN) est fixe. Chaque pixel de la cartographie indique la capacité mutuelle (à gauche) ou l'inductance mutuelle (à droite) en fonction de la position du circuit agresseur pour une orientation donnée.

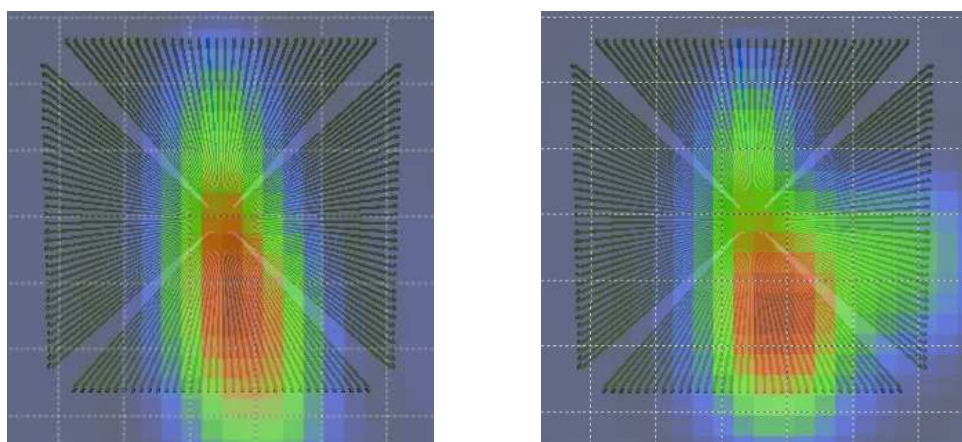


Figure 53 – Cartographies simulées du couplage inductif (gauche) et capacitif (droite) entre un circuit source (driver de puissance) et un circuit victime (CAN) [BOY07b]

Pour chaque position respective des deux composants, les coefficients de couplage sont exportés et complètent le modèle de simulation du rapprochement entre les deux circuits. Une simulation temporelle est finalement lancée pour tester si l'activité du driver de puissance est capable de provoquer une erreur de conversion sur le CAN. Cette simulation peut être relancée itérativement pour tester l'apparition d'erreur de conversion pour différents positionnements et configurations des composants. La Figure 54 présente l'évolution de l'erreur de conversion simulée en fonction de la distance de séparation entre le driver de puissance et le CAN, et pour deux tensions d'alimentation différentes du CAN. Les résultats de simulation sont comparés aux résultats expérimentaux. Pour les deux valeurs de tension d'alimentation, la simulation permet de retrouver l'erreur de conversion en fonction du positionnement du driver de puissance. La séparation minimale entre les deux composants pour garantir l'absence d'erreur de conversion est prédite avec une bonne précision, fournissant une contrainte fiable de placement des circuits pour éviter tout problème d'autocompatibilité.

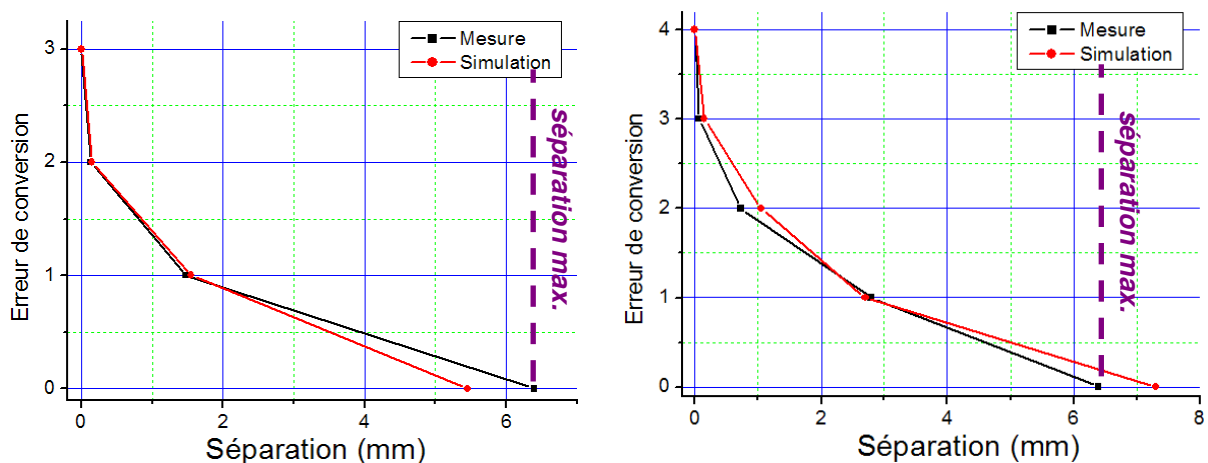


Figure 54 – Comparaison mesure/ simulation de l'erreur de conversion en fonction de la séparation des boîtiers pour une tension d'alimentation du driver de puissance de 20 V (gauche) et 30 V (droite) [BOY07]

VI. IC-EMC - du démonstrateur au logiciel pédagogique pour l'apprentissage de la CEM des circuits intégrés

Dans les parties précédentes, le nom du logiciel IC-EMC est apparu à plusieurs reprises. Il constitue un élément important de mes activités de recherche mais aussi d'enseignements. La CEM est un problème récurrent pour les concepteurs de systèmes électroniques, redoutée car perçue comme complexe. Pourtant, la CEM reste insuffisamment abordée dans les formations initiales d'ingénieurs. En tant qu'enseignant-chercheur, une de mes missions est de transmettre cette expertise acquise en recherche non seulement à des étudiants mais aussi à des ingénieurs ou d'autres chercheurs.

IC-EMC [ICEMC] est un logiciel gratuit lancé par le professeur Etienne Sicard en 2003 et dédié à la modélisation et la simulation de la CEM au niveau circuit. J'ai rejoint E. Sicard dans le développement de cet outil dès le début de ma thèse en 2004. La Figure 55 résume

les principales fonctionnalités du logiciel. L'objectif initial de l'outil était de faciliter la création de modèles électriques équivalents compatible SPICE ainsi que le post-traitement des résultats de simulation. Le rendre gratuit, indépendant de toute plateforme payante de simulation et fournir en ligne des notes d'application et des résultats en a fait un outil de démonstration et de promotion de nos travaux, que ce soit durant des réunions de projet de recherche ou des conférences.

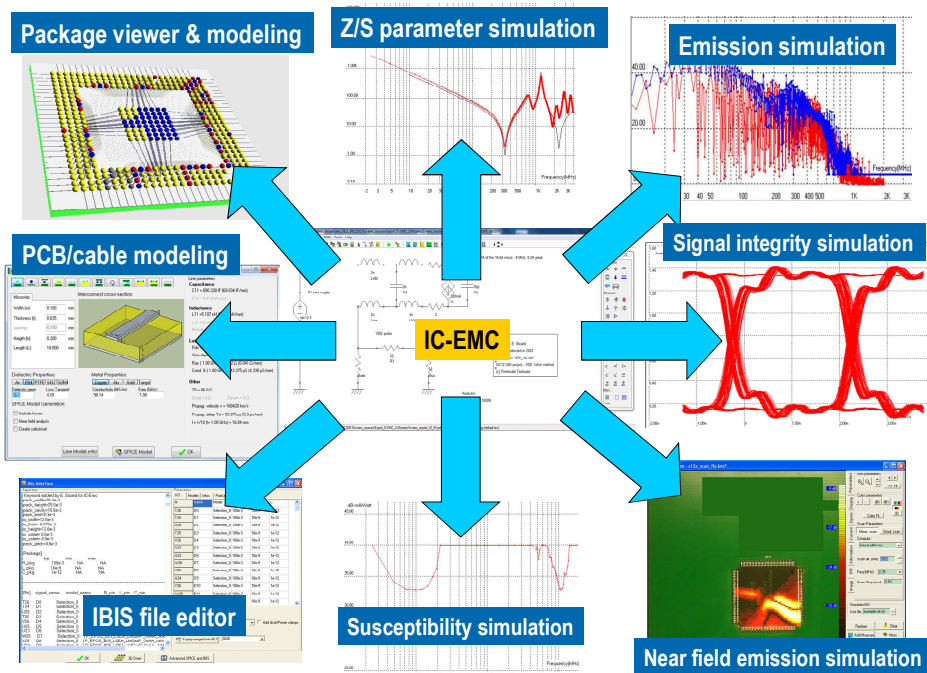


Figure 55 – Fonctionnalités principales du logiciel IC-EMC

A la fin des années 2000, à la demande d'industriels, nous avons commencé à proposer des formations en CEM des CI sur une durée de un à deux jours. IC-EMC a tout de suite été utilisé en cours pour illustrer les concepts de base, mais aussi le processus de création de modèles de composants ou de pistes de circuit imprimé. Cette formation a ensuite été décliné en différents formats pour des formations au niveau école d'ingénieur, master ou formation continue. En 2012, nous avons lancé un stage de cinq jours, ouvert via la formation continue de l'INSA, qui a été labélisée par le programme européen EURODOTS (<http://www.euro-dots.org>) permettant aux doctorants d'obtenir une bourse couvrant les frais d'inscription et une partie des frais de séjour. IC-EMC est alors devenu un outil de formation à part entière puisque nous le proposons durant des travaux pratiques de modélisation.

En 2017, nous avons franchi une nouvelle étape dans la diffusion de cet outil. Nous avons publié un ouvrage intitulé "Basis of Electromagnetic Compatibility of Integrated Circuits - A modeling approach using IC-EMC" [BOY17] édité par les Presses Universitaires du Midi dans la collection "Pour l'ingénieur". Ecrit en anglais pour viser un public international, il fait partie des rares ouvrages consacrés à la CEM des CI. L'originalité de cet ouvrage est de proposer des exemples, des exercices corrigés et des travaux pratiques utilisant IC-EMC.

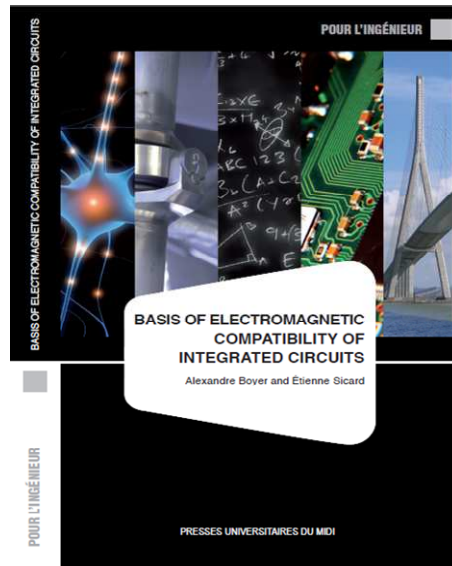


Figure 56 – Livre "Basis of Electromagnetic Compatibility of Integrated Circuits" [BOY17]

Ce travail de valorisation de notre formation a été en partie supporté par le projet européen Erasmus+ MECA (MicroElectronics Cloud Alliance) [MECA] regroupant 18 partenaires académiques et industriels pour développer une infrastructure de type Cloud partageant des ressources pédagogiques (cours, logiciel, travaux pratiques à distance) dédiées à la microélectronique. L'objectif est de mutualiser les ressources réparties dans les différentes universités partenaires. Nous proposons donc nos supports de cours, exercices et travaux pratiques basés sur le logiciel IC-EMC, téléchargeable par n'importe quel étudiant s'inscrivant à cette formation.

VII. Bilan et analyse rétrospective

Dans ce chapitre, j'ai présenté mes travaux liés à la modélisation pour la CEM des CI. Ils ont concerné des aspects très différents : l'émission et l'immunité conduite et rayonnée en champ proche, me permettant d'acquérir un savoir-faire large en CEM. Une des grandes originalités de mes travaux sur la modélisation est le développement de modèles d'émission et d'immunité en champ proche, qui correspondent à des demandes moins fréquentes que la création de modèles conduits et rayonnés. Une des applications de ces modèles est la simulation des couplages entre circuits rapprochés et la détermination de contraintes de positionnement pour limiter ces couplages.

Un autre point original de mes travaux a été l'utilisation du capteur sur puce développé par Sonia Ben Dhia comme moyen de validation des modèles d'immunité que nous construisons, notamment la validation de la perturbation résiduelle à l'intérieur d'un CI. Ce capteur est un outil relativement simple à mettre en œuvre pour étudier les problèmes de CEM d'un CI, en raison du peu de place qu'il occupe et de sa faible intrusivité. C'est pourquoi nous l'avons proposé dans les projets Automics (dédié à la modélisation du couplage substrat dans les circuits Smart Power) et E-Mata-Hari (voir chapitre 3). Ce capteur pourra être réemployé dans de futurs projets où la conception de circuits de test sera prévue. Des modifications de son design seront sans doute nécessaires pour l'adapter aux contraintes technologiques et aux phénomènes à observer.

Contrairement à d'autres travaux concurrents sur la modélisation des CI, j'ai toujours cherché à unifier modèles d'émission ou d'immunité conduit et rayonné. L'objectif est d'éviter d'avoir à créer un modèle d'un même composant par type de problème CEM, ce qui réduit considérablement l'efficacité de la simulation dans un flot de conception. Souvent, l'approche que j'ai suivie pour modéliser un composant (mais suivie dans la majorité des travaux de modélisation) exigeait la fabrication de cartes spécifiques, des mesures complexes et un long processus d'ajustement des paramètres du modèle pour garantir un bon accord entre mesures et simulations. Je démontrerais ainsi la validité du modèle et sa capacité à reproduire un phénomène électromagnétique donné. Cependant, cette approche est loin d'être compatible avec une utilisation industrielle et systématique de la simulation car le temps et le coût de l'extraction du modèle du CI est prohibitif.

Il nous faut nous interroger sur la finalité de nos travaux de modélisation et chercher à développer des approches de modélisation rapides, quitte à perdre un peu en précision, mais fournissant des résultats exploitables par un concepteur. Sinon, ces travaux de modélisation ne feront pas évoluer les pratiques de conception. C'est cette démarche que Chaimae Ghfiri et moi-même avons cherché à suivre avec la méthode d'extraction rapide du modèle ICEM, présentée dans la partie I de ce chapitre. Je reviendrai sur ce problème général dans le chapitre 6.

Enfin, tous les travaux de modélisation m'ont obligé à développer des outils logiciels de construction et d'exploitation des modèles. Je les ai intégrés au fil des années dans le logiciel IC-EMC. D'abord un outil de recherche interne, celui-ci est devenu un outil pédagogique que je continuerai à maintenir et à alimenter au gré des futurs travaux de recherche et des formations.

VIII. Références

- [BAF03] S. Baffreau, Susceptibilité des micro-contrôleurs aux agressions électromagnétiques, Thèse de doctorat, INSA de Toulouse, Décembre 2003.
- [BEN00] S. Ben Dhia, E. Sicard, F. Caignet, "A new method for measuring signal integrity in CMOS ICs", *Microelectronic Int. Journal*, vol. 17, no. 1, Jan. 2000.
- [BEN05] S. Ben Dhia, J. Joly, C. Lochot, C. Labussière, "A 16 bit Microcontroller emission measurements and modeling using different approaches and a specific test board", 5th Int. Workshop on EMC of ICs (EMC Compo 2005), Munchen, Germany, Nov. 2005.
- [BEN12] S. Ben Dhia, A. Boyer, B. Vrignon, M. Deobarro, T. V. Dinh, "On-Chip Noise Sensor for Integrated Circuit Susceptibility Investigations", *IEEE Transactions on Instrumentation and Measurement*, vol. 61, no. 3, pp. 696-707, March 2012.
- [BOY07] A. Boyer, Méthode de Prédiction de la Compatibilité Electromagnétique des Systèmes en Boîtier, Thèse de doctorat, INSA de Toulouse, Octobre 2007.
- [BOY07b] A. Boyer, S. A. Boulingui, S. Bendhia, E. Sicard, S. Baffreau, « A Methodology for predicting Disturbances due to Near Field Chip to Chip Coupling », *EMC Compo 07*, Torino, 28 – 20 November 2007, pp. 301 – 306.
- [BOY12] A. Boyer, S. Ben Dhia, C. Lemoine, B. Vrignon, « Characterizing Circuit Susceptibility with On-chip Sensors », 2012 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 21 – 25, 2012, Singapour.
- [BOY17] A. Boyer, E. Sicard, " Basis of Electromagnetic Compatibility of Integrated Circuits - A modeling approach using IC-EMC", *Presses Universitaires du Midi*, Oct. 2017, ISBN 978-

2-8107-0522-1.

- [GHF16] C. Ghfiri, A. Durier, A. Boyer, S. Ben Dhia, C. Marot, "Construction of an Integrated Circuit Emission Model of a FPGA", 2016 Asia-Pacific Int. Symp. on EMC (APEMC 2016), Shenzhen, China, May 2016.
- [GHF17] C. Ghfiri, A. Boyer, A. Durier, S. Ben Dhia, A new Methodology to build ICEM-CE models for complex Integrated Circuits, IEEE Trans. on Electromagnetic Compatibility, vol. 60, no 5, October 2018, 10.1109/TEMC.2017.2767084.
- [IBI15] IBIS I/O Buffer Information Specification - https://ibis.org/ver6.1/ver6_1.pdf - Ratified Sept. 11, 2015.
- [ICEMC] A. Boyer, E. Sicard, IC-EMC v2.9 User's Manual, Jan. 2018, www.ic-emc.org.
- [IEC62] IEC TS 62433-1 - edition 1.0: EMC IC modelling - Part 1: General modelling framework, 2011-04.
- [IEC62-2] IEC62433-2 - EMC IC modelling – Part 2: Models of integrated circuits for EMI behavioural simulation – Conducted emissions modelling (ICEM-CE) - Edition 1.0, October 2008, IEC.
- [IEC62-3] IEC62433-3 - EMC IC modelling – Part 3: Models of integrated circuits for EMI behavioural simulation – Radiated emissions modelling (ICEM-RE) - Edition 1.0, January 2017, IEC.
- [IEC62-4] IEC62433-4 - EMC IC modelling – Part 4: Models of integrated circuits for RF immunity behavioural simulation – Conducted immunity modelling (ICIM-CI) - Edition 1.0, May 2016, IEC.
- [KOO09] J. Koo, L. Han, S. Herrin, R. Moseley, R. Carlton, D. G. Beetner, D. Pommerenke, "A Nonlinear Microcontroller Power Distribution Network Model for the Characterization of Immunity to Electrical Fast Transients", IEEE Trans. on EMC, vol. 51, no 3, Aug. 2009.
- [LAB08] C. Labussière-Dorgan, S. Bendhia, E. Sicard, J. Tao, H. J. Quaresma, C. Lochot, B. Vrignon, Modeling the Electromagnetic Emission of a Microcontroller using a single Model, IEEE Trans. on EMC, vol. 50, no. 1, Feb. 2008.
- [LAB08] C. Labussière-Dorgan, S. Bendhia, E. Sicard, J. Tao, H.J. Quaresma, C. Lochot, B. Vrignon, "Modeling the Electromagnetic Emission of a Microcontroller using a Single Model", IEEE Trans. on EMC, vol. 50, no. 1, Feb. 2008.
- [LAM05] E. Lamoureux , A. Boyer, S. Ben Dhia, E. Sicard, « Investigations on a Conducted Aggression inside a Digital Integrated Circuits », EMC Compo 05, Munich, Germany, 29 – 31 Nov. 2005, pp. 87 – 91.
- [LAM06] E. Lamoureux, Etude de la susceptibilité des circuits intégrés numériques aux agressions hyper-fréquences, Thèse de doctorat, INSA de Toulouse, 2006.
- [LEC14] J. P. Leca, N. Froidevaux, P. Dupré, G. Jacquemod, H. Braquet, "EMI Measurements, Modelling, and Reduction of 32-Bit High-Performance Microcontrollers", IEEE Trans. on EMC, vol 56, no 5, Oct. 2014.
- [LEV02] J. L. Levant, M. Ramdani, R. Perdriau, "ICEM Modeling of Microcontroller Current Activity", 3rd Int. Workshop on EMC of ICs, Nov 2002, Toulouse, France.
- [LI10] E. Li et al., Progress Review of Electromagnetic Compatibility Analysis Technologies for Packages, Printed Circuit Boards, and Novel Interconnects, IEEE Trans. on EMC, vol. 52, no. 2, May 2010.
- [LI98] K. W. Li, S. G. Zaky, K. G. Balmain, « Effect of RFI on the Error Probabilities of Synchronizer Circuits », IEEE Trans. on Circuits and Systems: Fundamentals Theory and Applications, vol. 45, no 10, Oct. 1998.
- [MECA] "Microelectronics Cloud Alliance", Knowledge Alliance 562206-EPP-1-2015-1-BG-EPPKA2-KA, <http://telearn.tu-sofia.bg/meca/>
- [PAR10] Hyun Ho Park, Seung-Hyun Song, Sang-Tae Han, Tae-Sun Jang, Jin-Hwan Jung, Hark-Byeong Park, "Estimation of Power Switching Current by Chip-Package-PCB

- Cosimulation", IEEE Trans on EMC, vol 52, no 2, May 2010.
- [REN14] L. Ren, T. Li, S. Chandra, X. Chen, H. Bishnoi, S. Sun, P. Boyle, I. Zamek, J. Fan, D. G. Beetner, J. L. Drewniak, "Prediction of Power Supply Noise From Switching Activity in an FPGA", IEEE Trans. on EMC, vol 56, no 3, June 2014.
- [RUE72] A. E. Ruehli, « Inductance Calculations in a Complex Integrated Circuit Environment», IBM Journal of Research and Development, September 1972.
- [SER17] S. Serpaud, A. Boyer, C. Ghfiri, A. Durier, "Proposal for combined conducted and radiated emission modeling for Integrated Circuit", EMC Compo 2017, Saint Petersburg, Russia, July 2017.
- [SHI04] J. Shi, M. A. Cracraft, J. Zhang, R. E. Dubroff, K. Slattery, M. Yamaguchi, "Using near-field scanning to predict radiated fields", IEEE Int. Symp. EMC, Aug. 2004.
- [VIV09] Y. Vives-Gilabert, C. Arcambal, A. Louis, P. Eudeline, B. Mazari, "Modeling Magnetic Emissions Combining Image Processing and an Optimization Algorithm", IEEE Trans. on EMC, vol. 51, no. 4, Nov. 2009.

Chapitre 5 : Contribution à un nouveau thème de recherche : la CEM à long terme

Ce chapitre traite d'une nouvelle problématique de recherche, que Sonia Ben Dhia et moi-même avons lancé à la fin des années 2000. Celle-ci, appelée CEM à long terme ou fiabilité électromagnétique (*electromagnetic reliability*), vise à prendre en compte l'influence du vieillissement intrinsèque des composants électroniques, notamment des circuits intégrés, sur la CEM. En effet, les dérives de performances à long terme pourraient conduire à des dérives des niveaux d'émission et/ou d'immunité et compromettre la CEM après plusieurs années de fonctionnement. En d'autres termes, rien ne nous indique qu'un équipement électronique conforme vis-à-vis de limites CEM standards lors de la mise en fonctionnement le reste jusqu'à la fin de sa durée de vie.

Nos travaux sur le sujet ont surtout eu lieu dans le cadre du projet ANR Jeunes Chercheurs que nous avons obtenu en 2009 (EMRIC). Avant de décrire les différents travaux et résultats obtenus sur cette thématique, je commencerai par présenter les problématiques que nous avons identifiées et l'approche que nous avons suivi durant le projet EMRIC. Les parties suivantes traiteront des principaux résultats obtenus, portant sur :

- la mise en évidence expérimentale de l'impact du vieillissement sur la CEM à long terme, ainsi que l'identification des mécanismes de dégradation à l'origine de la dérive des niveaux CEM
- la caractérisation des dérives de niveaux CEM dues au vieillissement des circuits intégrés
- la modélisation des CI pour la prédiction de la CEM à long terme

Ce thème de recherche étant nouveau, nous n'avons fait que commencer à le défricher. Ce chapitre se terminera donc par quelques perspectives futures.

I. Bref historique des projets de recherche liés à la CEM à long terme

Avant de décrire les différents travaux et résultats obtenus autour de ce thème de recherche, il convient de préciser leur contexte car ils s'étalent sur 10 ans. Avec S. Ben Dhia, nous avons démarré les travaux scientifiques sur ce thème en 2008, soutenus par un projet CCT CNES (Nanospace) et d'un financement de la région Midi-Pyrénées (projet EMRYC). Des collaborations informelles avec Freescale Semiconductor et ST Microelectronics avait aussi été lancé, pour étudier les dérives d'émission conduite d'un circuit de puissance [BOY09] et d'immunité conduite d'un composant digital [BEN10] en fonction de différents types de stress. Ces premiers travaux nous ont permis de mettre en place un premier protocole expérimental pour mettre en évidence l'effet du vieillissement sur la CEM. Une première thèse, celle de Binhong Li, a pu ensuite être lancée en 2008 et intitulée "*Study of ageing effect on electromagnetic compatibility of integrated circuit*" [LI11].

En 2009, nous avons obtenu un financement ANR Jeunes Chercheurs pour le projet EMRIC (*Long term Electromagnetic Robustness of nanoscale Integrated Circuits*) [BEN13], sur une durée de quatre ans. Ce financement nous a donné une autonomie suffisante pour avancer sur ce sujet et dépasser le simple constat que nous avons pu faire jusque-là. Le projet était structuré autour de plusieurs problématiques, comme le montre la Figure 57. Durant ce projet, nous avons collaboré avec le professeur Raul Fernandez-Garcia de l'Université Polytechnique de Catalogne (UPC), nous permettant de combler nos lacunes concernant les mécanismes de dégradation intrinsèques des circuits CMOS et leur caractérisation. Cette collaboration s'est notamment traduite par l'échange d'étudiants en thèse, dont Binhong Li et Nestor Berbel (UPC). Une seconde thèse a pu être lancée durant le projet EMRIC : celle de He Huang, en 2012 et intitulée " *Prediction of the aging impact on EMC of integrated circuits*" [HUA15]. Une partie de ces travaux s'est effectuée aussi dans le cadre du séjour de Jianfei Wu, du National University of Defense Technology de Chengsha en Chine, pendant deux ans dans mon laboratoire.

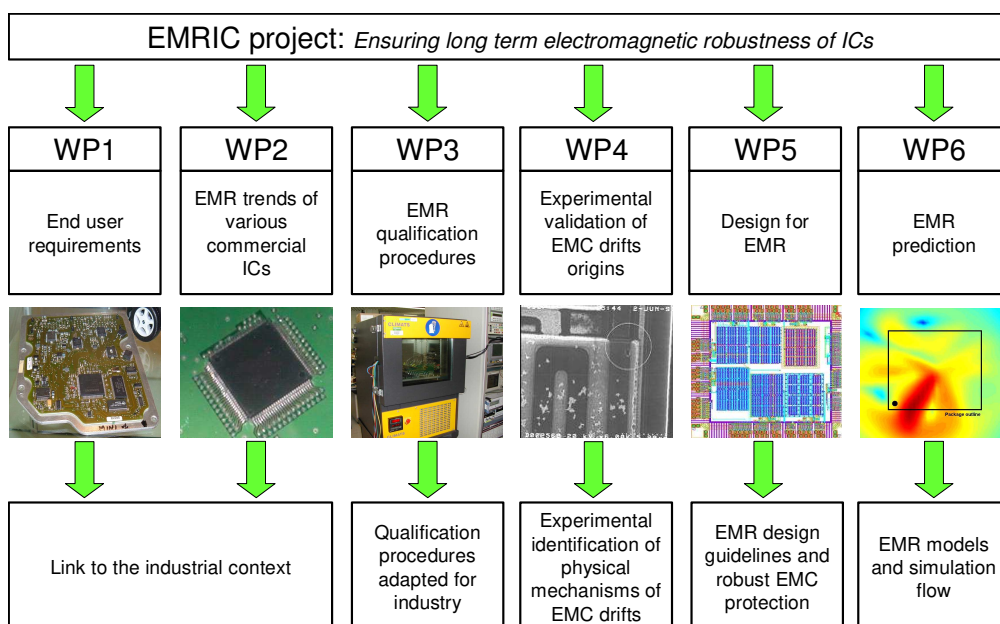


Figure 57 – Vue d'ensemble du programme scientifique du projet ANR Jeunes Chercheurs EMRIC (2009-2013)

A l'issue du projet EMRIC, nous avons identifié les mécanismes de dégradation à l'origine des dérives de CEM et bâti les premiers modèles de composants pour la prédiction CEM sous contraintes de vieillissement. Les perspectives de ces travaux concernaient la démonstration d'une prédiction de la CEM à long terme d'une carte électronique, à partir du modèle des composants vieillis, ainsi que l'amélioration des moyens de caractérisation. Nous avons travaillé sur ces questions durant le projet Robustesse Electronique (2014-2017), financé par l'IRT Saint-Exupéry, notamment à travers la thèse de Chaimae Ghfiri, intitulé " *Développement et validation de modèles prédictifs pour assurer la compatibilité électromagnétique à long terme des systèmes électroniques embarqués*" [GHF17].

Au cours de ces différents projets, notre approche est restée la même. Elle a consisté à considérer le composant comme siège des mécanismes de défaillances à l'origine de dérives CEM. Notre travail a donc consisté à vérifier cette hypothèse, déterminer les mécanismes à l'origine, les effets possibles selon le type de composant, l'impact de la technologie. Notre objectif principal est resté le développement de modèles CEM intégrant

l'impact du vieillissement du composant, dans différentes conditions de stress. J'entends par là un modèle capable d'intégrer un profil de stress et de déterminer l'ampleur de la dérive d'émission, d'immunité, ou d'intégrité du signal propre à un composant. Ce modèle pourra constituer une brique de base du modèle d'un équipement électronique, pour prédire les dérives de CEM à cette échelle. Comme je l'ai présenté dans les chapitres précédents, nous avons privilégié des modèles CEM non confidentiels, standards, ouverts car l'utilisation d'un modèle "crypté" ne permet pas l'intégration de nouveaux paramètres comme ceux liés au vieillissement.

Cette modélisation doit s'appuyer sur une campagne de caractérisation, consistant à appliquer des stress et mesurer l'effet non seulement sur les niveaux CEM, mais aussi sur un ensemble de paramètres fonctionnels et de performances. Dès le départ, il existait donc tout un travail autour de la définition et l'optimisation de ces méthodes de test pour :

- réduire le temps et le coût des tests, afin de les rendre "réalistes" pour un industriel
- combiner plusieurs sources de stress, sans accroître exponentiellement le nombre d'essais
- garantir une extraction fiable d'un modèle de prédiction

II. Mise en évidence de l'effet du vieillissement sur la CEM des CI

Nos premiers travaux sur le sujet de la CEM à long terme ont consisté à vérifier sur différents cas d'étude, composants sur étagère ou *test-chips*, si le vieillissement d'un CI pouvait s'accompagner d'une dérive des niveaux d'émission et d'immunité, et si nous pouvions en tirer des conclusions générales. Dans cette partie, je présenterai deux exemples de résultats, l'un concernant l'émission, l'autre l'immunité. Sans expliquer l'origine des dérives observées (ce point sera adressé dans la prochaine partie), je résumerai les premières conclusions que nous avons pu en tirer.

Durant ces premières expériences, nous ne disposons d'aucun savoir-faire sur la manière de caractériser l'évolution CEM en fonction du vieillissement des composants. Nous nous sommes inspirés des pratiques industrielles pour qualifier la fiabilité des CI. L'estimation de leurs durées de vie est basée sur des tests de vieillissement accéléré. Il consiste à réduire la durée de vie des composants en accélérant un ou plusieurs mécanismes conduisant à l'apparition d'une défaillance. Pour cela, un ou plusieurs paramètres environnementaux (température, tension, radiation, humidité, ...) sont modifiés. En observant la manière dont se dégrade un composant en condition de stress, il est possible d'extrapoler son comportement en condition nominale et donc sa durée de vie. Parmi les conditions de stress possibles, nous nous sommes focalisés sur la température et le stress électrique car ils activent des mécanismes de dégradation intrinsèques à la puce qui vont impacter les performances électriques du circuit, sans induire de fatigue mécanique. Nous nous sommes ainsi inspirés des tests High Temperature Operating Life (HTOL) et Low Temperature Operating Life (LTOL) couramment employés dans l'industrie automobile. Ils correspondent à des tests de fonctionnement à chaud (150°C) et à froid (-40°C) avec une augmentation de 10 % des tensions de polarisation. Les durées de ces essais sont généralement limitées à

408 h voire 1000 h. Dans l'industrie automobile, il est admis que ces tests sont représentatifs d'une durée de vie de 10 ans, bien que rien ne le garantisse vraiment.

Le premier cas concerne l'observation de la dérive de l'émission conduite produite par un buffer d'E/S digital réalisé en technologie CMOS 65 nm ST Microelectronics après deux types d'essais de vieillissement accéléré : HTOL et LTOL. Nous avons publié ces résultats dans [BEN10]. Pour chaque type d'essais, des lots de cinq composants ont été caractérisés avant et après 408 h de vieillissement en utilisant le même banc de mesure. Comme je le décrirai dans la partie V, ce genre de test nécessite beaucoup de précautions pour garantir la validité et la pertinence des résultats. Systématiquement, la reproductibilité du banc de mesure d'émission a été vérifiée, notamment par l'emploi d'un échantillon témoin. Celle-ci atteignait 0.12 dB en moyenne et était plus faible que la dérive moyenne du niveau d'émission, la rendant significative. Quel que soit le type de vieillissement thermique, une diminution large bande du niveau d'émission pouvant atteindre 10 dB était observée, comme le montre la Figure 58 à gauche qui compare les niveaux d'émission conduite avant et après vieillissement HTOL mesurés sur un composant donné. La Figure 58 de droite compare les dérives moyennes par bande de fréquence mesurées après les essais HTOL et LTOL. Dans les deux cas, la dérive est significative, même si elle est plus marquée pour le test LTOL.

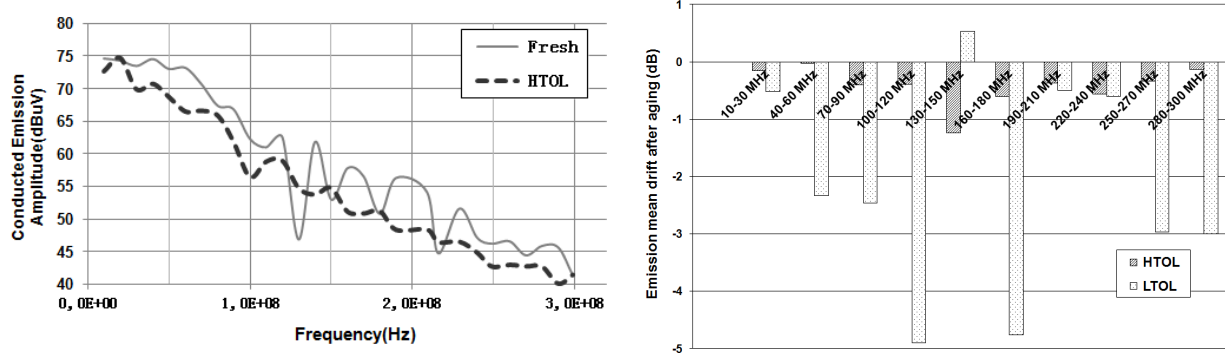


Figure 58 – Dérive du niveau d'émission conduite d'un buffer d'E/S CMOS : comparaison avant/après 408 h de vieillissement accéléré HTOL (gauche) - Comparaison de l'impact des essais de vieillissement accéléré HTOL et LTOL (droite) [BEN10]

En comparant ces résultats avec d'autres cas d'étude, cette tendance à la diminution du niveau d'émission conduite ou rayonnée des CI, après des essais de vieillissement accéléré thermique et électrique, semble générale, quelle que soit la fonction testée. L'ampleur de la dérive et l'impact d'un fonctionnement à chaud ou à froid varient cependant d'un cas à l'autre sans règle simple identifiable, certainement en fonction de la technologie et de la fonction testée. Dans la prochaine partie, je présenterai des résultats clarifiant l'origine de ces dérives d'émission. La détermination précise de la dérive devra passer par une modélisation des composants, ce que je présenterai dans la partie VI.

Le second cas d'étude porte sur l'évolution de l'immunité conduite d'une boucle à verrouillage de phase (PLL) après un vieillissement accéléré de type HTOL [BOY12]. Le circuit est réalisé en technologie CMOS 0.25 µm de Freescale Semiconductor. L'étude a porté sur dix composants, dont l'immunité à une perturbation conduite sur l'alimentation a été caractérisée avant puis après 408 h de fonctionnement à 150°C. Ces PLL sont sensibles au bruit véhiculé sur l'alimentation, qui est converti comme bruit de phase par l'oscillateur commandé en tension. Il en résulte une gigue temporelle importante sur le signal de sortie,

voire un décrochage complet de la PLL. Après vieillissement, les circuits testés restaient fonctionnels, c'est-à-dire que les PLL s'accrochaient convenablement sur la fréquence de consigne dans des conditions nominales. Par contre, en considérant le même critère de défaillance, les PLL étaient devenues plus sensibles au bruit d'alimentation. La Figure 59 du haut présente les niveaux d'immunité conduite des dix échantillons testés avant et après vieillissement. On peut observer une diminution généralisée du niveau d'immunité sur une large bande de fréquence, qui peut dépasser 10 dB pour certains échantillons. Cette réduction est plus appréciable sur la Figure 59 du bas, qui présente les dérives moyennes par composant mesurées sur toute la bande de fréquence. Les dérives moyennes peuvent atteindre jusqu'à 8 dB. La dérive moyenne pour les dix échantillons atteint 2.6 dB. Cette figure montre aussi l'augmentation de la dispersion entre les niveaux d'immunité des composants après vieillissement. C'est un effet que nous avons fréquemment rencontré lors de nos études, qui n'est pas lié à l'application de stress différents aux échantillons testés puisqu'ils étaient montés sur la même carte de test pendant les essais de vieillissement accéléré. Cette carte était placée dans une enceinte climatique, dans laquelle la température est régulée à $\pm 2^\circ\text{C}$. Cet effet est lié à la nature aléatoire du vieillissement qui explique que des composants avec des performances similaires initialement ne vont pas se dégrader exactement au même rythme et donc ne pas casser en même temps. Ce résultat démontre la nécessité d'introduire des outils statistiques dans les études de CEM à long terme. L'objectif ne sera pas de déterminer si un circuit sera conforme à une limite CEM après une durée donnée, mais plutôt de déterminer le risque qu'il ne le soit plus après une certaine durée. Nous aborderons ce point dans la partie VI.

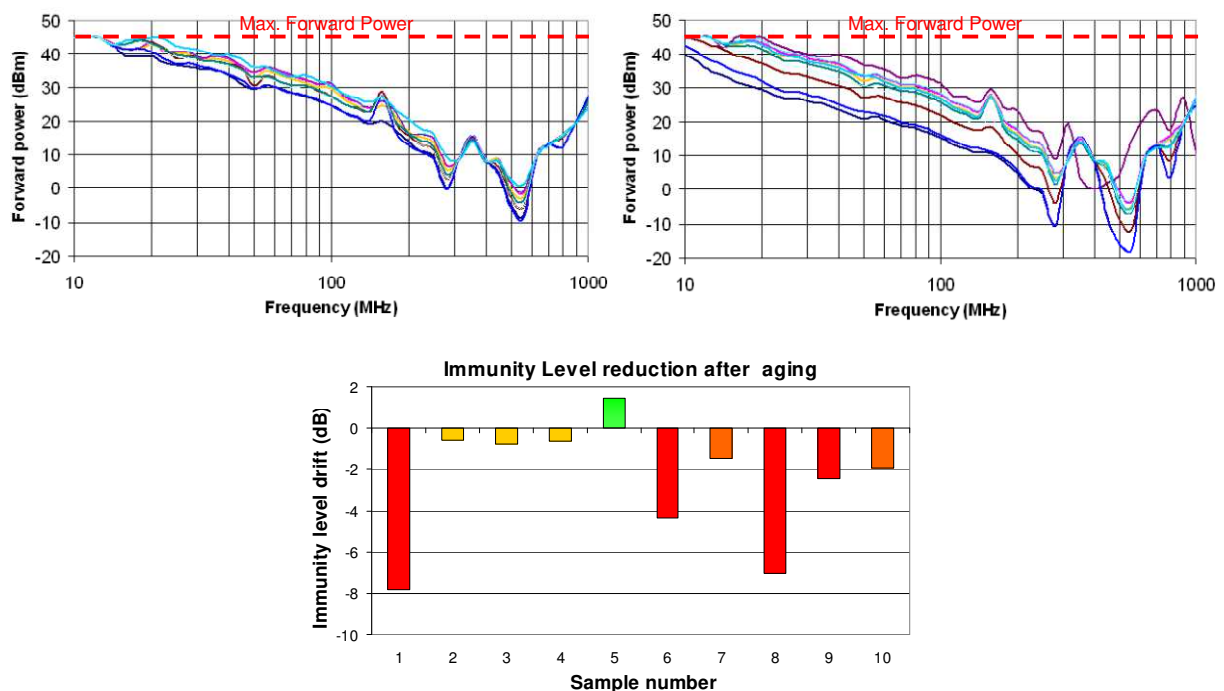


Figure 59 – Dérive du niveau d'immunité conduite d'une PLL - en haut : mesure du niveau d'immunité des 10 échantillons testés avant (gauche) et après vieillissement (droite) - En bas : comparaison des dérives moyennes mesurées sur les 10 échantillons testés [BOY12]

Contrairement à l'étude des dérives des niveaux d'émission, il est difficile de tirer une conclusion sur l'impact du vieillissement des CI sur leur niveau d'immunité. Nous avons observé des diminutions du niveau d'immunité sur d'autres types de circuits, fabriqués avec

d'autres technologies. Les résultats de ces observations ont conduit à plusieurs publications : composants digitaux [BEN10], amplificateur opérationnel [HUA15b], régulateur linéaire de tension [WU13], ..., mais cette tendance n'est pas générale. Il semble que la tendance soit fortement liée à la fonction testée, à sa conception interne, au critère d'immunité considérée. Une approche au cas par cas est nécessaire pour déterminer l'effet à long terme du vieillissement sur l'immunité.

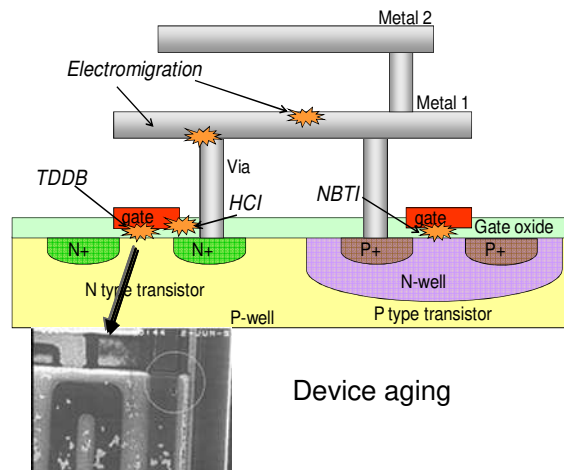
III. Identification des liens entre mécanismes de dégradation et dérives CEM d'un circuit intégré

Ayant observé sur plusieurs cas d'étude des variations graduelles des niveaux d'émission et d'immunité après vieillissement accéléré sous stress thermique et électrique, nous avons cherché les mécanismes intrinsèques activés à l'origine de ces dérives. Ceux-ci sont associés à des dérives de performances des fonctions à l'origine du bruit de commutation ou des fautes de fonctionnement mesurées. Dans aucun cas, il ne peut s'agir de mécanismes provoquant une casse brutale ou une usure mécanique, puisqu'ils n'induiraient aucune variation graduelle des niveaux d'émission et d'immunité. Nous suspectons principalement les mécanismes de dégradation affectant l'intégrité des oxydes de grille des transistor MOSFET, décrits à la Figure 60 :

- Injection de porteurs chauds ou Hot Carrier Injection (HCI)
- Instabilité en température en polarisation négative ou plus communément *Negative Bias Temperature Instability* (NBTI)
- Claquage diélectrique dépendant du temps ou *Time Dependent Dielectric Breakdown* (TDDB)

Nos études ont montré l'importance des mécanismes HCI et NBTI dans les dérives des niveaux d'émission et d'immunité mesurées après vieillissement des CI.

Une méthode classique en fiabilité pour étudier les mécanismes de dégradation est l'analyse de défaillances. Cependant, cette approche nécessite une préparation d'échantillons et des équipements coûteux, ainsi qu'un savoir-faire dont nous ne disposons pas. Notre approche a consisté à travailler sur des circuits de test intégrant structures élémentaires (MOSFET, condensateur sur puce, buffer d'I/O, portes digitales) et blocs fonctionnels représentatifs réutilisant ces structures élémentaires. Dans un premier temps, des caractérisations sont réalisées sur les structures élémentaires pour identifier les mécanismes de dégradation activés par caractérisation. Des modèles de dégradation de ces structures élémentaires peuvent en être extraits. Ensuite, des mesures CEM sont réalisées sur les blocs fonctionnels afin de corréliser les mécanismes de dégradation identifiés avec les éventuelles dérives mesurées. En utilisant les modèles de dégradation extraits, la simulation constitue un excellent outil pour tester les hypothèses sur l'impact du vieillissement sur la CEM.



Failure mechanism	Cause of failure	Failure modes	Acceleration factor
Time dependent dielectric breakdown (TDDB)	Cracks and holes in gate oxide.	Gate leakage.	High temp. Electrical field.
Hot carrier injection (HCI)	Trapped carrier in gate oxide due to the effect of ionization of channel carriers near the drain region.	Threshold voltage shift and mobility degradation. Serious issue in short channel NMOS transistor.	Low temp. High drain-source voltage. Radiation exposure.
Negative Bias Temperature Instability (NBTI)	Formation of fixed-oxide charge in PMOS gate oxide.	Threshold drift with partial recovery phenomenon. Serious issue in thin oxide PMOS transistor.	High temp. High negative gate voltage.

Figure 60 – Illustration des mécanismes de dégradation intrinsèque aux transistors MOSFET

Dans la suite, je présente un exemple d'étude visant à comprendre l'origine des dérives d'émission conduite produite par un circuit digital après vieillissement accéléré. Les résultats détaillés de cette étude sont disponibles dans [BOY14] et [BOY14b]. Cette étude a été basée sur le circuit de test ELMER, réalisé en technologie CMOS 90 nm en partenariat avec Freescale Semiconductor. Cette puce contenait un ensemble de transistors NMOS et PMOS avec différentes épaisseurs d'oxyde de grille, longueur et largeur de grille. Leurs terminaux étant accessibles depuis l'extérieur, il était possible de les polariser pour accélérer leur vieillissement en activant un des mécanismes de dégradation présentés à la Figure 60, puis de les caractériser. Le circuit présentait aussi un circuit digital (Core 1) dont les portes étaient conçues à partir des transistors avec les mêmes dimensions que ceux utilisés comme structures de caractérisation. En soumettant ce circuit digital aux mêmes conditions de stress, ces caractéristiques électriques et son émission conduite ont été caractérisées régulièrement au cours de ce test de vieillissement accéléré. Enfin, la puce contenait trois autres versions de ce circuit digital (Core 2 à 4), mais présentant un découplage interne supplémentaire. Les mêmes essais ont été réalisés sur ces trois versions de circuit digital afin d'évaluer la dégradation des capacités de découplage interne. Les caractéristiques des structures de découplage, les valeurs de capacité et de bruit d'alimentation mesurés sont résumés dans le Tableau 4.

Core number	On-chip capacitor type	Core capacitance (without/with supply)		Voltage bounce
Core 1	None (reference)	18 pF	25 pF	59 mV
Core 2	Metal-metal	99 pF	104 pF	27 mV
Core 3	P-type MOS	90 pF	60 pF	40 mV
Core 4	N-type MOS	100 pF	128 pF	26 mV

Tableau 4 - Options des quatre circuits digitaux testés

Les études de caractérisation des mécanismes de dégradation ont été menées par mon doctorant B. Li avec l'aide de N. Berbel, étudiant d'échange venant de UPC. Les études ont permis d'identifier les mécanismes NBTI et HCI comme mécanismes de dégradation principaux des transistors PMOS et NMOS respectivement, du moins pour la technologie étudiée. L'étude a aussi permis de déterminer leurs conditions d'activation et d'extraire un modèle de dégradation empirique au niveau transistor. A titre d'exemple, la Figure 61 présente les résultats de caractérisation de transistors PMOS durant un essai de stress électrique. Les conditions de polarisation sont choisies pour accélérer principalement le mécanisme NBTI (conditions déterminées par une étude préalable). Les résultats montrent une augmentation graduelle au cours du temps de la tension de seuil V_{th} des transistors, dépendante de la polarisation appliquée sur la grille. La dérive suit une loi de type puissance du temps, dont les coefficients peuvent être extraits. La conséquence du point de vue électrique est une diminution notable du courant de drain.

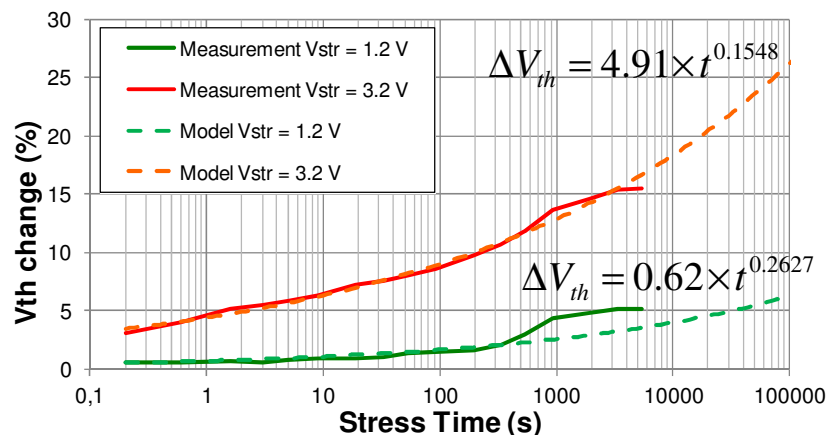


Figure 61 – Caractérisation de la dégradation de transistor PMOSFET lors d'un essai de vieillissement électrique [BOY14b]

En appliquant un stress électrique sur la tension d'alimentation du circuit digital, on mesure une diminution au cours du temps du bruit de commutation et de l'émission conduite, comme le montre la Figure 62. En se basant sur les modèles de dégradation au niveau transistor extraits expérimentalement, la simulation peut aider à identifier les mécanismes responsables des dérives d'émission. Ici, le stress électrique active principalement le mécanisme NBTI et affecte surtout les transistors PMOS. Puisque le courant de drain diminue, le pic de courant produit lors de la commutation des différentes portes formant le circuit se trouve étalé dans le temps. Par simulation, on vérifie que l'amplitude pic-à-pic du bruit de commutation diminue (voir partie V) et que le spectre d'émission conduite voit son niveau réduit à haute fréquence, comme le montre la Figure 62.

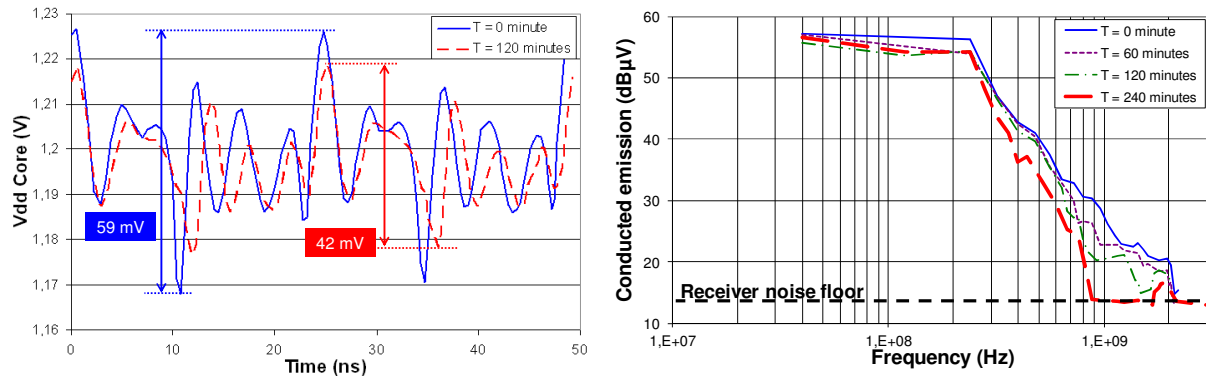


Figure 62 – Impact d'un stress électrique sur le bruit de commutation (à gauche) et sur l'émission conduite (à droite) produit par un circuit digital [BOY14]

La diminution générale de niveau d'émission produit par les circuits digitaux ou les buffers d'E/S après vieillissement s'explique par une modification au niveau de la source du bruit (les transistors eux-mêmes) et non par un changement des caractéristiques électriques du chemin de propagation du bruit à l'intérieur du circuit. Cela a été vérifié expérimentalement en caractérisant l'impédance entre les différents terminaux d'alimentation des différents circuits testés. Après vieillissement, cette impédance ne change pas indiquant que les interconnexions du boîtier ou de la puce ne sont pas affectées par les stress électriques ou thermiques. En appliquant les mêmes stress électriques sur les quatre versions de circuit digital (Core 1 à 4), on ne mesure aucune dérive notable des profils d'impédance mesurés entre l'alimentation de la masse. Les structures de découplage ajoutées à l'intérieur des cœurs 2 à 4 n'ont donc pas été dégradées par le stress électrique. La

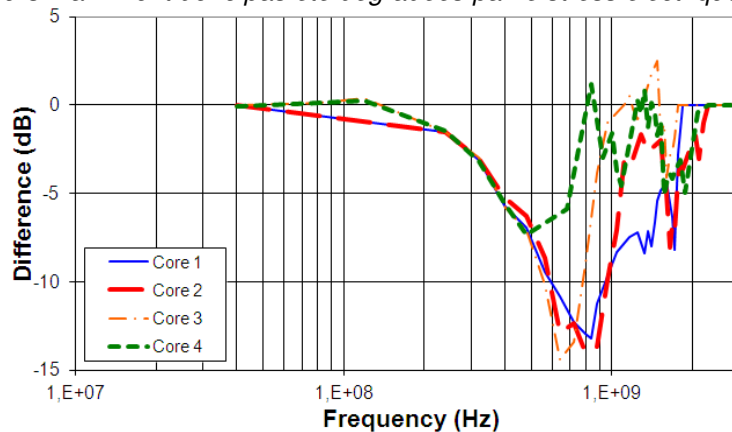


Figure 63 montre l'évolution moyenne du spectre d'émission conduite mesurée sur les quatre versions du circuit digital, après l'application du même stress électrique. Quelle que soit la version du circuit, une diminution du niveau d'émission est observée, mais qui n'est pas liée à la dégradation du découplage interne du circuit.

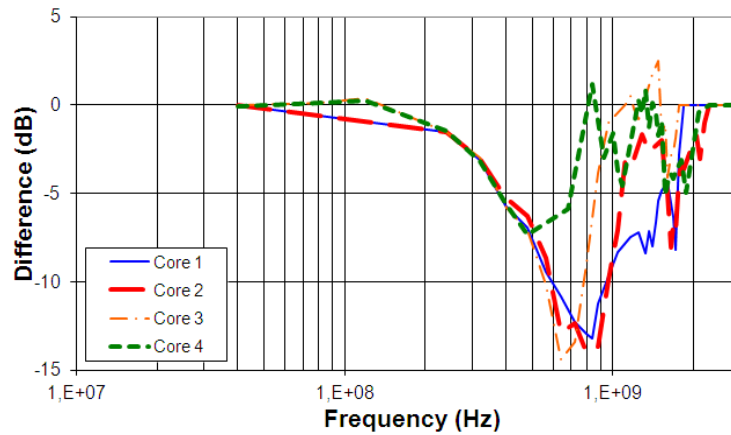


Figure 63 – Comparaison de l'effet du vieillissement sur le spectre d'émission conduite de quatre version du circuit digital [BOY14]

IV. Méthodologie de caractérisation de l'effet du vieillissement sur la CEM des circuits intégrés

Comme nous l'avons vu précédemment, l'étude de la CEM à long terme passe par une combinaisons de tests de vieillissement accéléré et d'essais CEM. Un soin doit être apporté à l'organisation et à la réalisation de ces essais pour garantir non seulement la pertinence des résultats mais aussi un réalisme industriel. En effet, en raison du nombre important de tests, il est indispensable de réfléchir aux moyens permettant de limiter le temps de caractérisation et le coût des essais. Une réflexion sur la mise en œuvre de ces essais a donc été menée.

Nous avons défini deux démarches :

- la première démarche est adaptée à une caractérisation mono-stress, dont le but est de mettre en évidence une dérive CEM à long terme pour une condition de stress donné. L'objectif n'est pas forcément de se placer dans un environnement représentatif du fonctionnement du composant.
- la seconde démarche est adaptée à une caractérisation multi-stress. En effet, dans un environnement réel, les sources de stress peuvent être multiples. Son but est d'extrapoler le temps nécessaire pour observer une dérive CEM à long terme dans des conditions de stress non testées.

Dans cette partie, je présente le principe de ces différentes démarche de caractérisation et les principaux choix effectués pour définir ces essais.

1. Première démarche : Mise en évidence des dérives CEM à long terme

Dès le début de nos travaux de recherche, la question posée était : une dérive CEM est-elle possible sur ce composant si celui-ci vieillit ? Nous cherchions à vérifier si, dans une situation de vieillissement accéléré, les niveaux CEM pouvaient être affectés, justifiant ainsi une modification de la conception du circuit ou du filtrage pour limiter les dérives CEM à long

terme. Nous avons donc été amené à définir un protocole de test combinant un essai de vieillissement accéléré et des tests CEM pour mettre en évidence d'éventuelles dérives des niveaux d'émission et d'immunité. Avant de présenter le flot général de ce protocole de test, il est nécessaire de répondre à certaines questions préalables à sa mise en œuvre.

- Quel type de stress appliquer pour observer une dérive CEM à long terme ?

Comme nous l'avons montré dans la partie précédente, les dérives d'émission ou d'immunité des CI sont associées à des mécanismes de dégradation intrinsèques, principalement NBTI et HCI. Il est donc nécessaire d'appliquer des stress qui activent ces mécanismes de dégradation. En pratique, les équipements électroniques peuvent être soumis à de multiples sources de stress. Cet environnement multi-stress a été négligé au départ pour faciliter la mise en œuvre des essais. Cet aspect sera considéré et intégré dans la seconde démarche de test, présentée dans la prochaine partie.

Afin de déterminer les sources de stress à appliquer, nous avons réalisé plusieurs campagnes de test, durant lesquelles nous comparions les effets de différents stress. Ceux-ci ont montré que des stress électriques combinés à un fonctionnement à haute ou faible température activaient des mécanismes de dégradation intrinsèques telles que NBTI, HCI, ce qui pouvaient affecter les niveaux d'émission ou d'immunité. Il apparaissait qu'il était plus efficace d'appliquer des stress électriques continus plutôt que des stress alternatifs afin de réduire la durée de stress. D'autres types de stress, tels que des vibrations ou du cyclage thermique ont aussi été testés, mais ils affectaient moins les niveaux CEM comme nous l'avons montré dans [BEN10]. Il est à noter que nous n'avons jamais testé l'impact des radiations, en raison de l'absence à un accès simplifié aux équipements requis pour ce genre d'essais. Des chercheurs tels que ceux de l'équipe de Fabian Vargas ont montré qu'ils avaient une influence sur l'immunité de circuits programmables (SoC, FPGA) [BENF12]. De futures campagnes de mesure, combinant stress électrique, thermique et radiation devront être imaginés.

- Quelles doivent être les durées des stress ?

Initialement, nous nous sommes basés sur les recommandations industrielles pour les tests de fiabilité sur CI telles que AEC-Q100 utilisées dans le domaine automobile [AEC100]. Par exemple, le choix d'un fonctionnement à haute température en 150°C appliqué pendant 408 h est une pratique industrielle courante, admettant que cela est équivalent à une durée de vieillissement de 10 ans. Par la suite, nous avons préféré déterminer au préalable les conditions et durées de stress à appliquer pour induire une dérive notable des niveaux CEM, tout en garantissant des durées de stress de l'ordre de 100-1000 h, acceptables en pratique.

- Comment garantir la pertinence des résultats ?

Il ne suffit pas de caractériser un composant pour tirer des conclusions à propos de l'impact du vieillissement sur la CEM. En effet, le vieillissement est un phénomène aléatoire. Comme le montre la Figure 59, appliquer des conditions de stress similaires à des composants identiques ne conduit pas à la même évolution. Le choix du nombre de composants doit donc satisfaire un double impératif : garantir non seulement la pertinence statistique des résultats, mais aussi le réalisme industriel de l'industriel. Ce dernier est dicté par le coût des composants et des essais associés. Ce choix est nécessairement *ad-hoc* car il est

dépendant des caractéristiques des composants testés. Un intervalle de confiance peut être déterminé à partir du nombre de composants testés.

- Quel est le degré de vieillissement des circuits testés ?

Il est indispensable de mesurer d'autres paramètres que les niveaux d'émission et d'immunité indiquant le degré de vieillissement du composant. N'oublions pas que nous nous intéressons au cas de composants toujours fonctionnels mais ne respectant plus des contraintes CEM. En outre, certains paramètres sont directement corrélés aux dérives CEM (par exemple les caractéristiques tension-courant d'E/S). Il est donc indispensable de sélectionner un ensemble de paramètres électriques à mesurer en parallèle des niveaux CEM.

- Comment garantir que les dérives mesurées sont bien liées au vieillissement du composant étudié, et non à une incertitude de mesure, ou le vieillissement d'un autre composant ?

Il est indispensable de disposer d'échantillons témoins pour mesurer la reproductibilité dans le temps du moyen de mesure. En outre, il est souhaitable de ne faire vieillir que le composant étudié, pour exclure l'hypothèse que les dérives CEM observées soient liées à d'autres composants (actifs ou passifs), pistes de circuits imprimés ou connecteurs. Monter les composants à étudier sur des cartes communes aux tests de vieillissement et de CEM ne satisfait pas cette exigence. Il est donc préférable de séparer cartes de stress et cartes de caractérisation CEM, le composant à tester passant de l'une à l'autre par l'intermédiaire de *socket* adapté.

La Figure 64 présente la procédure générale que nous avons mise en place pour mettre en évidence des dérives après vieillissement des niveaux d'émission ou d'immunité sur un lot de composants. Les paramètres du test sont sélectionnés afin de répondre aux questions précédentes.

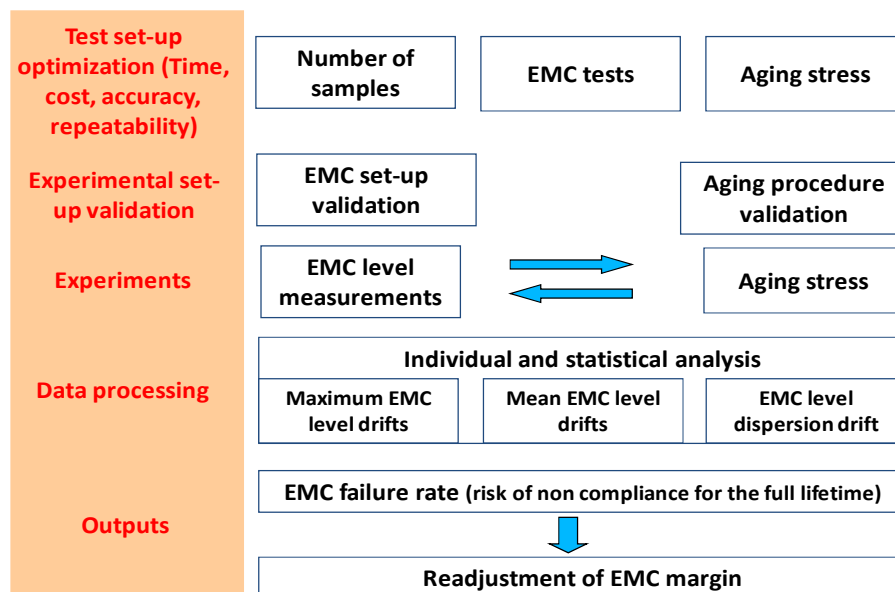


Figure 64 – Méthodologie de caractérisation de la CEM à long terme des composants [BEN13]

2. Seconde démarche - Extrapolation des dérives CEM à long terme pour un composant soumis à plusieurs stress

Un des objectifs de nos études, que nous avons étudié pendant la thèse de C. Ghfiri, est la prédiction des dérives CEM dans un contexte multi-stress proche des véritables conditions de fonctionnement d'un système embarqué. Le but final est d'estimer le temps avant non-conformité CEM. La mise en place d'un protocole expérimental pour extraire de telles informations est loin d'être triviale, en raison du grand nombre d'essais imposés par les multiples sources de stress. En outre, en combinant des stressés lors d'un essai de vieillissement accéléré sur CI, il faut garantir que celui-ci ne soit pas stressé excessivement. Une réflexion menée en partenariat avec A. Bensoussan et A. Durier de l'IRT Saint-Exupéry a permis d'aboutir à une procédure générale adaptée à la problématique de CEM à long terme, tout en restant compatible avec les contraintes industrielles. Cette méthodologie, basée sur la procédure *Multiple High Temperature Over-stress Life* (M-HTOL) [GHF18], est divisée en trois étapes pour :

- déterminer dans un premier temps le domaine de stress, c'est-à-dire les plages de conditions de stress à appliquer pour accélérer suffisamment le vieillissement sans casser l'échantillon trop rapidement
- réaliser l'essai de vieillissement proprement dit (*life test*) dans un nombre réduit mais suffisant de conditions de stress, selon la procédure M-HTOL, et extraire le modèle de vieillissement.

Ce modèle de vieillissement est défini pour un critère de défaillance donné du circuit sous test, qui est défini au préalable. L'objectif de ce modèle de vieillissement est d'extrapoler le temps moyen requis pour que le circuit devienne défaillant selon le critère sélectionné dans des conditions de stress non testés. La méthodologie reprend les bonnes pratiques présentées dans la partie précédente. Elle a été appliquée sur un FPGA stressé sous stress électrique et thermique. Les différentes étapes sont décrites ci-dessous.

a) Etape 1 - identification des conditions limites de stress

Le domaine de stress est délimité par les conditions conduisant à une casse ou une dégradation irréversible CI. Ces informations ne sont jamais données par les constructeurs, qui préconisent plutôt des conditions de fonctionnement limite pour ne pas induire de vieillissement accéléré. A température ambiante, déterminer une tension de casse nécessite de "sacrifier" quelques échantillons. La température ambiante maximale d'un CI est liée à la température de jonction maximale, comprise entre 125°C et 150°C, et spécifiée par le constructeur. Cependant, la température ambiante maximale dépend aussi de la puissance dissipée par le composant. En relevant le courant consommé par le composant en fonction des conditions de polarisation, la puissance dissipée par le composant et la température de jonction sont estimées. Ainsi, pour une condition de stress électrique donnée, on peut déterminer la température ambiante limite pour ne pas dépasser la température de jonction maximale du composant. La Figure 65 de gauche illustre l'évolution de la température de jonction T_j d'un FPGA en fonction des tensions appliquées sur deux de ces alimentations (VCCINT et VCCO) et de la température ambiante T_a . La température de jonction croît très rapidement dès qu'on se rapproche des tensions de polarisation de casse. Pour visualiser plus facilement le domaine de stress à une température ambiante donnée, on peut tracer les courbes iso-niveaux de la température de jonction en fonction des tensions de stress, comme le montre la Figure 65 de droite. Elle fait apparaître une limite "*limit to burn out*",

correspondante à celle du domaine de stress. Les conditions de stress que nous appliquerons seront proches de cette limite pour accélérer suffisamment le vieillissement, mais ne devront jamais la franchir pour ne pas casser les composants sous test prématurément pendant le test de vieillissement accéléré.

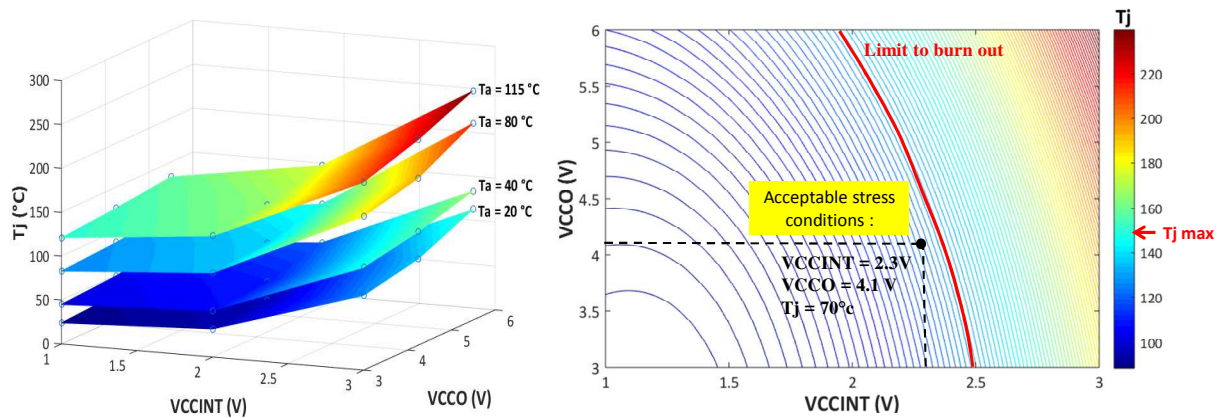


Figure 65 – Evolution de la température de jonction T_j d'un FPGA en fonction des conditions de stress électriques (tensions d'alimentation $VCCINT$ et $VCCO$) et de la température ambiante T_a [GHF17]

b) Etape 2 : Step-Stress Accelerated Life Test (SSALT)

Dans l'étape précédente, les conditions de stress limites à ne pas dépasser pour éviter une dégradation prématurée du composant étudié ont été déterminées. Cependant, afin de garantir des durées de test acceptables (moins de 1000 h), il est nécessaire d'estimer si un vieillissement significatif apparaîtra, ce que nous ne savons pas a priori. Une étape supplémentaire appelée *Step stress* [PEC87] est lancée. Celle-ci n'a pas vocation à remplacer le *life test* proprement dit, mais de déterminer rapidement et avec confiance les conditions de stress en tension qui seront utilisées pendant le *life test*. Ce test ne concerne pas le stress thermique en raison du temps important et de l'instrumentation nécessaire pour sa mise en œuvre, contrairement au stress électrique. Le *step stress* est donc réalisé à température ambiante et suit la procédure décrite à la Figure 66. Il consiste en une mesure initiale des performances du composant étudié, puis après une série de stress électrique incrémental S_n pendant une période prédéterminée. Les paramètres du test (nombre de step, tension min. et max., mesures de caractérisation) sont prédéfinis et la durée totale du test est limitée à 168 h. Le nombre de composants testés est limité à 3 échantillons, en plus de 2 échantillons témoins.

c) Etape 3 : M-HTOL life test

Le test M-HTOL est basé sur un stress électrique combiné avec un stress en température, bien qu'il soit possible de l'étendre avec d'autres types de stress. A partir de deux étapes précédentes, nous pouvons sélectionner plusieurs couples de conditions de stress (ici, deux valeurs de tension d'alimentation et la température ambiante) permettant de dégrader le composant étudié en un temps acceptable, c'est-à-dire moins de 1000 h. Pour optimiser le nombre d'essais, lorsque le nombre de conditions de stress augmente, une méthode de type plan d'expérience peut être employé pour sélectionner les conditions de stress à appliquer. Le test est ensuite lancé selon la procédure décrite à la Figure 66.

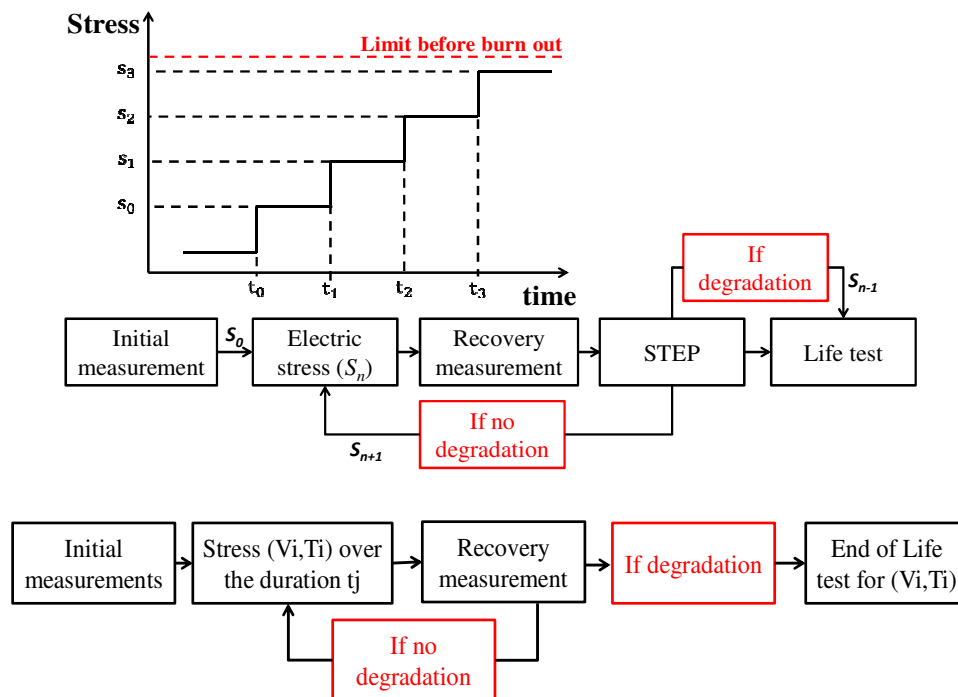


Figure 66 – Descriptions des tests Step stress (haut) et Life test (bas) [GHF17]

A l'issue de ces tests, les données pourront être exploitées pour déterminer le temps moyen avant défaillance et le taux de défaillance du composant sous test dans une condition de stress donnée. A partir de ce modèle de vieillissement, le taux de défaillance dans d'autres conditions de stress pourra être extrapolé, et l'ampleur des dérives CEM prédite en combinant le modèle de vieillissement avec le modèle CEM du circuit. Ce point est abordé dans la prochaine partie.

V. Modélisation et prédiction de la CEM à long terme des circuits intégrés

Durant les quelques années de travaux sur le sujet, plusieurs approches de modélisation ont été explorées. Chacune d'elles présentait un but différent, que je présente dans les parties ci-dessous.

1. Intégration de l'effet du vieillissement dans un modèle de simulation pour la CEM

Lors de nos premiers travaux sur le sujet, nous cherchions à faire le lien entre les dérives CEM observées et les mécanismes de dégradation internes activés dans un CI. Il s'agissait d'un préalable nécessaire pour :

- identifier les mécanismes de dégradation les plus influents sur les dérives CEM observées

- déterminer comment ces mécanismes agissent sur la CEM et quelle est l'évolution temporelle de ces dérives
- identifier des méthodes pour intégrer leur effet dans un modèle de prédiction CEM non confidentiel et standard

Ces études nécessitaient de disposer d'un modèle électrique suffisamment complet du circuit testé. Elles ont donc principalement porté sur des circuits de test que nous avons réalisés afin de disposer de l'ensemble des schémas électriques internes. En pratique, le fabricant d'un CI ne le met jamais à disposition. A partir des modèles de vieillissement au niveau transistor que nous avons extrait expérimentalement (voir partie IV), les paramètres des transistors ont pu être actualisés en fonction des conditions de stress considérées. Les dérives CEM peuvent ensuite être déterminées par simulation électrique. Ces travaux ont été menés sur différents composants par mes différents doctorants ou par moi-même :

- des circuits digitaux et des alimentations à découpage pour simuler l'évolution de l'émission conduite, dans le cadre de la thèse de He Huang, puis de C. Ghfiri [BOY14b] [HUA15c]
- des buffers d'E/S pour simuler l'évolution de l'intégrité du signal et de l'émission conduite [BEN16]
- différents circuits analogiques (oscillateur contrôlé en tension (VCO), boucle à verrouillage de phase (PLL), référence bandgap, régulateur linéaire) pour simuler l'évolution de l'immunité, notamment dans le cadre des thèses de Binhong Li, Jianfei Wu et de He Huang [BOY12] [WU13] [HUA15b]

A titre d'exemple, je présente le modèle d'immunité d'une PLL construit pour simuler l'effet du vieillissement thermique sur la sensibilité de ce circuit aux perturbations conduites sur son réseau d'alimentation [BOY12]. Ce travail a été réalisé durant la thèse de Binhong Li [LI11]. Soumis à un vieillissement accéléré à haute température (150°C), le circuit restait fonctionnel en conditions nominales, mais devenait plus sensible aux perturbations conduites sur son réseau d'alimentation. Une analyse des différents blocs internes de la PLL a montré que le vieillissement avait affecté le VCO, dont la fréquence d'oscillation avait diminué après vieillissement. La dégradation du VCO n'était pas suffisante pour provoquer un décrochage de la PLL, capable de compenser les dérives du VCO. Cependant, cette dégradation avait affecté la marge d'immunité aux perturbations électromagnétiques.

Nous disposions du schéma électrique du circuit au niveau transistor, que nous avons enrichi avec les éléments parasites ramenés par les interconnexions du boîtier et des pistes du circuit imprimé. Ce modèle reproduisait avec une bonne précision le niveau de susceptibilité du circuit jusqu'à 1 GHz. A partir de ce modèle électrique, il était possible de déterminer quels transistors du VCO étaient les plus dégradés. A forte température, le mécanisme NBTI est activé dans les transistors PMOS lorsque la grille est polarisée négativement par rapport à la source. Les transistors les plus soumis à cette condition sont ceux qui ont le plus de chance d'être dégradés. L'analyse électrique par simulation SPICE du VCO a montré qu'un transistor PMOS contrôlant la fréquence d'oscillation du VCO voyait sa tension grille source polarisée négativement. L'activation du mécanisme NBTI dans ce transistor était donc possible, produisant une augmentation de sa tension de seuil. En augmentation la tension de seuil de ce transistor, la simulation reproduisant le ralentissement du VCO observé en mesure, confortant l'hypothèse faite sur le mécanisme de dégradation à l'œuvre et sa localisation dans le circuit. En simulant l'immunité du circuit à

l'aide de ce nouveau modèle, on observait une diminution large bande du niveau d'immunité, du même ordre que la diminution moyenne mesurée, comme le montre la Figure 67. Le modèle proposé permettait ainsi d'analyser comment le vieillissement pouvait être responsable d'une dérive de CEM.

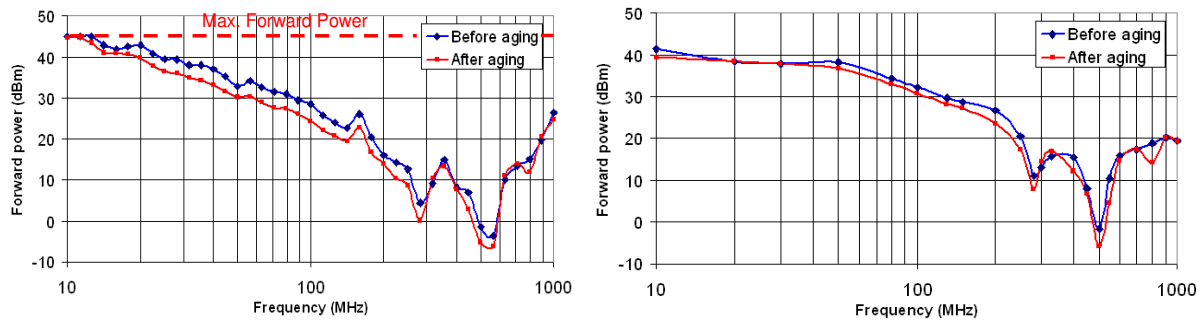


Figure 67 – Comparaison des niveaux d'immunité avant et après vieillissement thermique d'une PLL observés en mesure (à gauche) et en simulation (à droite) [BOY12]

2. Intégration du vieillissement dans un modèle CEM standard

La démarche présentée dans la partie précédente est basée sur un modèle électrique détaillé au niveau transistor, permettant d'analyser finement l'origine des dérives de fonctionnement du circuit et donc des niveaux CEM. Cependant, ce niveau de détails reste indisponible pour un utilisateur de CI désirant mener une étude de CEM à long terme. En outre, une simulation CEM basée sur une schématique électrique détaillée du circuit peut s'avérer extrêmement longue. Les propositions de modèles d'émission et d'immunité standards (ICEM, ICIM) présentées dans le chapitre 4 ont vocation à répondre à ces problématiques. Nos travaux ont donc cherché à démontrer l'utilisation de ce type de modèles pour la prédiction CEM à long terme.

L'approche présentée dans la partie précédente, où le modèle électrique du circuit est explicite et les mécanismes de dégradation modélisés au niveau d'un transistor, n'est pas compatible avec un macromodèle de type boîte noire ou grise. Deux stratégies sont possibles pour simuler l'effet du vieillissement :

- l'identification d'un ou plusieurs paramètres du modèle sensibles aux conditions de vieillissement, dont on va extraire un modèle de vieillissement empirique
- la construction d'un modèle boîte noire simulant les dérives de niveau CEM en fonction des conditions et de la durée de stress

Dans les deux cas, la construction du modèle s'appuie sur des mesures lors de tests de vieillissement accéléré. Dans l'article [BOY13], je présente la première approche que j'ai développée afin de simuler à l'aide d'un macromodèle de type ICEM l'évolution de l'émission conduite produite par un circuit digital après vieillissement électrique. Le circuit de test utilisé était le circuit ELMER, présenté dans la partie IV. Le modèle ICEM avait été construit à partir de mesures d'impédance et de courant transitoire réalisé sur le circuit avant vieillissement. Les conditions d'activation des mécanismes de dégradation NBTI et HCI avaient été caractérisées par mon doctorant Binhong Li. Soumis à un stress électrique, le temps de propagation du signal à travers l'ensemble des portes digitales formant le circuit tendait à augmenter graduellement en fonction du temps de stress. Le ralentissement de la

commutation des portes était principalement lié à l'activation du NBTI dans les transistors PMOS, qui augmentaient leur tension de seuil (Figure 61). Il en résultait une diminution du niveau d'émission conduite, principalement sur son contenu à haute fréquence, comme le montre la Figure 62.

Afin d'intégrer l'effet du vieillissement dans le modèle ICEM du circuit testé, les paramètres du modèle sensibles au vieillissement ont été identifiés et une loi d'évolution en fonction des conditions de stress et du temps a été identifiée. Ces étapes étaient basées sur des caractérisations expérimentales du circuit testé lors d'un test de vieillissement accéléré. Comme expliqué dans le chapitre 4, le modèle ICEM est formé de deux blocs principaux :

- le bloc PDN qui modélise l'effet de filtrage produit l'ensemble des interconnexions du CI et donc l'impédance équivalente visible entre les différentes broches d'alimentation et de masse du circuit
- le bloc IA qui modélise les appels de courant transitoire liés aux transferts de charge produits lors de la commutation des portes digitales du circuit

J'ai vérifié que l'impédance entre les broches d'alimentation et de masse du circuit ne variait pas pendant le stress électrique, comme le montre la

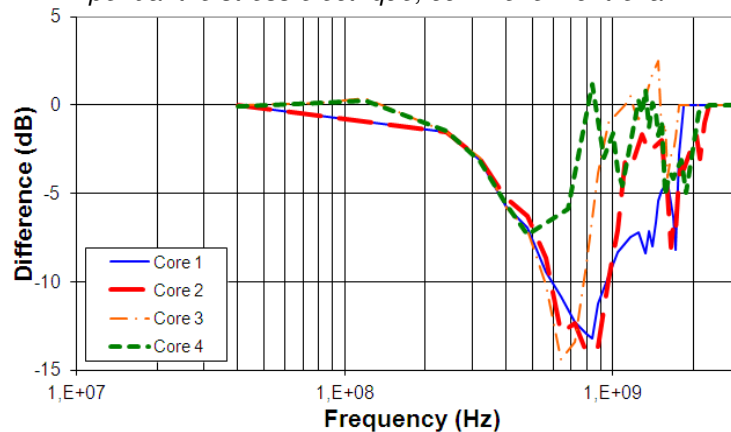


Figure 63. L'augmentation du temps de propagation du signal à travers le circuit étant lié à un ralentissement des transferts de charge, l'effet du vieillissement pouvait être seulement intégré dans le bloc IA. Le bloc IA était formé de sources de courant impulsionnel contrôlées par trois paramètres : l'amplitude Δi , les temps de montée et de descente de l'impulsion T_r et T_f . La méthodologie que j'ai proposée pour intégrer l'effet du vieillissement dans le bloc IA reposait sur l'hypothèse que la quantité de charge transférée lors de la commutation d'une porte logique restait inchangée après l'application d'un stress. La validité de cette hypothèse pouvait être confirmée par la mesure de la consommation dynamique de courant du circuit qui n'évoluait pas. Les trois paramètres du bloc IA pouvaient être modifiés par le stress électrique, mais restaient reliés à cette hypothèse d'invariance de quantité de charge transférée. Puisque le temps de propagation du signal à travers le circuit augmentait avec le temps de stress, les temps de montée et de descente de l'impulsion T_r et T_f devaient aussi croître, contrairement à l'amplitude de l'impulsion Δi . Pour modéliser l'évolution de ces trois paramètres, j'ai introduit un paramètre empirique δ appelé "dégradation ratio", calculé à l'aide des équations 16 et 17. Ce paramètre modélise l'effet d'étalement de l'impulsion de courant dû au vieillissement.

$$\Delta i_{stress} = \Delta i_{initial} (1 - \delta), \quad 0 \leq \delta \leq 1 \quad \text{Équation 16}$$

$$t_{r\ stress} = \frac{t_{r\ initial}}{1 - \delta}, \quad 0 \leq \delta \leq 1 \quad \text{Équation 17}$$

L'évolution temporelle de ce paramètre a d'abord été extraite expérimentalement lors d'un essai de vieillissement électrique accéléré. Celui-ci a été ensuite réinjecté dans le modèle ICEM en modifiant la forme d'onde du courant produit par le bloc IA selon les équations 16 et 17. Les spectres d'émission mesurés et simulés avant et après un vieillissement électrique de 3 V ont ainsi pu être comparés, comme le montre la Figure 68. La simulation basée sur ICEM reproduisait correctement la diminution graduelle du spectre d'émission principalement visible au-dessus de 250 MHz. Le résultat confirmait que la prédiction d'un changement d'émission conduite d'un CI reposait sur une bonne estimation de l'étalement du courant transitoire produit par son activité. Mon approche basée sur l'introduction d'un paramètre empirique extrait expérimentalement donnait de bons résultats sur l'évolution du spectre d'émission produite par un CI. L'originalité de ce travail a été récompensé par le prix du meilleur papier à la conférence EMC Compo 2013 à Nara au Japon.

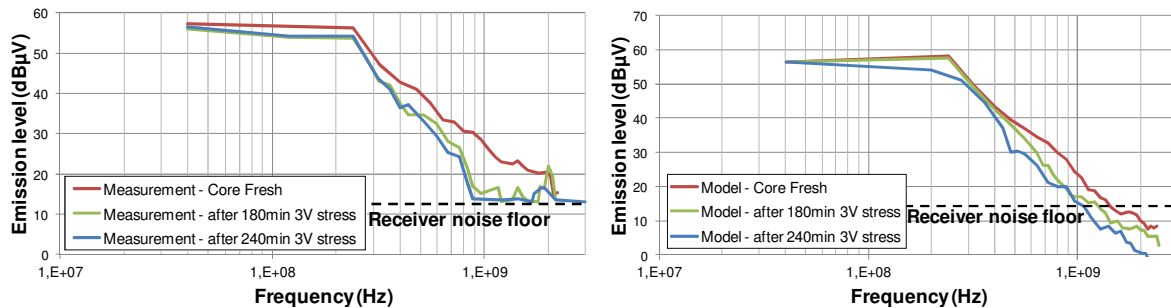


Figure 68 – Mesure (gauche) et simulation de l'évolution du spectre d'émission conduite d'un circuit digital soumis à un stress électrique de 3 V [BOY13]

Durant la thèse de C. Ghfiri, cette approche a été réemployée pour simuler l'évolution de l'intégrité du signal produite par la commutation d'un buffer d'E/S en technologie CMOS à l'aide d'un modèle IBIS [BOY16] [GHF17]. Celle-ci est liée au courant de drain des transistors et des temps de commutation, qui sont à la fois mesurables et explicites dans le modèle IBIS. Un suivi expérimental de ces grandeurs lors d'un essai de vieillissement accéléré permettait donc de mettre à jour les paramètres du modèle IBIS pour simuler la dégradation de l'intégrité de signal.

Cependant, cette approche trouve ses limites lorsque les relations entre les performances du circuit et les mécanismes de dégradation deviennent tellement complexes qu'il est difficile d'identifier dans un modèle quelques paramètres sensibles au vieillissement. C'est notamment le cas lorsqu'on s'intéresse à la simulation de la susceptibilité à long terme d'un CI. La susceptibilité peut dépendre d'un grand nombre de paramètres en fonction de relations complexes et non linéaires. Une modélisation basée exclusivement sur une approche boîte noire peut s'avérer efficace pour intégrer l'effet du vieillissement. Nous avons testé cette approche avec mon doctorant He Huang, afin de simuler l'évolution de l'immunité d'un amplificateur opérationnel (AOP) soumis à des stress électriques [HUA15]. Lorsque ce composant est exposé à des perturbations radiofréquences couplées sur ses entrées, celles-ci sont rectifiées et un offset parasite apparaît en sortie. Ce défaut correspond au critère d'immunité que notre modèle doit reproduire en fonction de la fréquence et de l'amplitude de la perturbation. Soumis à des stress électriques, le composant devient plus sensible aux perturbations électromagnétiques car l'offset parasite apparaît pour des niveaux de

perturbation plus faibles. Comme nous l'avons démontré avec H. Huang dans [HUA15b], cette dérive trouve son origine dans la dégradation des étages de polarisation et de l'étage de sortie de l'AOP à cause de l'activation du NBTI. Simuler finement la dérive d'immunité peut passer par un modèle au niveau transistor de l'AOP et d'une caractérisation du mécanisme NBTI au niveau transistor, comme nous l'avons montré dans la partie VI.1. L'approche suivie durant ce travail a consisté à suivre le standard ICIM-CI pour modéliser l'immunité de l'AOP. Le modèle est formé de deux blocs principaux :

- le bloc PDN modélise l'effet de filtrage produit l'ensemble des interconnexions du CI et donc l'impédance équivalente visible entre les différentes broches du circuit. Un schéma électrique équivalent est extrait à partir de mesures de paramètres S effectuées entre les broches du circuit.
- le bloc IB qui modélise le comportement du circuit lorsqu'une perturbation arrive sur ses entrées. Ce bloc doit donc reproduire la valeur de l'offset parasite en fonction de l'amplitude et de la fréquence de la perturbation.

L'apparition et la dérive de l'offset en sortie dépendant de plusieurs paramètres selon une fonction non linéaire rendent difficiles l'extraction d'une loi simple reliant l'offset aux caractéristiques de la perturbation et du stress, comme nous l'avons fait dans l'exemple précédent. Le bloc IB est donc construit à l'aide d'une approche boîte noire dont le but est de reproduire l'offset en sortie en fonction de la perturbation et du vieillissement, sans la moindre information sur le contenu exacte du CI. L'extraction du modèle passe par la collecte de données d'entrées pouvant se faire par mesures d'immunité combinées à des essais de vieillissement accéléré, ou par simulations si on a accès à un modèle détaillé du CI et des mécanismes de dégradation. La Figure 69 illustre l'approche boîte noire. Le bloc IB est modélisé à l'aide d'un plan de réponse de surface (équation 18) reliant la tension d'offset de sortie V_{offset} à l'amplitude de la perturbation V_{int} et à la durée du stress t à l'aide de coefficient p_{ij} variant en fonction de la fréquence de la perturbation F_{int} et de l'amplitude du stress. Le nombre de variables peut varier et l'ordre du polynôme est ajusté pour minimiser l'erreur quadratique entre mesures et simulations.

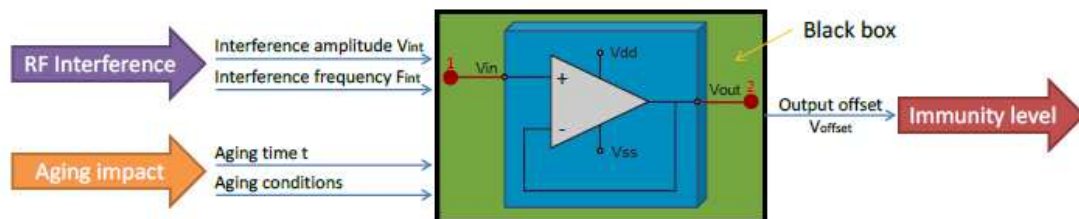


Figure 69 – Illustration de l'approche boîte noire utilisée pour modéliser la dérive d'immunité d'un AOP vieilli électriquement [HUA15]

$$V_{\text{offset},f} = p_{00} + p_{10}t + p_{01}V_{\text{int}} + p_{20}t^2 + p_{11}tV_{\text{int}} + p_{02}V_{\text{int}}^2 + p_{30}t^3 + p_{21}t^2V_{\text{int}} + p_{12}tV_{\text{int}}^2 + p_{03}V_{\text{int}}^3 \quad \text{Équation 18}$$

Les dix coefficients p_{ij} dépendent de la fréquence et des conditions de vieillissement. Le bloc IB du modèle se résume ainsi à une table contenant l'ensemble des coefficients et au calcul de l'offset selon l'équation 18. Le modèle reproduit correctement l'évolution de l'offset mesuré en fonction de la fréquence, de l'amplitude de la perturbation et de la condition de stress électrique appliquée, comme l'illustre la Figure 70. Du point de vue générale de la

modélisation, cette approche boîte noire présente plusieurs avantages. Une fois le modèle établi, le temps de simulation est considérablement réduit (12 sec pour le modèle à base du schéma électrique complet, 5 sec pour le modèle boîte noire). Puisqu'il s'appuie sur des mesures ou des simulations de référence, le résultat peut présenter une bonne précision. La méthode peut s'appliquer à tout type de circuit, sans connaissances internes du CI. Ainsi, il répond parfaitement aux besoins d'un utilisateur de CI qui considère effectivement le CI comme une boîte noire. Cependant, tout changement dans la configuration du CI, dans la nature de la perturbation ou du stress appliquée invalide le modèle et nécessite d'obtenir de nouvelles données d'entrées pour bâtir le modèle. La mise en pratique de cette approche peut devenir fastidieuse et coûteuse. Elle convient donc pour des simulations d'un circuit dans un nombre réduit de configurations et de conditions de stress.

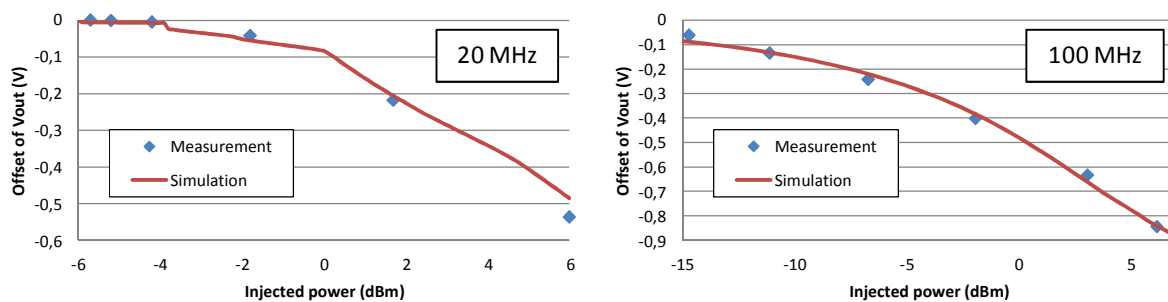


Figure 70 – Comparaison mesure-simulation de l'évolution de l'offset induit en sortie d'un AOP après vieillissement électrique [HUA15]

3. Modélisation dans un cas multistress

Dans les exemples précédents, les différents modèles ont généralement été construits à partir de mesures dans une condition de stress donnée pour simuler l'évolution de la CEM. L'extrapolation de la dérive des niveaux CEM dans d'autres conditions d'un même stress et le temps moyen requis pour atteindre un certain niveau de dérive peut passer par une caractérisation expérimentale du facteur d'accélération à partir d'essais de vieillissement accéléré. C'est l'approche traditionnelle utilisée pour estimer la durée de vie de composants à partir de tests de vieillissement accéléré, en se basant par exemple sur un modèle de Weibull. La prédiction de la durée de vie d'un CI peut s'appuyer sur des modèles de fiabilité prédictive, dont certains comme MIL-HDBK-217F [MIL217] et FIDES [FID04] sont normalisés et utilisés par l'industrie.

En pratique, les composants d'un même équipement électronique sont soumis à plusieurs stress, pouvant activer plusieurs mécanismes de dégradation simultanément. Or, les modèles de fiabilité prédictive précédemment cités considèrent un mécanisme de dégradation dominant. La prédiction de la durée de vie dans un cas de multi-stress reste à ce jour une question scientifique difficile. Des travaux récents ont présenté des modèles de fiabilité prédictive multi-stress appliqués aux circuits CMOS nanométriques, tels que Multiple Temperature Operational Life (MTOL) proposé par le professeur J. B Bernstein [BER14] et sa déclinaison dans l'outil Multi-phySics multistressOrs predictive Reliability Model (M-STORM) développé à l'IRT Saint-Exupéry par Alain Bensoussan [BEN17]. Dans le cadre de la thèse de C. Ghfiri, nous avons abordé le problème de prédiction de la CEM dans un environnement multistress en utilisant l'outil M-STORM. Cette méthode a été appliquée à la

prédiction des dérives des niveaux d'émission conduite d'un FPGA soumis à un stress thermique combiné à un stress électrique. La méthode et les résultats sont brièvement décrits dans cette partie, mais une description détaillée est disponible dans [GHF18].

La méthode MTOL vise à identifier les principaux mécanismes de dégradation dans un circuit électronique et considérer chacun comme un sous-élément participant à la dégradation du composant. Dans un circuit CMOS, les principaux mécanismes de dégradation sont au nombre de quatre : électromigration, HCI, NBTI, TDDB. Chaque mécanisme est caractérisé par un facteur d'accélération dépendant des conditions de stress, pouvant être calculé à partir des modèles de physique de défaillance tels que ceux donnés dans [JED16]. MTOL se base sur une approximation où toutes les défaillances sont équiprobables et indépendantes, de sorte que la défaillance du composant suit un processus à taux de défaillance constant. Ainsi, le taux de défaillance du composant résulte de la somme des taux de défaillance associés à chacun des mécanismes de dégradation (équation 19), permettant de calculer le temps moyen avant défaillance (MTTF) selon l'équation 20.

$$\lambda = \sum_{i=1}^4 \lambda_i \quad \text{Équation 19}$$

$$MTTF = \frac{1}{\lambda} \quad \text{Équation 20}$$

Afin de déterminer la combinaison des lois associées aux différents mécanismes de dégradation dans une condition multistress donnée, une approche matricielle a été proposée dans [SUH13]. Elle relie les facteurs d'accélération de chaque mécanisme de dégradation dépendants des conditions de stress à leur taux de défaillance par l'intermédiaire de constantes dépendantes de la technologie, comme le montre l'équation 21. La matrice AF contient l'ensemble des facteurs d'accélération. Chaque colonne contient les facteurs d'accélération d'un mécanisme de dégradation. Chaque ligne est associée à une condition de stress donnée. La matrice λ contient les taux de défaillance du circuit dans les différentes conditions de stress. Cela suppose la définition d'un critère de défaillance défini au préalable. Le MTTF correspond au temps requis pour vérifier ce critère. La matrice P contient l'ensemble des constantes de proportionnalité caractérisant la contribution relative de chaque mécanisme de dégradation. Elles sont supposées indépendantes des conditions de stress et uniquement dépendantes de la technologie du circuit considéré.

$$\begin{matrix} \overbrace{\begin{bmatrix} A_1 & B_1 & C_1 & D_1 \\ A_2 & B_2 & C_2 & D_2 \\ A_3 & B_3 & C_3 & D_3 \\ A_4 & B_4 & C_4 & D_4 \end{bmatrix}}^{AF} \cdot \begin{matrix} \overbrace{\begin{bmatrix} W \\ X \\ Y \\ Z \end{bmatrix}}^{P_i} \end{matrix} = \begin{matrix} \overbrace{\begin{bmatrix} \lambda_1 \\ \lambda_2 \\ \lambda_3 \\ \lambda_4 \end{bmatrix}}^{\lambda} \end{matrix} \quad \text{Équation 21}$$

Une fois que les constantes de la matrice P sont connues pour une technologie donnée, il est possible de déterminer la contribution relative de chaque mécanisme de dégradation, le taux de défaillance et le MTTF pour une condition de stress quelconque. Cela passe donc par une phase de calibration pour extraire la matrice P, c'est-à-dire par des essais de vieillissement accéléré dans au moins quatre conditions de stress différentes pour activer les différents mécanismes de dégradation. Durant ces essais, les taux de défaillance sont mesurés sur les lots de composants testés. En calculant les coefficients de la matrice AF à partir des modèles de physique de défaillance, les coefficients de la matrice P sont extraits en inversant la relation donnée par l'équation 21.

La méthode a été appliquée sur un FPGA Xilinx Spartan 6 XC6SLX16-FT256, conçu en technologie CMOS 45 nm. Celui-ci a été soumis à un stress électrique combiné avec un stress thermique en fonctionnement. Le modèle M-STORM de ce composant avait déjà été construit par l'équipe du Pr. Bernstein en collaboration avec A. Bensoussan dans [BER17]. Les expérimentations que nous avons menées avec C. Ghfiri avaient pour but de valider les paramètres du modèle M-STORM de ce composant et d'établir un modèle de prédiction de sa dérive d'émission conduite en fonction du temps. Les méthodes de caractérisation optimisées décrites dans la partie IV ont été employées pour minimiser le nombre d'essais. Les résultats sont décrits dans [GHF18]. A partir de ses essais, nous avons pu établir les taux de défaillance du composant pour trois configurations de stress différentes et en déduire le temps moyen requis pour atteindre un critère de défaillance donné. Le critère de défaillance correspond à une dérive relative de 10, 20 ou 30 % de la fréquence d'oscillation d'une structure d'oscillateur en anneau implémentée dans le FPGA. La Figure 71 compare nos résultats expérimentaux (les trois points) avec les prédictions du modèle M-STORM extraites à partir des résultats du Pr Bernstein (les courbes), sous la forme d'un tracé d'Arrhenius. Chaque courbe indique le temps moyens avant défaillance (selon le critère de dérive de 20 % de la fréquence d'oscillation) en fonction de la température de stress pour une tension de stress donnée. Chaque courbe est entourée de son intervalle de confiance à 90 %. On peut remarquer que les points expérimentaux sont tous situés dans l'intervalle de confiance à 90 % du modèle M-STORM. Même si cela ne correspond pas à une démonstration complète de la validité du modèle M-STORM, ce résultat nous a conforté dans le choix d'utiliser ce modèle pour extrapoler les dérives CEM de ce circuit pour d'autres conditions de stress.

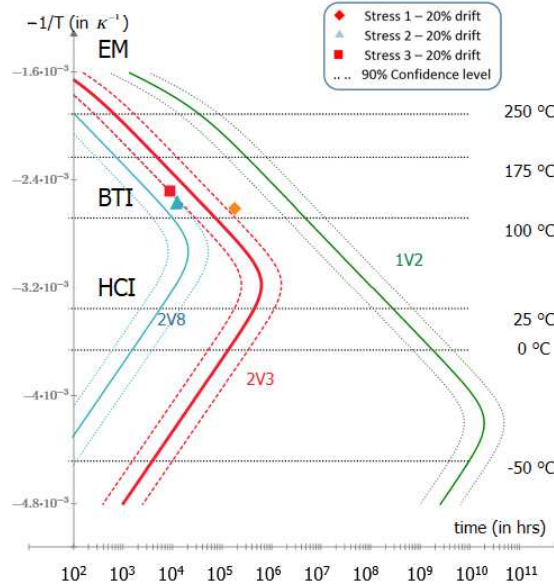


Figure 71 – Tracé d'Arrhenius indiquant les temps moyens avant défaillance du FPGA en fonction de la température et la tension de stress prédits par le modèle M-STORM. Les points indiquent les résultats expérimentaux de C. Ghfiri [GHF18]

Les données du modèle M-STORM permettent de prédire la dérive de la fréquence d'un oscillateur en anneau en fonction du stress et de sa durée. Avec C. Ghfiri, nous avons exploité cette donnée pour en déduire la dérive du temps de propagation travers une cellule programmable du FPGA. Celle-ci est ensuite injectée dans le modèle ICEM-CE du circuit pour déterminer l'impact sur l'émission conduite. La Figure 72 présente une comparaison

entre la mesure et la simulation de la dérive du spectre d'émission conduite du FPGA, lorsqu'il est soumis à un stress électrique thermique combiné (135°C sous une tension d'alimentation de 2.3 V au lieu de 1.2 V). L'évolution est tracée pour trois fréquences différentes et indique une diminution graduelle du niveau d'émission conduite. Globalement, le modèle reproduit correctement la dérive du niveau CEM du composant jusqu'à 500 h de stress. Au-delà, les premières casses matérielles apparaissent.

A partir du modèle M-STORM, nous avons poussé l'exercice jusqu'au bout pour prédire le temps et la dérive d'émission maximale dans une situation de fonctionnement nominal. Le résultat de cette prédiction à 144 MHz est affiché sur la Figure 73. Quatre points sont affichés : le niveau initial et les niveaux pour trois critères de stress différents. Des dérives de quelques pourcents peuvent être atteintes au bout de plusieurs centaines de millions d'heures, c'est-à-dire près de 60000 ans. Ce résultat indique qu'il n'y a pas de risques de dérives d'émission électromagnétique à long terme, tant que le composant fonctionne dans des conditions nominales.

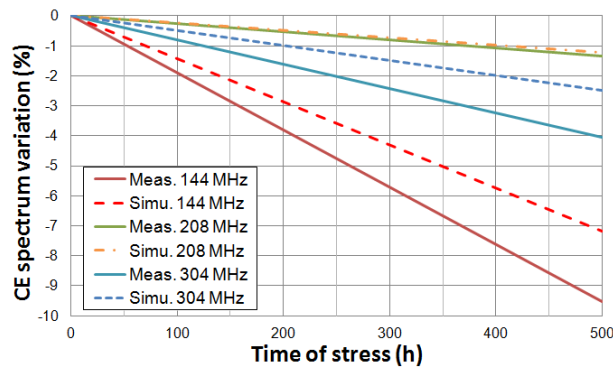


Figure 72 – Comparaison mesure-simulation de l'évolution du spectre d'émission conduite du FPGA après un stress électrique-thermique combiné de 500 h [GHF18]

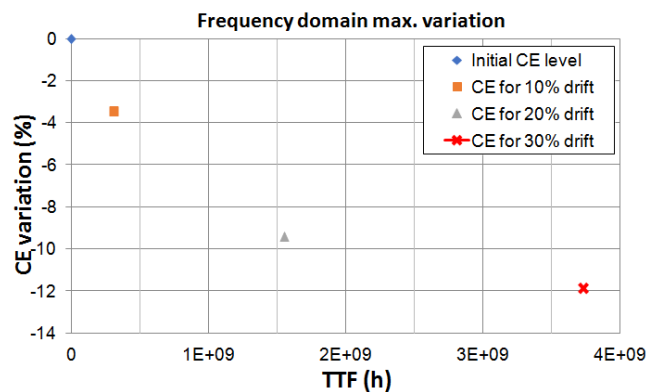


Figure 73 – Prédiction du temps moyen avant qu'un critère de défaillance soit atteint et dérive CEM attendue [GHF18]

La méthodologie que nous avons mise en œuvre avec C. Ghfiri représente un résultat majeur de nos travaux sur la CEM à long terme, dans la continuité des thèses précédentes. Elle offre une réponse concrète à deux des objectifs de nos travaux. En effet, elle combine une méthode de caractérisation multistress réduisant le nombre d'essais (MTOL) et une approche de modélisation de la fiabilité dont le résultat peut être intégré dans un modèle CEM pour une prédiction de la CEM à long terme. Cette méthodologie peut s'appliquer à

n'importe quel type de circuits. Bien que la phase de caractérisation soit longue en raison de la durée des tests de vieillissement, ces derniers sont typiques des essais de vieillissement accéléré utilisés dans l'industrie, rendant l'approche compatible avec les contraintes de l'industrie.

VI. Bilan et analyse rétrospective

Dans ce chapitre, j'ai présenté mes contributions à un nouveau thème de recherche lancé par S. Ben Dhia et moi-même. Nous l'avons mené pendant 10 ans. Il s'est effectué dans le cadre de plusieurs projets et thèses. Il existe une véritable continuité entre les différentes thèses que j'ai co-encadré, que nous pouvons résumer ici : Binhong Li a défriché le sujet en déterminant les mécanismes de dégradation et construit les premiers modèles. H. Huang a poursuivi les travaux de modélisation et proposé une première approche de prédiction des risques de CEM à long terme. Les travaux de J. Wu ont été effectués en parallèle de ces deux thèses et ont aussi porté sur des travaux de modélisation de composants. Enfin, les travaux de C. Ghfiri portaient sur une modélisation multistress et la construction de modèles pour une prédiction à l'échelle d'une carte électronique. Ces quatre thèses ont été des réussites, qui ont donné lieu à de nombreuses publications.

Une des principales retombées est que nous avons démontré que des modèles prédictifs de CEM à long terme pouvaient être construits pour différents types de composants et différents types de problèmes (CE, SI, CI). Cette approche se base sur une campagne de mesure effectuée selon un protocole précis et optimisé. Ce modèle de CI peut être considéré comme une brique élémentaire pour une simulation de CEM à long terme à l'échelle d'une carte électronique. Une question importante et qui intéresse un concepteur d'équipements électroniques est la dérive CEM à l'échelle de cette carte. Nous n'avons pas encore réussi à répondre à la question initiale qui nous avait été posée et de nombreux travaux restent à faire pour démontrer la viabilité de ces approches pour une prédiction au niveau carte et une intégration dans les outils industriels.

Un des regrets à l'issue de la thèse de C. Ghfiri est de ne pas avoir pu utiliser complètement les cartes ELECIS, que nous avons spécifiées et qu'elle avait développées durant le projet Robustesse Electronique. Ces cartes avaient été développées pour un double objectif : caractériser et modéliser la CEM à long terme de plusieurs composants (FPGA, alim à découpage, référence de tension, interface digitale rapide, mémoire ...), et démontrer la pertinence des modèles pour une prédiction de CEM à long terme au niveau d'une carte électronique, lors du vieillissement simultané de plusieurs composants. Les cartes ELECIS avaient été conçues pour intégrer les différents circuits étudiés sur une même carte de test. Deux expériences étaient en cours à la fin de la thèse de C. Ghfiri : la première combinait un FPGA et une alimentation à découpage pour déterminer les dérives d'émission conduite, la seconde une liaison DDR3 entre un FPGA et une mémoire SDRAM pour une prédiction des dérives d'intégrité du signal. Bien que les modèles des composants avaient été construits et que la partie expérimentale avait été mise en place par l'intermédiaire de stage, cette étude n'a pas pu être menée à son terme par manque de temps. Les résultats de ces expériences auraient pu fournir une démonstration de la finalité des modèles de prédiction de CEM à long terme. Cette expérience devra être reprise dans un futur travail de thèse, notamment pour finaliser la validation des méthodologies MTOL et M-STORM.

VII. Références

- [AEC100] AEC - Q100 - Rev-F, Stress test qualification for integrated circuits, Automotive Electronics Council, Component Technical Committee, July 18, 2003.
- [ARM08] K. Armstrong, "Why Conventional EMC Testing is Insufficient for Functional Safety (and what to do about it)?", IEEE Symp. on Product Compliance Engineering, Austin, Oct. 2008.
- [BEN10] S. Ben Dhia, A. Boyer, B. Li, A. C. Noye, "Characterization of the Electromagnetic Modelling drifts of a nanoscale IC after Accelerated Life Tests", Electronic Letters, 18th February 2010, Vol. 46, no. 4, pp. 278-279.
- [BEN13] S. Ben Dhia, A. Boyer, "Long-term Electro-Magnetic Robustness of Integrated Circuits: EMRIC research project", Microelectronic Reliability, Vol. 53, Issues 9-11, September-November 2013, pp 1266-1272.
- [BEN16] S. Ben Dhia, A. Boyer, "A Review of Research on the Effect of Aging on the EMC of Integrated Circuits", 2016 Asia-Pacific International Symposium on Electromagnetic Compatibility and Signal Integrity, May 18 – 21, 2016, Shenzhen.
- [BEN17] A. Bensoussan, "Microelectronic reliability models for more than Moore nanotechnology products", Facta universitatis, Electronics and Energetics, March 2017.
- [BENF12] J. Benfica, L. Bolzani Poehls, F. Vargas, J. Lipovetzky, A. Lutenberg, S. E. Garcia, "Configurable Platform for SoC Combined Tests of TID Radiation, Aging and EMI", 2012 Asia-Pacific Symp. on EMC, May 2012.
- [BER14] J. B. Bernstein, M. Gabbay, O. Dely, "Reliability matrix solution to multiple mechanism prediction", Microelectronics reliability journal, Ariel university, Israel, 2014.
- [BER17] [20] J. B. Bernstein, A. Bensoussan, E. Bender, "Reliability prediction with MTOL", Microelectronics Reliability Journal, vol. 68, pp 91-97, 2017.
- [BOY09] A. Boyer, A. C. Noye, S. Ben Dhia, L. Guillot, B. Vrignon, "Characterization of the Evolution of IC Emissions after Accelerated Aging", IEEE Transactions on EMC, Vol. 51, N°4, November 2009, pp 892 – 900.
- [BOY12] A. Boyer, S. Ben Dhia, B. Li, C. Lemoine, B. Vrignon, "Prediction of Long-term Immunity of a Phase-Locked Loop", Journal of Electronic Testing, December 2012, Volume 28, Issue 6, pp 791-802, DOI 10.1007/s10836-012-5335-y.
- [BOY14] A. Boyer, S. Ben Dhia, B. Li, N. Berbel, R. Fernandez-Garcia, "Experimental Investigations on electrical Stress Impact on Integrated Circuit Electromagnetic Emission", IEEE Transaction on Electromagnetic Compatibility, vol. 56, no 1, February 2014, pp. 44-50, 10.1109/ 10.1109/TEM.2013.2272195.
- [BOY14b] A. Boyer, S. Ben Dhia, « Effect of Aging on Power Integrity and Conducted Emission of Digital Integrated Circuits », Journal of Low Power Electronics (JOLPE), Vol. 10, No 1, March 2014.
- [BOY16] A. Boyer, "Caractérisation et modélisation de l'effet du vieillissement sur le comportement des composants électroniques en CEM et en immunité aux transitoires - Rapport d'essais et de modélisation du démonstrateur ELECIS-TR", Délivrable IRT Saint-Exupéry, Avril 2016.
- [FID04] Guide FIDES 2004 Edition A, "Méthodologie de fiabilité pour les systèmes électroniques", DGA - DM/STTC/CO/477-A, 2004
- [GHF17] C. Ghfiri, Development and validation of a predictive model to ensure the long-term Electromagnetic Compatibility of embedded electronic systems, Thèse de doctorat, INSA de Toulouse, Décembre 2017.

- [GHF18] C. Ghfiri, A. Boyer, A. Bensoussan, A. Durier, S. Ben Dhia, "A New Methodology for EMC Prediction of Integrated Circuits After Aging", IEEE Trans. on EMC, vol. PP, no 99, May 2018, pp. 1-10, 10.1109/TEMC.2018.2819722..
- [HUA15] H. Huang, Prediction of the aging impact on EMC of integrated circuits, Thèse de doctorat, INSA de Toulouse, Décembre 2015.
- [HUA15b] H. Huang, A. Boyer, S. Ben Dhia, B. Vrignon, "Prediction of Aging Impact on Electromagnetic Susceptibility of an Operational Amplifier", 2015 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 25 – 29, 2015, Taipei.
- [HUA15c] H. Huang, A. Boyer, S. Ben Dhia, "Analysis and Modelling of Passive device degradation for a long-term electromagnetic emission study of a DC-DC converter", Microelectronics Reliability, Vol. 55, no 9-10, 28 June 2015, pp. 2061-2066.
- [HUA16] H. Huang, A. Boyer, S. Ben Dhia, " Predicting the Risk of Non-Compliance to EMC Requirements During the Life-Cycle", 2016 Asia-Pacific International Symposium on Electromagnetic Compatibility and Signal Integrity, May 18 – 21, 2016, Shenzhen.
- [IET13] IET Guidance "Overview of techniques and measures related to EMC for Functional Safety", Institution of Engineering and Technology, August 2013.
- [JED16] Standard JEDEC JEP122 revision H, Failure Mechanisms and Models for Semiconductor Devices, Sept. 2016.
- [LAH98] A. Lahyani, P. Venet, G. Grellet, P.J. Viverge, "Failure Prediction of Electrolytic Capacitors During Operation of a Switchmode Power Supply," IEEE Trans. Power Electr., vol. 13, no 6, Nov. 1998.
- [LI11] B. Li, Study of ageing effect on electromagnetic compatibility of integrated circuit, Thèse de doctorat, INSA de Toulouse, Décembre 2015.
- [MIL217] MIL-HDBK-217F Reliability Prediction of Electronic Equipment, Department of Defense, 1991
- [PEC87] D. S. Peck, C. H. Zierst, Accelerated Testing Handbook, Technology Associates, Revised 1987.
- [SJO05] L. Sjörgen, M. Bäckstörn, "Ageing of Shielding Joints Shielding Performance and Corrosion", IEEE EMC Society Newsletter, Sept 2009.
- [SUH13] E. Suhir, "Boltzmann-Arrhenius-Zhurkov (BAZ) Model in Physics-of-Materials Problems", Modern Physics Letters B (MPLB), vol.27, April 2013.
- [WU13] J. Wu, A. Boyer, J. Li, S. Ben Dhia, B. Vrignon, "LDO regulator DC characteristic and susceptibility prediction after electrical stress ageing", Microelectronic Reliability, Vol. 53, Issues 9-11, September-November 2013, pp 1273-1277.

Chapitre 6 : Prospectives

Cette dernière partie conclura ce document en présentant les perspectives de mes travaux de recherche en CEM dans les prochaines années. Un ensemble d'axes d'améliorations sur des projets passés ou existants ont parfois été indiqué dans les chapitres précédents. Je ne les reprendrai pas ici, pour me consacrer à des aspects novateurs, parfois dans la continuité directe de mes travaux, parfois non.

Les deux premières parties présentent des axes de recherche autour de l'amélioration du scan champ proche en émission. La diffusion de cet outil de diagnostic pour la CEM est freinée par plusieurs problèmes qu'il est indispensable de résoudre. Ces axes de recherche sont dans la continuité directe de mes travaux antérieurs sur le développement du scanner champ proche, la caractérisation et la modélisation de l'émission en champ proche des composants.

La troisième partie traite d'une problématique industrielle forte, liée à l'obsolescence des composants et à la nécessité de requalifier entièrement les équipements électroniques pour prouver l'absence de régression des niveaux CEM. Je souhaite mettre au point une méthode de modélisation permettant de prédire les niveaux de perturbation appliqués à un composant obsolète et de déterminer le niveau d'immunité que devra afficher le nouveau composant. L'originalité de la méthode réside dans la construction rapide d'un modèle générique d'équipement électronique, à partir d'un jeu de paramètres d'entrée réduit. Cet axe de recherche est dans la continuité directe de mes travaux de recherche sur la modélisation des composants électroniques.

La quatrième partie présente aussi un axe de recherche en lien avec mes travaux antérieurs sur l'immunité des CI aux perturbations électromagnétiques, mais cette fois-ci en considérant des perturbations transitoires comme les décharges électrostatiques (DES). Je souhaite profiter de mes compétences autour de la modélisation électromagnétique des composants et des modes de défaillances pour travailler sur le thème des DES au niveau système. Ce sujet récent est connexe à l'immunité des CI, mais présente plusieurs verrous aujourd'hui que je présenterai.

Les deux dernières parties portent non seulement sur de nouveaux axes de recherche dans la communauté CEM, mais aussi sur des aspects qui me sont totalement nouveaux. Dans la cinquième partie, je présenterai le concept d'un système de surveillance des perturbations électromagnétiques conduites au niveau d'une carte électronique. Son rôle est de mieux caractériser et modéliser l'environnement électromagnétique auquel sont soumis les composants électroniques, afin de mieux les protéger et réaliser de la maintenance prédictive. L'ajout d'un tel système permettrait d'améliorer la sûreté de fonctionnement des systèmes électroniques embarqués vis-à-vis des défaillances produites par les perturbations électromagnétiques.

Enfin, la sixième partie présentera une nouvelle approche de modélisation pour la CEM des composants ou des équipements électroniques, dans le sens où elle ne fait pas appel à une modélisation physique détaillée suivie d'un code de calcul de résolution des équations physiques (Maxwell, Kirchoff). La méthode que je souhaite développer se base sur l'analyse des données disponibles et l'apprentissage automatique pour prédire les risques de non-

conformité CEM de futurs composants ou équipements électroniques. Celle-ci ne rentre pas en concurrence avec les approches de modélisation typique utilisées en CEM, mais est complémentaire. Au contraire, elle fournirait des prédictions sur les niveaux CEM au moment où peu de données techniques sont disponibles, empêchant les approches de modélisation habituelles de fonctionner. Cette méthode serait applicable le plus en amont possible du flot de conception d'un composant ou d'un équipement électronique.

Les axes de recherche proposés ici ne restreignent plus l'étude de la CEM au niveau du CI, mais l'ouvrent à l'échelle de la carte électronique et de l'équipement. Ils proposent aussi une ouverture vers d'autres thèmes tels que le *health monitoring*, la sûreté de fonctionnement et l'apprentissage automatique.

I. Scanner champ proche : vers un outil d'aide à la conception CEM des cartes électroniques

Un de mes principaux axes de recherche a porté sur le scan champ proche en émission et en immunité au niveau composant. L'avantage du scanner champ proche est de pouvoir localiser et mesurer les circulations de courant ou les fluctuations de tension haute fréquence sans contact, ou bien générer des défauts localement. Comme je l'ai montré dans les chapitres précédents, il peut fournir des réponses à des problèmes variés tels que l'intégrité d'alimentation et de signal, l'émission conduite et rayonnée, l'immunité, ou l'analyse de la signature électromagnétique des composants. Malgré son fort potentiel pour diagnostiquer les problèmes de CEM au niveau circuit et carte électronique, on constate que le scanner champ proche est un outil encore méconnu dans l'industrie électronique, notamment chez les concepteurs de composants et de cartes électroniques. Bien qu'on le rencontre de plus en plus fréquemment dans les laboratoires CEM, son utilisation reste marginale et dédiée à des experts CEM. De nombreux points bloquants freinent la démocratisation de son usage, que les chercheurs, dont je fais partie, n'ont pas résolu. Nous en aborderons certains dans la deuxième partie de ce chapitre.

Peu de travaux ont cherché à en faire un véritable outil industriel de diagnostic et d'analyse des non-conformités. La plupart des travaux se limitant à une démonstration de caractérisation fidèle de la distribution des champs électriques et magnétiques en zone de champ proche, voire à prédire le rayonnement en champ lointain [SHI04]. Cependant, quelle réponse concrète peut offrir le scan champ proche à un concepteur sur les éventuels problèmes CEM de la carte électronique qu'il conçoit ou sur des risques de non-conformités CEM ? L'extraction d'une mesure en champ proche d'informations utiles pour l'étude des problèmes de CEM reste pour l'essentiel subjective, basée sur la lecture des cartographies en champ proche par un "expert" et l'identification de "points chauds". Or, la présence d'une zone localisée à forte émission en champ proche n'indique pas à coup sûr une source de rayonnement en champ lointain ni un problème d'émission conduite. Le lien que l'on peut faire avec une cartographie champ proche et un problème CEM donné (intégrité d'alimentation, émission conduite ou rayonnée) est loin d'être triviale. Par exemple, la seule visualisation d'une composante du champ électrique ou magnétique ne permet pas de différencier une source ne générant qu'un champ réactif d'une source radiative ou de la

propagation d'une perturbation conduite. Un simple exemple peut l'illustrer comme le montre la Figure 74. Deux versions d'une même structure simple parcourue par des courants équivalents, mais combinés différemment, sont considérées. Des cartographies de la composante tangentielle du champ magnétique (H_y) à 1 mm au-dessus de la structure ont été obtenues. Ces cartographies sont représentatives des résultats présentées à l'issue du scan champ proche d'un composant et d'une carte. Malgré des différences notables sur la distribution du champ magnétique, les niveaux maximaux des champs magnétiques sont proches (1.5 dB de différence). Sans plus d'informations, il est difficile d'en tirer de conclusions sérieuses sur les éventuels problèmes d'émission conduite ou rayonnée que ces deux structures pourraient engendrer. Pourtant, les rayonnements en champ lointain produit par ces deux structures présentent des différences considérables. Il est peu probable que le cas 1 produise un problème d'émission rayonnée, contrairement au cas 2.

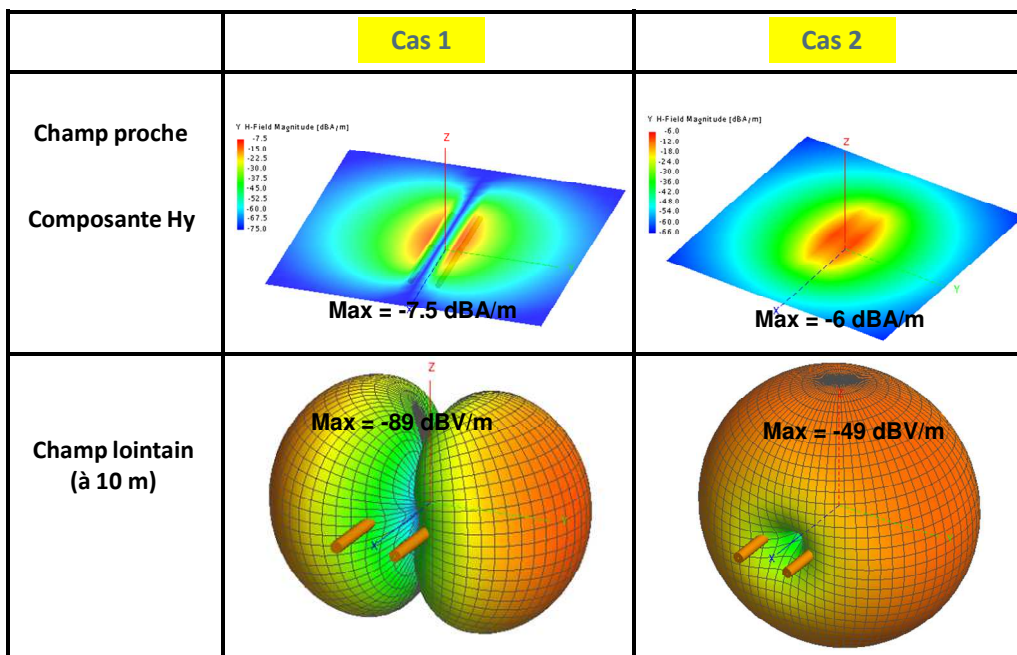


Figure 74 – Illustration de la difficulté d'interprétation d'une cartographie champ proche

Concrètement, il manque d'outils de traitement objectifs des résultats de mesure pour identifier sans ambiguïté la source de problèmes de CEM et extrapoler complètement les effets possibles. Le développement de tels outils est un des thèmes de recherche de la thèse de Sébastien Serpaud, que je co-encadre avec S. Ben Dhia, et qui a démarré en septembre 2018. Cette thèse s'inscrit dans le cadre du projet FELINE financé par l'IRT Saint-Exupéry. Parmi les approches que je souhaite développer durant cette thèse, l'une d'elles concerne une utilisation du théorème de Poynting. Celui-ci démontre que l'énergie électromagnétique obéit au principe de conservation de l'énergie et fixe un cadre pour mieux comprendre les transferts d'énergie électromagnétique (radiative, conduite ou réactive) sur une structure quelconque comme une carte électronique [L114]. En obtenant les différentes composantes des champs électriques et magnétiques en zone de champ proche, au lieu d'analyser directement et indépendamment leur distribution spatiale comme l'analyse couramment effectuée, combiner ces grandeurs selon le théorème de Poynting permet d'identifier la nature des sources visibles en champ proche, caractériser l'énergie électromagnétique qu'elles peuvent générer et tracer la propagation de cette énergie sur une carte. De multiples problèmes de CEM peuvent ainsi être analysés de manière rigoureuse,

en utilisant des grandeurs et des représentations compréhensibles par un concepteur électronique. Il est d'ailleurs surprenant que les notions de vecteur de Poynting et d'énergie soient si peu employées dans l'analyse de problèmes de CEM. Une des difficultés dans la mise en œuvre d'une telle méthode d'analyse des cartographies champ proche est le temps requis pour l'acquisition des différentes composantes de champs. Le temps de mesure associé au scanner champ proche est d'ailleurs un problème régulièrement pointé. Il est indispensable de trouver une solution à ce problème. C'est un des points adressés par l'axe de recherche décrit dans la partie suivante.

II. Vers une meilleure industrialisation du banc de scan champ proche

Malgré sa capacité à fournir un diagnostic aux problèmes de CEM, plusieurs problèmes freinent le développement du banc de scan champ proche dans l'industrie électronique. Le temps de mesure est important et jugé excessifs par certains industriels (plusieurs heures pour le scan complet d'une composante de champ produit par une carte). En outre, l'absence de définition d'un banc de test standard associé à un protocole de test commun ralentit son développement. Deux entités disposant d'un banc de scan champ proche n'ont certes pas le même banc de scan, mais le test n'est pas effectué de la même manière. L'exécution est fortement relié au logiciel de pilotage du banc, qui peut être fourni clé en main avec le banc ou développé en interne. Il existe ainsi deux enjeux, sur lesquels je travaille dans le cadre de la thèse de Sébastien Serpaud, co-encadré avec Sonia Ben Dhia :

- réduire le temps de développement nécessaire à l'ajout de nouvelles fonctionnalités sur un banc de scan champ proche
- faciliter les échanges d'algorithmes de mesure entre entités (laboratoires, industries)

Avec S. Serpaud, nous avons commencé à travailler sur la réduction du temps de mesure, notamment en cherchant à minimiser le nombre de points de mesure à effectuer pour reconstruire une cartographie champ proche précise. A partir d'un nombre limité de points de mesure, l'algorithme développé interpole les valeurs de champ proche. Parmi les méthodes testées, le Krigeage est prometteur car il constitue un interpolateur non biaisé. Tant que l'erreur d'estimation est excessive, l'algorithme sélectionne de nouveaux points de mesure aux endroits où l'ajout de points apportera de l'information à la cartographie en cours de construction. Contrairement à d'autres approches concurrentes utilisant le même principe [DES12], l'algorithme que nous proposons permet une interpolation à plusieurs fréquences réduisant ainsi le temps de calcul. Les premiers essais effectués sur scan réel indiquent une réduction de 90 % du nombre de points de mesure. Bien que ce résultat soit prometteur, plusieurs pistes restent à explorer et de nombreux tests devront être menés pour valider la méthode.

En outre, nous avons aussi commencé à travailler à la définition d'une architecture logicielle générique pour le pilotage des bancs de scan champ proche, notamment à travers le stage Yassine Ouassa que j'ai encadré en 2018. Les deux caractéristiques principales que nous souhaitons donner à cette architecture sont :

- Evolutive : les utilisateurs peuvent modifier facilement la plateforme logicielle, soit en ajoutant des fonctionnalités (par exemple ajouter un nouvel appareil de mesure), soit

en modifiant quelques fonctionnalités existantes. J'entends par facilement un temps de développement réduit, un développement basée sur une spécification standard, évitant de connaître tous les détails de la plateforme de mesure.

- Collaborative : la plateforme logicielle est capable de charger les modules développées par d'autres entités extérieures au laboratoire, avec différents langages de programmation. Cette contrainte est indispensable pour favoriser les échanges entre différentes entités.

Le but du stage de Yassine Ouassa était d'identifier les technologies nous permettant d'atteindre les objectifs d'évolutivité, de généricité et de compatibilité multi-langage. L'approche que nous avons identifié avec S. Serpaud passe par une programmation modulaire. Cette méthode consiste à décomposer une application en modules, groupe de fonctions, de méthode de traitement, pour pouvoir les développer et les améliorer indépendamment. Une application modulaire est composée de parties bien distinctes : un cœur, qui correspond à la partie centrale de l'application. Il permet le chargement des modules et il leurs fournit une série des services comme un gestionnaire d'erreur, de vue, de logs ... Il est indépendant des autres parties : les modules ou plug-ins, qui vont s'ajouter dynamiquement au cœur de l'application pour lui rajouter des fonctionnalités.

L'objectif de ce travail sera donc de spécifier et développer le cœur de l'application, capable de charger les modules développés par les futurs utilisateurs dans le langage qui leur est propre, à condition de respecter les règles d'interfaçage que nous fournissons. Un des livrables de ce travail sera l'écriture de sa spécification complète que nous pourrons mettre à disposition d'autres utilisateurs de banc de scan.

III. Gestion de l'obsolescence des composants pour la CEM

Une simple comparaison de la durée de vie commerciale des composants électroniques (de l'ordre de 3 à 5 ans) et celle des équipements et systèmes électroniques (15 à 40 ans pour un avion) met en évidence la problématique inévitable de l'obsolescence rapide des composants. Celle-ci conduit les fabricants d'équipements électroniques à requalifier leurs produits pour prouver la non-régression du point de vue de la CEM lors du changement d'un composant. Cette situation induit des coûts importants liés à la requalification complète des équipements. Or, dans de nombreux cas, cette requalification complète n'est pas indispensable pour démontrer une non-régression. Cependant, les équipementiers ne disposent pas d'outils et de solutions simples pour en faire la preuve. Cette preuve peut être fournie par une méthode quelconque : simulation, essais unitaires sur composants, analyse mixte mesure-simulation, ..., mais uniquement à condition qu'elle soit plus rapide et moins couteuse que les essais de qualification CEM remplacées.

Cette problématique est un véritable enjeu pour les équipementiers aéronautiques et automobiles, qui a déjà fait l'objet de projets de recherche par le passé [DUR13]. Les approches proposées étaient basées sur la simulation et une modélisation *bottom-up*. A partir d'un modèle équivalent du nouveau composant et d'une modélisation de l'équipement complet, une simulation prédisait si les niveaux CEM étaient affectés par ce changement de composants. Bien que les outils de simulation et les modèles de composants utilisés soient matures, le temps de construction ou d'obtention puis de validation des modèles des

composants et de l'équipement étaient prohibitifs par rapport à une requalification complète de l'équipement, annulant l'intérêt pratique de cette approche.

Cette problématique est au cœur de la thèse de Saliha Chetouani, démarrée en 2018 et que je co-encadre avec Sonia Ben Dhia. Elle s'inscrit dans le cadre du projet FELINE financé par l'IRT Saint-Exupéry. La finalité de cette thèse est de mettre au point une méthode prouvant la non-régression CEM lors du changement d'un composant dans un équipement électronique, mais réaliste du point de vue industriel (excluant ou limitant le nombre d'essais de requalification). Cette étude mérite cependant d'être bornée tant les équipements considérés et leurs contraintes CEM apparaissent complexes. En effet, les facteurs impactant les caractéristiques CEM sont nombreux et, pour certains, affectés par une incertitude statistique ou inconnus. Nous ne considérons que le remplacement d'essais d'immunité conduite sur des calculateurs ou équipements de type aéronautiques, dont la structure est standardisée. La perturbation propagée sur un harnais arrive sur le connecteur d'entrée de l'équipement et se propage à l'intérieur du boîtier, sur les différentes cartes électroniques, jusqu'au composant à remplacer, comme l'illustre la Figure 75.

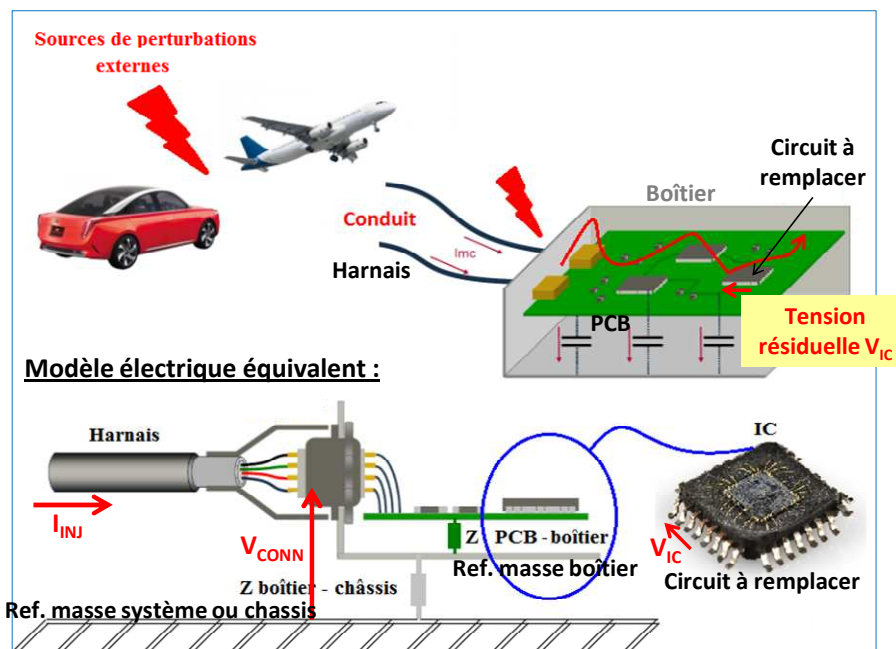


Figure 75 – Propagation d'une perturbation électromagnétique conduite sur un harnais à l'intérieur d'un équipement jusqu'à l'entrée d'un circuit

La méthode que nous souhaitons mettre en place est une approche mixte modélisation-mesure s'effectuant en deux temps :

1. à partir d'un niveau de détails limité sur l'équipement, l'impédance vue depuis le connecteur d'entrée de l'équipement, ainsi que la fonction de transfert entre le connecteur d'entrée et la ou les broches sensibles du composant à remplacer sont déterminées. La tension résiduelle générée en entrée du composant à remplacer lors de l'essai d'immunité équipement est ensuite évaluée, ainsi que la marge d'incertitude sur le résultat.
2. un essai unitaire sur le nouveau composant est effectué, pendant lequel on applique des perturbations générant des tensions comparables aux tensions résiduelles estimées lors de la phase 1. On vérifie si le composant fonctionne

convenablement avec les perturbations injectées. La sélection des niveaux injectés doit intégrer la marge d'erreur de l'estimation faite dans la phase 1. L'utilisation de méthodes standards de caractérisation de l'immunité des composants pourrait être suffisante.

La première phase constitue le principal verrou. En effet, la tension de perturbation résiduelle couplée sur l'entrée du composant à remplacer dépend d'un grand nombre de paramètres (position sur la carte, des caractéristiques de cette carte, du boîtier de l'équipement, du connecteur, type de reprise de masse, ...). Identifier chacun d'entre eux et construire un modèle à partir d'une simulation électromagnétique complète n'est pas envisageable en raison de la durée excessive de cette approche et du manque d'informations disponibles sur les détails de conception des équipements. La question générale qui se pose est la suivante : comment prédire la propagation d'une perturbation conduite à l'intérieur d'un équipement complexe, rapidement, sans informations détaillées sur sa structure interne et en évitant une re-caractérisation de chaque partie interne ?

L'approche que nous envisageons avec Saliha Chetouani consiste en la construction d'un modèle électrique générique d'un équipement aéronautique, à partir d'un jeu d'informations réduits, nécessitant une faible connaissance technique de l'équipement. Celle-ci démarre par une analyse de la topologie matérielle typique d'un ordinateur aéronautique, comme l'illustre la Figure 76, car elle influence fortement la propagation d'une perturbation conduite à l'intérieur de l'équipement. Cette analyse permet d'identifier les éléments les plus influents sur la propagation de la perturbation et d'extraire un modèle électrique équivalent générique comme celui présenté à la Figure 77. C'est à partir de ce schéma électrique que l'amplitude de la perturbation résiduelle atteignant le composant à remplacer pourra être estimée.

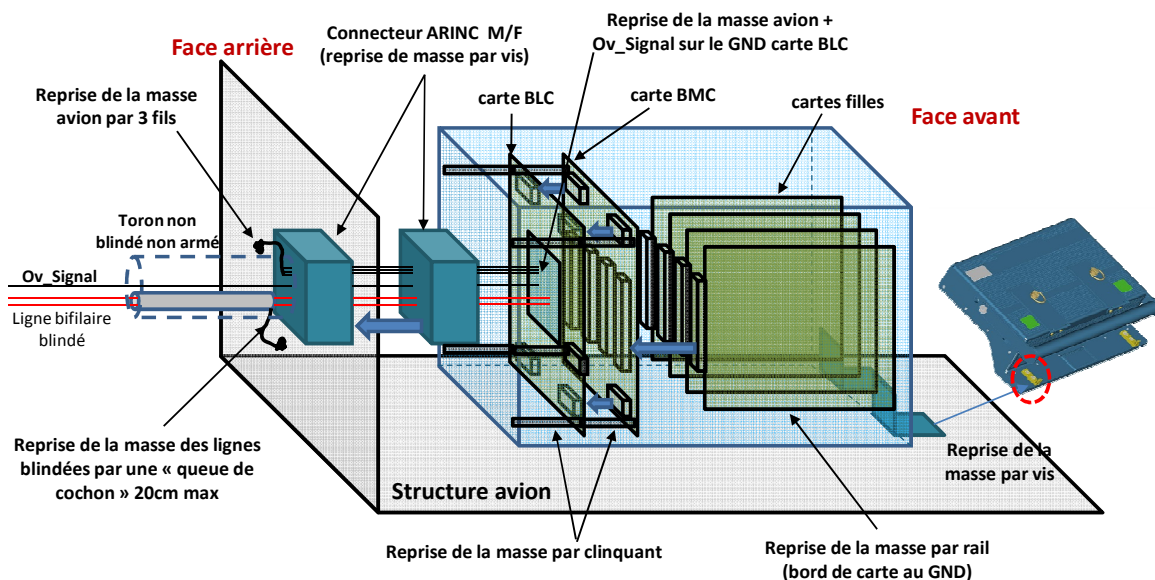


Figure 76 – Structure et configuration de montage typique d'un équipement électronique aéronautique sur avion

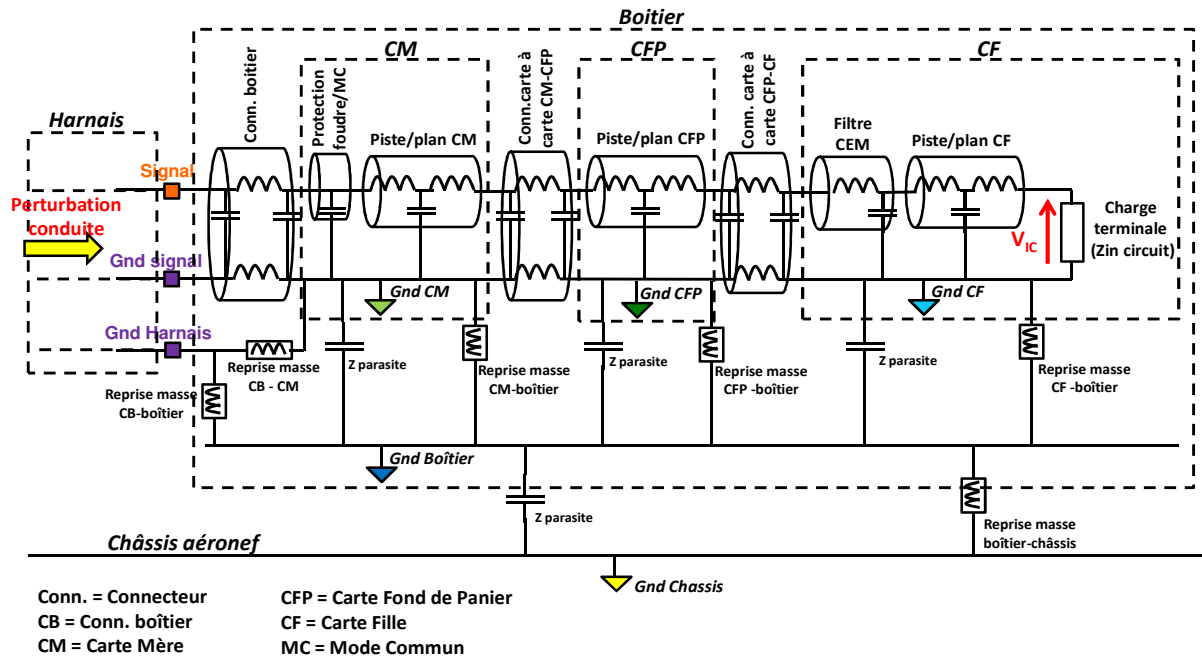


Figure 77 – Schéma électrique équivalent pouvant être dérivé de l'analyse topologique de l'équipement

Ce schéma fait apparaître des sous-ensembles représentatifs d'une partie de l'équipement (par exemple, connecteur, reprise de masse, carte-mère, ...) dont nous cherchons à estimer le modèle à partir d'un nombre réduit d'informations. En se basant sur la simulation et d'une étude paramétrique guidée par un plan d'expérience, nous identifions les paramètres les plus influents ainsi qu'un modèle empirique, lui aussi générique. La pertinence de ce dernier sera validée sur des démonstrateurs matériels représentatifs de calculateurs aéronautiques, développés pendant la thèse de Saliha Chetouani.

Les retombées du développement d'une telle méthode ne se limitent pas qu'à la résolution du problème de gestion de l'obsolescence des composants pour la CEM. Elle offre d'autres perspectives pour la CEM, comme un moyen rapide de prédiction des performances CEM d'un équipement dès les phases de spécifications. A l'heure actuelle, la prédiction des performances CEM n'est envisagée qu'à l'issue des phases de conception d'un équipement, en s'appuyant sur un processus de modélisation numérique long et complexe. Même si cette approche peut fournir un bon niveau de précision et permet d'étudier l'influence de choix de conception, elle se fait tardivement dans un flot de conception et n'est pas forcément compétitive par rapport à des essais de mesure. Si la simulation indique un fort risque de non-conformité CEM, la remise en conformité risque d'être coûteuse. Il aurait été préférable qu'une approche, peut être moins précise, évalue ce risque plus en amont à partir de choix de conception généraux. Actuellement, ce genre d'approche de modélisation n'existe pas en CEM et des travaux de recherche méritent d'être lancés pour tester différentes approches pour prédire des niveaux CEM dans une situation où peu d'informations détaillées sur l'équipement sont disponibles. Je présenterai une approche possible dans la sixième partie de ce chapitre.

IV. Contribution à l'immunité aux décharges électrostatiques au niveau système

Les décharges électrostatiques (DES) mais aussi les autres classes de perturbations transitoires (*Electrical Fast Transient, Electrical Overstress, Surge*) constituent une source particulièrement importante de défaillances dans les circuits et équipements électroniques. Contrairement aux perturbations harmoniques que j'ai considéré pendant mes travaux sur l'immunité des CI, elles sont nettement plus représentatives de l'environnement électromagnétique auquel les équipements et les composants électroniques sont réellement soumis.

Longtemps, l'étude des DES a été séparée de celle de la CEM, car considérée comme liée à la fiabilité des CI. Son but était avant tout d'améliorer les structures de protection internes des CI pour respecter les exigences de robustesse aux DES lors des phases de fabrication et d'assemblage. Cependant, les risques qu'un CI soit endommagé par une DES ne s'arrêtent pas à ses phases, puisque des DES (et toutes sortes de perturbations transitoires) peuvent survenir sur le produit électronique final, se propager et atteindre les CI. Les formes d'onde des DES et transitoires rapides rencontrées au niveau système sont de plus fortes amplitudes, plus longues durées, et donc de plus forte énergie que celles rencontrées durant les phases de fabrication et d'assemblage des CI. Rien ne garantit donc que, sans protections externes supplémentaires, les CI puissent résister aux DES lorsqu'ils seront montés dans l'application finale. Pour cette raison, les DES représentent aussi une problématique majeure pour les fabricants d'équipements électroniques.

L'ESD système (ou *system-level ESD*), appelée aussi ESD fonctionnel, est une discipline relativement nouvelle, apparue vers 2005, se situant à la frontière entre la conception des circuits intégrés et des équipements électroniques (le mot système se réfère plutôt à une carte électronique). Elle vise à mettre en place les méthodes de protection aux DES (mais aussi aux autres perturbations transitoires) au niveau système. Depuis 2005, des premiers travaux de recherche ont été menés, dont les résultats ont été résumés dans deux ouvrages [DEV15] [BAF18], et des groupes de normalisation en CEM et ESD ont été créés pour traiter de cette question. La stratégie de protection au niveau système reste à ce jour mal maîtrisée, pour plusieurs raisons que je vais expliquer.

Longtemps, on a cru que les protections internes des CI pourraient assurer seules la protection face aux DES. Cependant, on assiste à une diminution significative des niveaux de robustesse de ces protections internes. En effet, l'amélioration continue des zones d'assemblage dites ESD Protected Area rend inutile des structures de protection internes avec de haut niveau de robustesse, consommant une surface non négligeable de silicium. En parallèle, dans les CI récents, les stratégies de protection ESD se sont largement complexifiées. On est passé de protections localisées sur chaque broche d'un composant à des stratégies centralisées, voire distribuées. De nombreuses structures et plusieurs broches sont alors mises en jeu lors de l'apparition d'une DES. Il en résulte des interactions compliquées entre les protections des différentes broches d'un CI, ne facilitant pas l'analyse de l'immunité aux DES.

De plus, contrairement aux DES au niveau circuit pour lesquelles de nombreux standards de caractérisation existent, les équipementiers disposent de très peu de moyens de caractérisation standards, rendant difficile l'extraction de niveaux de robustesse d'un CI lorsqu'il est monté dans l'application finale. Néanmoins, disposer d'une information sur un CI

pour déterminer son niveau d'immunité au niveau système est illusoire. L'immunité aux DES d'un circuit monté sur une carte électronique dépend d'un grand nombre de paramètres (routage de la carte, composants passifs, connecteurs, câbles) et n'est pas nécessairement corrélée à la tenue aux ESD du circuit seul. La compréhension et l'analyse des problèmes liés aux DES au niveau système ne peut passer que par une simulation complète du système, intégrant les effets du circuit et de ses protections internes, mais aussi du circuit imprimé et des protections externes. Il y a donc un véritable besoin de techniques de modélisation des protections internes des CI pour une prédiction de l'immunité aux DES au niveau système. C'est le principal enjeu des recherches sur l'ESD système.

Cependant, ce besoin se heurte à deux problèmes :

- le manque d'informations diffusables sur les réseaux de protection, car chaque fabricant de CI tient à garder confidentiel la stratégie de protection employée
- la complexité des interactions entre le circuit et les autres composants du circuit imprimé (lignes, composants passifs, TVS, connecteurs, câbles, reprise de masse, boîtier), qui modifient largement la forme d'onde de la perturbation résiduelle arrivant sur le CI. Or, celles-ci déterminent à la fois le risque de destruction et de défaillance fonctionnelle du composant.

On peut identifier deux verrous concernant la modélisation de l'immunité des CI aux perturbations transitoires. Le premier concerne la modélisation du comportement des protections internes des CI. Le caractère fortement non linéaire et rapide de ces structures rend cette modélisation difficile. Les approches de macromodélisation largement utilisées en CEM pour modéliser le comportement de lignes, de composants passifs ou même de drivers sont inadaptées. Deux approches sont actuellement étudiées :

- les modèles compacts des composants formant les structures de protection (diode, bipolaire, MOS, thyristor). Ces modèles peuvent reproduire précisément les effets physiques à l'œuvre dans chaque protection. Cependant, cette approche est limitée dès qu'on adresse des stratégies de protection complexes en raison du grand nombre de structures de protection mises en jeu. En outre, lors d'une simulation système, les temps de simulation peuvent devenir considérables.
- les modèles comportementaux. Un fort niveau d'abstraction est utilisé pour modéliser non seulement les protections, mais aussi leurs interactions mutuelles. Bien que cette approche ne permette pas d'appréhender physiquement le fonctionnement intime de la protection interne et de l'améliorer, elle accélère la simulation au niveau système comparé à l'approche modèle compact (d'un facteur 10 à 1000). Ce type de modèle est de plus facilement échangeable et compatible avec les outils de simulation.

Parmi les laboratoires actifs sur le développement de modèles comportementaux, on peut citer le LAAS et les travaux de Fabrice Caignet. Il propose une approche de modélisation quasi-statique des protections internes des CI, basée sur des mesures faites au testeur Transmission Line Pulse (TLP) qui, couplée à une modélisation électrique et électromagnétique de la carte électronique, permet de reproduire les formes d'onde des tensions et courants résiduelles induites sur une carte lors de l'application d'une DES. Plusieurs exemples de prédiction de l'immunité aux DES au niveau système selon cette approche ont été publiés et fournissent des résultats très encourageants [MON10] [BEG14]. Néanmoins, cette approche présente actuellement deux verrous. Le premier concerne une

limitation de la modélisation quasi-statique : le comportement dynamique de la protection lors de son déclenchement peut être insuffisamment modélisé, introduisant une surtension par rapport à la mesure et fournissant ainsi des résultats pessimistes. C'est notamment le cas autour des points d'inflexion ou de retournement du comportement quasi-statique des protections. Ce problème, qui a commencé à être étudié par Fabien Escudié, mérite encore des études pour déterminer la structure du modèle dynamique et les outils de caractérisation nécessaire pour l'extraire.

Le second verrou est lié à la modélisation de la défaillance fonctionnelle du CI, qui est dépendante de nombreux paramètres non maîtrisés par l'utilisateur final (architecture matérielle, code embarqué, traitement des signaux). C'est un problème commun avec la modélisation de l'immunité aux perturbations harmoniques. Ces deux verrous expliquent pourquoi certaines simulations de DES au niveau système ne reproduisent pas les défaillances mesurées, même si l'ensemble des composants ont été modélisé indépendamment selon l'approche quasi-statique [ESC17].

Cet enjeu constitue un axe de recherche intéressant car il est lié à un véritable besoin industriel. Il est dans la continuité directe de mes travaux sur la modélisation de l'immunité des composants aux perturbations harmoniques, mais présente un véritable challenge. La difficulté supplémentaire est liée au comportement dynamique des structures de protection, que l'on ne retrouve pas lorsqu'on considère des perturbations harmoniques entretenues, et qui est fondamental pour comprendre l'origine des défaillances. Une dernière motivation pour ce domaine est le besoin pressant de formation des concepteurs électroniques dans ce domaine. Ma montée en compétences dans ce domaine pourra se capitaliser dans l'outil IC-EMC. Pour toutes ces raisons, je participe au co-encadrement de la thèse de Mathieu Girouard avec Fabrice Caignet. L'objectif de cette thèse est d'élaborer une méthode de modélisation dynamique et comportemental des protections internes des CI. Celle-ci s'accompagne en parallèle de l'amélioration des outils de caractérisation, tels que le TLP, le scanner champ proche ou les moyens d'extraction du courant. L'encadrement de cette thèse est une manière de renforcer mes liens avec Fabrice Caignet. Celui-ci est conforme à la tendance actuelle de rapprochement entre la CEM et les DES.

V. Surveillance et maintenance prédictive des équipements électroniques soumis à des perturbations électromagnétiques

Dans leur environnement de fonctionnement normal, les composants et les cartes électroniques sont régulièrement exposés à des perturbations électromagnétiques pouvant affecter le fonctionnement de l'application embarquée. Afin de réduire le risque de défaillances, des tests d'immunité sont systématiquement prévus durant lesquels les équipements sont soumis à des perturbations dont les formes d'onde sont définies par plusieurs standards (par exemple des perturbations harmoniques, des *pulses* IEC61000-4-2, des *bursts* IEC61000-4-4). Comme nous l'avons vu dans les précédents chapitres, les concepteurs mettent aussi en place des flots de conception basés sur la simulation pour

évaluer en amont l'immunité des composants et des cartes à ces mêmes perturbations. Cette stratégie est supposée garantir l'absence de défaillances liées aux perturbations électromagnétiques pendant toute la durée de vie de la carte. Une fois l'équipement testé et certifié, la CEM n'est plus considérée.

Cependant, cette approche présente plusieurs failles. D'abord, on ne maîtrise que rarement les caractéristiques de l'environnement réel dans lequel l'équipement devra fonctionner. Bien que les niveaux d'immunité donnés par les standards de test aient parfois été définis à partir d'études de surveillance des perturbations électromagnétiques et électriques ambiantes, ces études restent très rares en raison de leur difficulté de mise en œuvre. Rien n'indique durant la vie d'un équipement si l'environnement électromagnétique sera plus sévère (ou moins) que ce qui avait été prévu initialement. Ensuite, en cas de défauts, il est difficile de remonter à l'origine du problème, notamment en raison du caractère furtif des perturbations. Sans un système de surveillance intégré, il est impossible de remonter à l'origine du problème. Il est impossible de retrouver avec certitude la cause première d'une défaillance. On ne peut qu'observer les conséquences.

Pour mieux garantir le bon fonctionnement d'un équipement électronique vis-à-vis des perturbations électromagnétiques, il faudrait changer de paradigme en ne se limitant pas seulement à la vérification de la tenue à des perturbations reproduisant quelques formes d'onde jugées standards. Améliorer les approches existantes de validation de l'immunité des équipements électroniques aux perturbations électromagnétiques est indispensable pour garantir leur sûreté de fonctionnement [ARM09], exigence de plus en plus critique avec l'avènement des systèmes autonomes en décision est critique.

Il serait préférable d'inclure un moyen de surveillance des perturbations électromagnétiques conduites sur une carte électronique pendant sa phase de fonctionnement nominal dans l'environnement d'installation. A ma connaissance, un dispositif de surveillance ou de *health monitoring* dédié aux perturbations électromagnétiques propagées sur une carte électronique constituerait une nouveauté. Un tel système de surveillance permettrait de :

- mesurer en temps réel les caractéristiques réels de l'environnement électromagnétique et donc mieux le connaître. Cette mesure permettrait de mieux connaître l'environnement électromagnétique, ce qui peut être utile pour de futures installations. En outre, elle permet de vérifier que les hypothèses d'immunité faites lors du dimensionnement de la carte aient été correctes. Enfin, une modélisation de cet environnement, basée sur des données de mesure, permettrait de mieux identifier le comportement à donner à l'équipement pour que sa protection face aux perturbations électromagnétiques soient optimales.
- corrélérer les défaillances de l'application embarquée avec les perturbations éventuellement détectées par le système de surveillance, notamment en relevant l'instant d'apparition des perturbations. Cela permet de vérifier si les défaillances sont liées aux perturbations électromagnétiques et donc mieux appréhender la menace qu'elles représentent pour la sûreté de fonctionnement de l'équipement.
- lever des alertes pour l'application embarquée lorsqu'une perturbation sérieuse est détectée. Différentes stratégies pourraient être envisagées, comme une vérification des paramètres des parties critiques de l'application, une entrée dans un mode *safe*, une retransmission systématique des messages lors du retour à la normal ...

- mettre en place un calcul de fiabilité prédictive. Les perturbations de fortes amplitudes constituent une source de stress électrique et accélérer le vieillissement des composants électroniques montés dans l'équipement. A partir d'une étude préalable de la fiabilité des composants, en analysant le profil des perturbations reçues, le système serait capable d'alerter en cas de risque d'usure avancée.

En d'autres termes, ce système de surveillance étendrait le concept de superviseur d'alimentation que l'on retrouve dans les applications électroniques critiques (les calculateurs automobiles par exemple). Leur rôle est de fournir et surveiller les alimentations de l'application et, en cas de pertes d'alimentation, de provoquer un arrêt sûr de l'application. Ici, le système que je propose serait capable de détecter les perturbations transitoires rapides sur plusieurs interconnexions de l'équipement jugées sensibles. La trace de celles-ci serait conservée pour une utilisation soit par le concepteur de l'équipement pour revoir les futures stratégies de protection, soit par l'application embarquée pour ajuster la stratégie de protection à l'œuvre.

Un tel système est néanmoins envisageable que s'il est facilement intégrable, non intrusif, faible coût, autonome en énergie et suffisamment robuste pour ne pas être perturbé par l'environnement que l'on cherche à caractériser. Dans mes travaux de recherche antérieurs, j'ai souvent utilisé un capteur de tension sur puce, développé initialement par ma collègue Sonia Ben Dhia. Celui-ci correspondait à un véritable oscilloscope sur puce, permettant de mesurer finement, avec une large bande passante, les caractéristiques temporelles des perturbations électromagnétiques à l'intérieur d'un CI. Un tel capteur ne constitue malheureusement pas une solution adéquate pour deux raisons. La première est que ce capteur ne fonctionne qu'avec des perturbations répétables, sur lesquelles les acquisitions sont déclenchées. Il n'est adapté qu'à des études en laboratoire et pas pour une acquisition instantanée des perturbations associées à un environnement réel, qui sont aléatoires et furtives par nature. La seconde raison vient de son implémentation sur puce, couteuse et ne pouvant pas facilement être adaptée par l'utilisateur finale. Seule une implémentation à partir de composants sur étagère devrait être envisagée.

Dans la pratique, une reconstruction temporelle exacte des perturbations n'est pas indispensable. Nous ne cherchons pas à modéliser exactement les perturbations incidentes et à modéliser le système perturbé comme nous l'avons fait par le passé en utilisant l'oscilloscope sur puce. Il est par contre nécessaire d'estimer l'amplitude de la perturbation et sa durée, car l'énergie de la perturbation et son effet sur le fonctionnement de la carte sont reliés à ces deux paramètres. De plus, la fréquence et les instants d'apparition de ces perturbations sont des informations pertinentes, notamment pour les corrélérer avec d'éventuelles défaillances.

L'axe de recherche que je souhaite mettre en place porte sur la conception d'un tel système de surveillance. Une première partie de ce projet sera liée à la définition et la validation de l'architecture matérielle d'un système de surveillance des perturbations électromagnétiques et conduites et intégré sur une carte électronique. Ce système doit respecter les contraintes d'intégration, d'autonomie et de robustesse soulevées précédemment. Ses performances d'acquisition d'événements transitoires devront être préalablement établis à partir de nos connaissances antérieures sur les perturbations typiquement mesurées sur des cartes électroniques. L'élaboration de plusieurs prototypes sera nécessaire pour déterminer la meilleure architecture, qui devra être validée sur des cas de validation représentatifs. Ce

développement sera un prolongement des travaux que j'ai pu effectués sur le développement de l'oscilloscope sur puce.

Cette première, dont le résultat est le développement d'un capteur de perturbations transitoires conduites sur une carte électronique, est un pré-requis indispensable pour proposer les stratégies d'utilisation du capteur pour modéliser l'environnement électromagnétique, anticiper les risques de défaillances du système surveillé et faire de la fiabilité prédictive. Ce dernier point serait dans la continuité directe de mes travaux sur la CEM à long terme, durant lesquels nous avons mis en place avec mes doctorants des protocoles expérimentaux pour caractériser puis modéliser le vieillissement des composants soumis à des stress thermiques et électriques. L'exploitation de ce système de surveillance pour améliorer l'immunité d'un équipement électronique aux perturbations électromagnétiques constituerait une ouverture vers un domaine nouveau pour moi : la sûreté de fonctionnement.

VI. Apprentissage automatique pour la prédiction de la CEM

Le coût et le temps induits par la remise en conformité des équipements électroniques liée à la CEM rendent indispensables des approches de conception basées sur la modélisation et la simulation prédictive. Celles-ci doivent être applicables à différents niveaux du flot de conception, depuis les phases amonts de spécification jusqu'aux phases de validation finale. Actuellement, les approches de simulation employées en CEM s'appuient sur une analyse physique détaillée des équipements électroniques, suivie par une simulation résolvant numériquement les équations physiques liées au problème étudié (équations de Maxwell, lois de Kirchoff) [LI10]. Cette approche s'applique bien dès que de nombreux choix technologiques tels que l'architecture électronique, le placement-routage ou la programmation des composants ont été effectués. Elle permet ainsi une validation, en fin de conception, des performances CEM (émission, immunité, intégrité du signal) ou une analyse des problèmes CEM observés sur un prototype. L'amélioration des performances de calcul des outils de simulation pour la prédiction en CEM est l'objet de nombreux travaux de recherche depuis plusieurs décennies [SEV14].

Cependant, le besoin de prédiction se fait ressentir au plus tôt d'un flot de conception dès les premières spécifications détaillées du système à concevoir, afin de les valider et d'avoir une idée des protections CEM à apporter. L'approche précédente ne peut plus s'appliquer puisque les informations d'entrée requises ne sont pas encore disponibles. Le fait que les nouvelles conceptions peuvent ne pas avoir de données historiques à utiliser pour des prévisions précises, de nouvelles méthodes sont indispensables pour combler cette lacune. L'intelligence artificielle (IA) est l'un des domaines prometteurs. L'IA intègre plusieurs technologies, dont l'apprentissage automatique, l'une des techniques de prédiction les plus avancées. C'est une continuation de l'analyse prédictive avec une différence essentielle : les systèmes d'IA peuvent faire des hypothèses, tester et apprendre de manière autonome sans intervention humaine, à une vitesse incroyable et avec une capacité incomparable. En outre, des progrès considérables ont été réalisés dans les techniques d'apprentissage en profondeur, telles que la classification des images, l'analyse des émotions, la reconnaissance de la parole et les jeux stratégiques [SHA11].

L'axe de recherche que je souhaite mettre en place vise à élaborer une méthode de prédiction des performances CEM des équipements électroniques applicable le plus en amont possible du flot de conception d'un composant, d'une carte ou d'un équipement électronique. Celle-ci doit exploiter toutes les données disponibles sur les niveaux CEM d'équipements électroniques. Les approches basées sur l'analyse des données et l'apprentissage automatique (*machine learning*) constituent une piste prometteuse pour cela. Plusieurs questions se posent :

- Quels sont les choix technologiques les plus influents qui formeront les paramètres d'entrée du modèle ?
- Quelle(s) grandeur(s) de sortie doit-on considérer ? Il est en effet illusoire d'imaginer que cette approche puisse fournir des résultats aussi fins qu'un modèle décrivant précisément un équipement électronique. Cependant, le résultat de sortie doit aider le concepteur à faire des choix technologiques en lui donnant une tendance claire sur les futures performances CEM.
- Comment acquérir toutes ces données efficacement ? En effet, l'acquisition de données par mesure sur des équipements existants est un processus long et coûteux. Utiliser la simulation est une possibilité pour créer un volume d'entrée plus important en un temps acceptable. Cependant, comment garantir la pertinence des données d'entrée ?
- Ne risque-t-on pas de disposer de trop de paramètres d'entrée pour faire une prédiction fiable, même dans le cas d'un problème de CEM simple ? En effet, l'émission ou l'immunité d'un équipement électronique dépend d'un grand nombre de paramètres électriques et géométriques propres aux circuits intégrés, aux circuits imprimés, aux câbles, aux composants passifs ...
- Quelles approches doit-on choisir pour classer les données, extraire et valider le modèle prédictif ?

Pour résumer, l'enjeu est le suivant : est-il possible de développer, tester et valider un modèle capable de détecter des corrélations subtiles qui n'apparaissent qu'après avoir examiné des millions de points de données sans un jeu de données volumineux ? Répondre à cette question engendrera une contribution précieuse et innovante dans la catégorisation de la CEM des conceptions électroniques et, ainsi, dans la prédiction de la CEM.

Comme indiqué, l'objectif de cette recherche est de prédire la CEM des équipements électroniques, lorsque les données sont rares. Bien que les techniques d'exploration de données existantes telles que les statistiques, les règles d'association, la classification, le regroupement, la visualisation, la prédiction, les modèles séquentiels, les arbres de décision ou les réseaux de neurones soient appropriées dans ce contexte, d'autres approches de prédiction devraient être explorées, telles que des réseaux de neurones profonds combinés avec d'autres algorithmes innovants. En effet, les réseaux de neurones permettent d'analyser des volumes importants de données étiquetées à la recherche de corrélations entre variables, dans le cas de problèmes non linéaires. Cependant, cette technique doit être combinée avec d'autres idées pour atténuer le problème de l'indisponibilité des données.

Afin d'initier cet axe de recherche dans lequel je ne dispose pas de toutes les compétences requises, j'ai lancé avec ma collègue Sonia Ben Dhia une collaboration avec le Dr Mhamed Zineddine, de l'INSA Euroméditerranée (UEMF) de Fès, expert en apprentissage

automatique. Nous souhaitons mettre en place une thèse combinant nos compétences respectives en analyse et modélisation électromagnétique des composants et cartes électroniques d'un côté, et en techniques d'analyse des données et d'apprentissage automatique de l'autre. Cette thèse se décomposera en deux parties :

- la première, proche de l'expertise CEM, consistera à analyser un problème CEM donné, identifier les paramètres influents sur le niveau CEM à prédire, déterminer une méthode d'extraction des données compatible avec les exigences de temps et de coût propres à l'industrie électronique.
- la seconde, proche du domaine du *machine learning*, consistera à déterminer les techniques d'analyse des données, le mode d'apprentissage du modèle et la méthode de validation.

Les problèmes CEM sont multiples et dépendent du type d'application visée. Il est illusoire de chercher un algorithme universel capable de prédire toutes les performances CEM quel que soit l'équipement considéré. Afin d'apporter des réponses aux différentes questions soulevées précédemment et faire une démonstration de la faisabilité d'une telle approche de prédiction en CEM, nous nous focaliserons sur un premier problème particulier : l'intégrité des alimentations des cartes digitales. Celle-ci est dépendante des circuits intégrés et de leur configuration, du placement-routage des cartes, du budget de condensateurs de découplage, des régulateurs de tension ... Comme je l'ai présenté dans le chapitre 4, j'ai développé avec ma doctorante Chaimae Ghfiri une approche de modélisation rapide des CI qui pourra être mise à contribution dans ce projet [GHF17]. De plus, la prédiction des caractéristiques électromagnétiques des cartes électroniques par la simulation numérique est aujourd'hui bien maîtrisée. En utilisant ces deux ressources, il sera possible de collecter efficacement les données requises pour l'établissement du modèle prédictif et le valider. Les approches développées et validées dans ce projet pourront être étendues à la prédiction d'autres problèmes de CEM.

VII. Références

- [ARM09] K. Armstrong, "Why increasing immunity test levels is not sufficient for high-reliability and critical equipment", IEEE Symp. on EMC, Aug. 2009.
- [BAF18] M. Bafleur, F. Caignet, N. Nolhier, "Méthodologies de protection ESD - Du composant au système", ISTE Editions, Collection Energie, série Gestion de l'énergie dans les systèmes embarqués, 2018.
- [BEG14] R. Bèges, F. Caignet, M. Bafleur, "Transient system-level ESD modeling of an automotive voltage regulator", International ESD Workshop (IEW), May 2014.
- [DES12] D. Deschrijver, F. Vanhee, D. Pissoort, T. Dhaene, "Automated Near-Field Scanning Algorithm for the EMC Analysis of Electronic Devices", IEEE Trans. on EMC, vol. 54, no. 3, June 2012.
- [DEV15] C. Duvvury, H. Gossner, "System Level ESD Co-Design", Wiley, IEEE Press, 2015.
- [DUR13] A. Durier, C. Marot, O. Alilou, "Using the EM simulation tools to predict EMC immunity behavior of a automotive electronic board after a component change", 2013 Int. Symp. on EMC (EMC Europe 2013), Belgium, Sept. 2013.
- [ESC17] F. Escudié, F. Caignet, N. Nohlier, "LIN Communication behaviour against ESD events", 2017 Int. Symp. on EMC (EMC Europe 2017), Angers, France, Sept. 2017.

Prospectives

- [GHF17] C. Ghfiri, A. Boyer, A. Durier, S. Ben Dhia, A new Methodology to build ICEM-CE models for complex Integrated Circuits, IEEE Trans. on EMC, vol. 60, no 5, October 2018, 10.1109/TEMC.2017.2767084.
- [LI10] E. Li et al., "Progress Review of Electromagnetic Compatibility Analysis Technologies for Packages", Printed Circuit Boards, and Novel Interconnects, IEEE Trans. on EMC, vol. 52, no 2, May 2010.
- [LI14] H. Li, V. V. Khilkevich, D. Pommerenke, "Identification and Visualization of Coupling Paths—Part I: Energy Parcel and Its Trajectory", IEEE Trans. on EMC, vol. 56, no 3, June 2014.
- [MON10] N. Monnereau, F. Caignet, D. Trémouilles, " Building-up of System Level ESD Modeling: Impact of a Decoupling Capacitance on ESD Propagation", 32nd EOS/ESD Symposium, 2010.
- [SEV14] L. Sevgi, "Electromagnetic Modeling and Simulation: Challenges in Validation, Verification, and Calibration", IEEE Trans. on EMC, vol. 56, no 4, August 2014.
- [SHA11] A. Sharma, R. Kumar, P. K. Varadwaj, A. Ahmad, G. M. Ashraf, "A comparative study of support vector machine, artificial neural network and bayesian classifier for mutagenicity prediction", Interdisciplinary Sciences, Computational Life Sciences, vol. 3, no 3, 2011.
- [SHI04] J. Shi, M.A. Cracraft, J. Zhang, R.E. DuBroff, K. Slattery, " Using near-field scanning to predict radiated fields", Int. Symp. on EMC, Aug. 2004.