HAL
open science

Stratégie de testabilité en production des cartes électroniques à forte densité d'intégration et à signaux rapides

Nabil El Belghiti Alaoui

To cite this version:

Nabil El Belghiti Alaoui. Stratégie de testabilité en production des cartes électroniques à forte densité d'intégration et à signaux rapides. Micro et nanotechnologies/Microélectronique. INSA de Toulouse, 2020. Français. NNT : 2020ISAT0018 . tel-03185971v2

HAL Id: tel-03185971

https://laas.hal.science/tel-03185971v2

Submitted on 8 Mar 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par l'Institut National des Sciences Appliquées de Toulouse

Présentée et soutenue par

Mohammed Nabil EL BELGHITI ALAOUI

Le 23 novembre 2020

Stratégie de testabilité en production des cartes électroniques à forte densité d'intégration et à signaux rapides

Ecole doctorale : **GEET - Génie Electrique Electronique et Télécommunications : du système au nanosystème**

Spécialité : **Génie Electrique**

Unité de recherche :
LAAS - Laboratoire d'Analyse et d'Architecture des Systèmes

Thèse dirigée par
Patrick TOUNSI et Alexandre BOYER

Jury
Mme Genviève DUCHAMP, Rapporteure
M. Bruno ALLARD, Rapporteur
Mme SONIA BENDHIA, Examinatrice
M. Fabien NDAGIJIMANA, Examinateur
M. Patrick TOUNSI, Directeur de thèse

RESUME DE LA THESE

Les étapes de test en production des cartes électroniques sont basées à ce jour sur des contrôles optiques (AOI), inspection des joints de soudures par Rayons-X (AXI), électriques (ICT) et tests fonctionnels.

Face à la multiplication et à la miniaturisation des composants, la cohabitation de plusieurs technologies (numérique, analogique, radiofréquence, puissance…) sur le même PCB « *Printed Circuit Board* », les moyens de test listés précédemment ne sont plus suffisants pour répondre complètement aux exigences de couverture de tests en production, car peu performants et coûteux en temps de développement et de cycle de test.

L'objectif de cette thèse CIFRE avec ACTIA Automotive en collaboration avec le laboratoire LAAS-CNRS est de définir une stratégie de test en production innovante et adaptée aux produits à forte densité et à signaux rapides. Pour ce faire, nous avons abordé dans cette thèse, des améliorations à apporter aux méthodologies de test existantes et proposé également des approches de test utilisables en amont de la production des PCBA « *Printed Circuit Board Assemblies* » à haute densité et à signaux rapides.

Premièrement, nous avons introduit une nouvelle technique sans contact pour tester des PCBA lorsque l'accès physique de test est très limité. La technique consiste à utiliser des sondes de champ magnétique proche, qui détectent la distribution de champ magnétique émanant de certains composants montés sur le PCB dans le but de tester leur présence sur la carte et leur valeur par la suite.

Deuxièmement, une approche de test utilisant des signatures thermiques infrarouges est présentée. Cette technique peut détecter les défauts d'assemblage du composant tel que sa présence, sa valeur et dans certain cas son état de santé, ce qui permet de conclure sur l'état de défaut du PCBA.

Afin d'évaluer la pertinence de ces deux techniques, plusieurs scénarios de défaut ont été considérés et analysés avec des algorithmes de détection de valeurs aberrantes. Dans tous les cas étudiés, les défauts de fabrication sont discriminés avec des marges importantes, tout en tenant compte de la variabilité des spécifications des composants.

Finalement, une technique pour regagner de l'accessibilité de test sur des pistes de transmission de signal de haute fréquence est présentée. La technique consiste à utiliser des micros ouvertures dans le masque de soudure directement au-dessus des pistes portant des signaux digitaux. Les conducteurs exposés sont mis en contact avec une sonde à bout déformable, conducteur et anisotrope. La faisabilité industrielle de cette technique a été testée sur un prototype que nous avions développé en collaboration avec ACTIA Engineering Services, filiale du Groupe ACTIA.

Mots clés

Test de PCBA - Testabilité - Accessibilité - Test en production - Test alternatif - Test sans contact - Test par signature électromagnétique - Test par signature thermique infrarouge - Assemblage de cartes électroniques - Défaut d'assemblage - DfT(Design for Test) – Sonde à matériau anisotrope conducteur - Algorithme de détection d'éléments aberrants - PCA (Principal Component Analysis)

ABSTRACT

In production test strategies are currently based on optical inspection (AOI), X-ray inspection (AXI), electrical (ICT) and functional (FT) tests.

Due to the multiplication and miniaturization of electrical components, the coexistence of several technologies (digital, analog, radio frequency, power, etc.) on the same Printed Circuit Board (PCB), these test techniques listed above are no longer sufficient to fully meet production test coverage requirements, because they are relatively inefficient and costly in development and test cycle time.

The objective of this CIFRE thesis carried out between ACTIA Automotive and LAAS-CNRS is to define an innovative production test strategy adapted to high-density and high-speed products. In order to do so, we have considered almost all existing PCB testing techniques, addressed improvements to existing test methodologies and proposed test approaches that can be used upstream of high-density, high-speed Printed Circuit Board Assemblies (PCBA) production process.

First, we introduced a new contactless technique for testing PCBA when physical test access is very limited. The technique consists of using near magnetic field probes, which detect the magnetic field distribution arising from certain components mounted on the PCB to test their presence on the board and their value afterwards.

Second, a test approach using infrared thermal signatures is presented. This technique can detect component assembly defects such as its presence, value and in some cases its health state, which allows to conclude on the defect state of the PCBA.

To assess the relevance of these two techniques, several defect scenarios were considered and analyzed with outlier detection algorithms. In several cases, manufacturing defects are discriminated with large margins, while considering the variability of component specification.

Finally, a technique for regaining test accessibility on high frequency signal transmission tracks is presented. The technique consists in using small micro openings in the solder mask directly above the tracks transmitting digital signals. The exposed conductors are contacted with a deformable, conductive and anisotropic tip probe. The feasibility of this technique was tested on a prototype that we had developed in collaboration with ACTIA Engineering Services, a subsidiary of ACTIA Group.

Keywords

PCBA test - Testability - Accessibility - Production test - Alternative test - Contactless test – Electromagnetic signature test - Infrared thermal signature test - Printed circuit board assembly - Assembly Defects - DfT (Design for Test) - Anisotropic conductive rubber probe – Outlier detection algorithm - PCA (Principal Component Analysis)

REMERCIEMENTS

La réalisation de ce mémoire a couronné le travail dur et acharné de ces trois années de thèse, rendue possible grâce au concours de plusieurs personnes à qui je voudrais témoigner toute ma gratitude.

Je souhaite dans un premier temps adresser toute ma reconnaissance aux directeurs de ce mémoire, Monsieur Patrick Tounsi, Maitre de conférences à l'INSA-Toulouse, Chercheur et responsable de l'équipe ESE au LAAS-CNRS et Monsieur Alexandre Boyer, Maitre de conférences à l'INSA-Toulouse, Chercheur au LAAS-CNRS, pour leur patience, leur disponibilité et surtout leur judicieux conseils, qui ont contribué à alimenter ma réflexion. Je remercie également Monsieur Arnaud Viard, Responsable du Département d'Étude Industriel chez Actia Automotive, qui fut le premier à me faire découvrir le sujet qui a guidé le mémoire de thèse ci-présent.

Je tiens ensuite à remercier les rapporteurs de cette thèse, Monsieur Bruno Allard, Professeur des Universités, Directeur du laboratoire Ampère, et Madame Geneviève Duchamp, Professeur des Universités, Chercheur au laboratoire IMS Bordeaux, pour le grand intérêt qu'ils ont porté à mon travail. J'associe à ces remerciements Madame Sonia Bendhia, Professeur des Universités, Chercheur au LAAS-CNRS, et Monsieur Fabien Ndagijimana, Professeur des Universités, Chercheur au IMEP-LAHC, pour avoir accepté d'examiner mes travaux de thèse.

Dans un second temps, il me tient à cœur d'exprimer ma reconnaissance envers les amis et collègues du Bureau G6 qui m'ont apporté leur soutien moral et intellectuel tout au long de ma démarche : Manuel Gonzalez Sentis, Dany Hachem, Chaymaa Haloui, Chuc Nguyen, Luiz Fernando Lavado Villa. Votre sympathie et bonne humeur resteront à jamais gravées dans ma mémoire.

J'adresse également mes remerciements à toutes les personnes du LAAS-CNRS que j'ai pu côtoyer durant cette période : Yassine, Amani, Amel, Fadila, Firdaous, Nada, Patricio, Ali, Abderrahim, Clara, ainsi que tous les membres de l'équipe ESE et du département GE.

Un grand merci à Nouriman Al pour son soutien, ses encouragements, sa présence durant les moments difficiles et ses conseils concernant mon style d'écriture qui ont grandement facilité mon travail de rédaction.

Au terme de ce parcours, je n'oublierai pas de remercier celles et ceux qui me sont chers et que j'ai quelque peu délaissés ces derniers mois pour achever cette thèse : mon grand-père, mes tantes, mes oncles, mes cousins, mes cousines et mes amis(es) proches. Leurs attentions et encouragements m'ont accompagnée tout au long de ces années.

Enfin, je tiens à témoigner toute ma gratitude à mes chers parents, pour leur soutien inestimable et leur confiance indéfectible dans mes choix, sans eux ce travail n'aurait pu voir le jour.

« ... Je ne reviens jamais sur ma parole, c'est ainsi que je conçois mon Nindô. »

- Uzumaki Naruto

TABLE DES MATIERES

Table des matières i
Liste des publications vii
Liste des figures ix
Liste des tableaux xv
Liste des acronymes xvii
Introduction générale 1
Partie I : État de l'art du test des assemblages de circuits imprimés électroniques 3
Chapitre I : Introduction au test de cartes électroniques 5
1. Introduction 7
2. Production électronique 8
2.1. Test électronique 9
2.1.1. Bref historique 9
2.1.2. Test des cartes électroniques 11
3. Problématique industrielle 12
3.1. Défis technologiques 12
3.2. Défis industriels : Densification 13
3.3. Défis économiques 13
4. Motivations de test 14
4.1. Sécurité 14
4.2. Économie 14
5. Objectifs 15
Chapitre II : Principaux défauts liés à l'assemblage des cartes électroniques 17
1. Vue d'ensemble de l'assemblage des cartes électroniques 19
1.1. Le procédé industriel d'assemblage de PCBA 19
1.1.1. Sérigraphie 21
1.1.2. Placement des composants 21
1.1.3. Brasage par refusion 21
1.1.4. Brasage à la vague 21
1.1.5. Contrôle de l'assemblage 21
2. Défauts d'assemblage 22
2.1. Défauts liés à la soudure 22
2.1.1. Circuits ouverts 22
2.1.2. Courts-circuits 22
2.1.3. Glissement de composants 23
2.2. Défauts liés au placement 24

2.2.1. Composants absents 24
2.2.2. Composants erronés 24
2.2.3. Composants de valeurs erronées 24
2.3. Défaut lié à la propreté 25
2.3.1. Effet des dendrites 25
2.4. Spectre de défauts 26
Chapitre III : Techniques et stratégies de test en production 27
1. Que veut-on dire par une stratégie de test ? 29
2. Couverture de test 30
3. La notion de testabilité et du « Design for Test » 30
3.1. Analyse prédictive de testabilité 30
4. norme IPC-A-610 31
5. Techniques de test et d'inspection industriels 32
5.1. Techniques par contact : 32
5.1.1. Test in-situ 32
5.1.1.1. Lit-à-clous 32
5.1.1.2. Système à sondes mobiles 33
5.1.2. Boundary Scan Test (BST) 34
5.1.3. Test fonctionnel (FT) 34
5.2. Techniques sans CONTACT : 35
5.2.1. Inspection visuelle manuelle 35
5.2.2. Inspection visuelle automatique : AOI 36
5.2.3. Inspection par rayon-X 36
5.3. Comparatif 37
6. Techniques de test en phase de recherche 39
6.1. Couplage capacitif associé au Boundary-scan 39
6.2. Test par courant de Foucault 39
6.3. Test par effet photoélectrique 39
6.4. Test par scan de champ magnétique 40
6.5. Test par imagerie infra-rouge 41
6.6. Test par techniques de micro-accès 41
7. Conclusion 43
Partie II : Proposition de solutions pour le test des cartes électroniques à forte densité et à signaux rapides 45
Chapitre IV : Approche de test par mesure du champ magnétique proche 47
1. Introduction 49
Partie 1 : Capteurs proposés pour le test par scan du champ magnétique proche 50
2. Discussion autour des capteurs magnétiques 50
2.1. Caractérisation d'un capteur GMR 52

2.1.1. Capteur AA003-02E 54
2.1.1.1. Principe de fonctionnement de la magnétorésistance géante 54
2.1.1.2. Boîtiers et dimensions 55
2.1.1.3. Axe de sensibilité 55
2.1.2. Résultats de caractérisation 56
2.1.2.1. Tension d'offset 56
2.1.2.2. Résolution 59
2.1.2.3. Sensibilité 59
2.1.2.3.1. Sensibilité à un champ magnétique créé par un aimant permanent : 59
2.1.2.3.2. Sensibilité aux forts courants : 60
2.1.2.3.3. Sensibilité aux faibles courants : 62
2.1.2.4. Caractérisation dynamique 64
2.1.2.5. Sensibilité en fonction de la distance de mesure 66
2.2. Conclusion 69
Partie 2 : Détection de défauts d'assemblage en utilisant des signatures magnétiques en champ proche 71
1. Introduction 71
2. Description de l'approche de test proposée 72
2.1. Principe 72
2.2. Types de défauts d'assemblage détectés 72
3. Description de l'étude de cas : convertisseur DC/DC dÉvolteur 73
3.1. Scénario de défauts testés 74
3.2. Description des capteurs champ proche 74
3.2.1. Utilisation de sondes champ proche (NFP) 74
3.2.1.1. Procédure de test: Simulation et Expérimentation 76
3.2.2. Utilisation de capteurs GMR 77
3.2.2.1. Procédure de test : Simulations et Expérimentations 77
4. Simulations et résultats expérimentaux 79
4.1. Test des condensateurs de découplage 79
4.1.1. Signatures de référence 79
4.1.2. Signatures avec des valeurs incorrectes des condensateurs de découplage 80
4.1.3. Comparaison et analyse 81
4.2. Test des condensateurs de filtrage en sortie 82
4.2.1. Signatures avec des valeurs incorrectes des condensateurs de sortie 83
4.2.2. Comparaison et analyse 84
4.3. Test de l'inductance du filtre de sortie 86
5. Sources d'incertitude 88
6. Algorithme de détection de défaut 89
6.1. Détection des valeurs aberrantes 90

6.2. Détection des valeurs aberrantes à l'aide de l'analyse en composantes principales 91
7. Configuration de la simulation 93
8. Résultats 95
8.1. Scénarios de détection 95
8.2. Composante fréquentielle de détection 95
8.3. Détection de PCBA défectueux 96
8.4. Détection de composants défectueux 98
8.5. Discussion 102
9. Conclusion 103
Chapitre V : Approche de test par imagerie infrarouge 105
1. Introduction 107
2. concept des signatures thermiques infrarouges 108
2.1. Principe 108
2.2. Description du cas d'étude et du banc de test 109
2.3. Procédure de test 110
3. Résultats expérimentaux et analyse 112
3.1. Résultats expérimentaux 112
3.1.1. Signatures thermiques infrarouges de référence 114
3.1.2. Défauts de valeur au niveau des condensateurs de sortie C4 et C1 115
3.1.2.1. Condensateur C4 défectueux 115
3.1.2.2. Condensateur C1 défectueux 116
3.2. Analyse / Discussion 117
4. Résultats de simulation multi-physique et analyse 118
4.1. Configuration de la simulation 118
4.2. Description du modèle thermique du BUT 118
4.3. Analyse des résultats de simulation 120
4.3.1. Détection de défauts par la méthode PCA 120
4.3.2. Scénarios de détection de défauts 121
4.3.3. Résultats de détection des défauts 121
4.3.3.1. Détection des composants défectueux : 123
4.3.3.2. Scénario de défaut N° 1: Détection d'un seul condensateur de valeur erronée: 123
4.3.3.3. Scénario de défaut N° 2: Détection de deux condensateurs de valeurs erronées: 124
4.3.3.4. Scénario de défaut N° 3: Détection de 4 condensateurs de valeurs erronées: 126
5. Conclusion 128
Chapitre VI : Proposition d'une nouvelle technologie de sondes à micro-accès 129
1. Introduction 131
2. contraintes liées à la conception et au placement des points de test classiques 132
2.1. Distances de séparation et dimensions des points de test 132

2.2. Disposition Des points de test sur un PCB 132
3. Principe de la technique ACR-P 134
3.1. Avantages de la technique 135
3.2. Défis de la technique 135
4. Disponibilités d'approvisionnement en matériaux anisotropes 136
4.1. Résultats de caractérisation du matériau ACR 137
4.1.1. Mesure du paramètre S21 138
5. Concept de la sonde ACR-P 140
5.1. corps 140
5.2. Pads de contact 141
5.3. Socle de fixation de l'ACR 143
6. Conception d'un prototype de dispositif de test 145
6.1. Principe du prototype 145
6.2. Banc de test du prototype ACR-P 146
6.3. Expériences à Réaliser 149
7. Conclusion et perspectives 151
Conclusion générale 153
Annexes 157
Annexe IV.A : Comparatif des capteurs GMR NVE en fonction de la sensibilité, marge de fonctionnement linéaire et les valeurs du champ de saturation 159
Annexe IV.B : Schéma détaillé de simulation de la carte d'évaluation du convertisseur DC/DC Dévolteur LM5116 161
Annexe IV.C : Comparatif des méthodes de détection d'éléments aberrants 163
Annexe V.A : Détails de calcul de l'équations 3 165
Annexe V.B: Schéma détaillé de la simulation électrique 167
Annexe V.C : Caractéristiques physiques des matériaux utilisés dans la modélisation multi-physique 168
Annexe VI.A : Détails techniques liés à la fabrication des fixations ICT et des points de test sur PCB 171
Annexe VI.B : Compaison entre différents fournisseurs du matériau ACR 173
Annexe VI.C : Cahier de charge pour la réalisation du prototype de la sonde ACR-P 175
Annexe VI.D : Présentation détaillée des PCB : PCB-A (type I, II, III), PCB-B et PCB-C 177
VI.D.1. PCB-A : BUT 177
VI.D.2. PCB-C et PCB-B : Capteur 179
Bibliographie 181

LISTE DES PUBLICATIONS

Revues Internationales :

- El Belghiti Alaoui Nabil, Boyer Alexandre, Tounsi Patrick, Viard Arnaud. (2018). "Upgrading In-Circuit Test of High Density PCBAs Using Electromagnetic Measurement and Principal Component Analysis". **Journal of Electronic Testing**. 749-763. 10.1007/s10836-018-5763-4.

- El Belghiti Alaoui Nabil, Boyer Alexandre, Tounsi Patrick, Viard Arnaud. (2018). "New defect detection approach using near electromagnetic field probing of high density PCBAs". **Journal of Microelectronics Reliability**. 88-90. 10.1016/j.microrel.2018.07.090.

- El Belghiti Alaoui Nabil, Cassou Anaïs, Tounsi Patrick, Boyer Alexandre, Viard Arnaud. (2019). "Using infrared thermal responses for PCBA production tests: Feasibility study". **Journal of Microelectronics Reliability**. 113-354. 10.1016/j.microrel.2019.06.046.

Conférences Internationales :

- N. El Belghiti Alaoui, P. Tounsi, A. Boyer and A. Viard, "New testing approach using near electromagnetic field probing intending to upgrade in-circuit testing of high density PCBAs," 2018 IEEE 27th North Atlantic Test Workshop (NATW), Essex, VT, 2018, pp. 1-8.

- N. El Belghiti Alaoui, A. Boyer, P. Tounsi, A. Viard, "New defect detection approach using near electromagnetic field probing of high density PCBAs, " - 29th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis, Aalbog, Danemark, 2018

- N. El Belghiti Alaoui, P. Tounsi, A. Boyer and A. Viard, "Detecting PCB Assembly Defects Using Infrared Thermal Signatures," 2019 MIXDES - 26th International Conference "Mixed Design of Integrated Circuits and Systems", Rzeszów, Poland, 2019, pp. 345-349.

- N. El Belghiti Alaoui, A. Cassou, P. Tounsi, A. Boyer, A. Viard, " Using infrared thermal responses for PCBA production tests: Feasibility study" - 30th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis, Toulouse, France, 2019

LISTE DES FIGURES

Figure 1. 1. Évolution des technologies d'assemblage et des solutions de test ST : Test de vérification de fumée sur le tube électronique (Smoke Test) HVI : Inspection visuelle à l'œil (Human Visual Inspection) FT : Test fonctionnel (Functional Test) 10

Figure 1. 2. Résolution du diagnostic au passage d'un PCBA faible densité à un PCBA haute densité 11

Figure 1. 3. Évolution d'un produit télématique chez ACTIA Automotive 12

Figure 1. 4. Tendance de diminution d'accès aux points de test dans le cas de produits bureautiques, automobiles et haut de gamme « *High-end Electronics* » 13

Figure 1. 5. Augmentation des coûts de test en fonction des étapes de production 14

Figure 2. 1. Étapes du processus d'assemblage industriel de PCBA 20

Figure 2. 2. Défaut de circuit-ouvert entre broche d'un composant et la plage d'accueil, a) absence d'interconnexion; b) interruption du joint de soudure [30] 22

Figure 2. 3. Exemple de défaut de court-circuit, a) « *solder bridge* » détectable à l'œil nu ; b) « *solder bridge* » microscopique [30] 23

Figure 2. 4. Exemple de défaut de glissement d'un composant, a) Déplacement horizontal hors de plage d'accueil ; b) Redressement vertical [30] 23

Figure 2. 5. Défaut d'absence de composant sue le PCBA 24

Figure 2. 6. a) Machine de placement « *pick-and-place* » séquentielle ; b) bobine de composants CMS 25

Figure 2. 7. Défaut de court-circuit entre deux vias métallisés dû aux dendrites. 25

Figure 2. 8. Spectre de défauts typique d'un procédé d'assemblage de composants CMS 26

Figure 3. 1. Un exemple de stratégie de test utilisée typiquement dans l'assemblage de produits automobiles contenant des BGAs 29

Figure 3. 2. Fixation de lit-à-clous pour testeur in-situ 33

Figure 3. 3. Système à sondes mobiles (FICT) 33

Figure 3. 4. Défauts détectable seulement par AXI, a) défaut de bulles de gaz présentes dans la soudure sous un composant QFN; b) Défauts de bulle de gaz présentes dans les billes de soudure d'un BGA [60]; c) Défauts de court-circuit liant plusieurs billes de soudure d'un BGA; 37

Figure 4. 1. Capteur de champ magnétique à boucle inductive placé au-dessus d'un DUT. S est la surface de la boucle d'induction, B: champ magnétique AC traversant la surface S, f: fréquence du champ magnétique B 50

Figure 4. 2. Carte dévaluation : capteur AA003-02 monté sur différentes largeurs de pistes 53

Figure 4. 3. Illustration de l'effet magnétorésistif géant 54

Figure 4. 4. Variation de la magnétorésistance en fonction du champ magnétique externe [116, Chap. 1], [120] 55

Figure 4. 5. Capteur GMR AA003-02E en boîtier SOIC8 monté sur un PCB de test 55

Figure 4. 6. Axe de sensibilité au champ magnétique externe du capteur GMR AA003-02 56

Figure 4. 7. Structure interne d'un capteur GMR produit par NVE. 56

Figure 4. 8. Banc de mesure de tension d'offset du capteur GMR AA003-02E alimenté à ±5V 1 : alimentation de puissance ; 2 : capteurs GMR ; 3 : multimètre de précision..... 57

Figure 4. 9. Tension d'offset à la sortie du capteur AA003-02E pour les différentes mesures 57

Figure 4. 10. Impulsion typique de démagnétisation d'un capteur GMR [121]..... 58

Figure 4. 11. Variation de la tension d'offset en fonction de la fréquence du champ magnétique mesuré 58

Figure 4. 12. Mesure de la sensibilité du capteur AA003-02E à un champ magnétique créé par un aimant permanent ; 1 : Multimètre de précision ; 2 : règle pour mesurer la distance 59

Figure 4. 13. Tension de sortie du capteur AA003-02E en fonction de la distance d'un aimant permanent pour trois valeurs d'alimentation en tension 10 V; 5 V et 2.5 V 60

Figure 4. 14. Montage expérimental : sensibilité du AA003-02E aux forts courants; 1 : alimentation de puissance; 2 : Charge modifiable; 3 : multimètre de précision; 4 : capteurs GMR..... 60

Figure 4. 15. Tension de sortie V_{out} du capteur AA003-02E en fonction du courant détecté sur la première piste de largeur : 2.286mm 61

Figure 4. 16. Distance entre le centre de la piste conductrice et la magnétorésistance du capteur..... 62

Figure 4. 17. Tension de sortie (V_{out}) du capteur AA003-02E en fonction du courant détecté : caractéristique non-linéaire pour les faibles courants jusqu'à 0.5A..... 62

Figure 4. 18. Hystérésis et non-linéarité dues à la saturation et au fonctionnement en bipolaire du capteur AA003-02E..... 63

Figure 4. 19. a) Schéma en bloc du circuit de polarisation d'un capteur GMR avec un courant externe; b) point de fonctionnement dans la zone linéaire du capteur 64

Figure 4. 20. Principe de polarisation du capteur GMR : Sortie du capteur en bleu, Champ magnétique AC appliqué (image du courant passant dans la piste) en rouge 64

Figure 4. 21. Montage expérimental de caractérisation dynamique du capteur AA003-02E; 1 : Capteur GMR; 2 : Aimant permanent; 3 : Charge passive HS300; 4 : Amplificateur haute tension; 5 : Générateur basse fréquence; 6 : Oscilloscope DPO4034; 7 : Alimentation en tension du capteur GMR (-2.5 v ,2.5 v) 65

Figure 4. 22. Détermination de la bande passante du capteur AA003-02E 65

Figure 4. 23. Schéma simplifié montrant la mesure du champ magnétique au-dessus d'une piste conductrice de courant 66

Figure 4. 24. Schéma montrant l'intérieur du dispositif de fixation simplifié de l'ICT intégrant deux capteurs GMR et deux sondes d'ICT classiques..... 67

Figure 4. 25. Tension de sortie du capteur AA003-02E pour différentes hauteurs entre le capteur et la piste conductrice de courant..... 67

Figure 4. 26. Sensibilité du capteur AA003-02E en fonction de la distance de mesure..... 68

Figure 4. 27. Principe de l'approche du test par NFS..... 72

Figure 4. 28. Module d'évaluation du convertisseur DC/DC LM5116 73

Figure 4. 29. Schéma électrique simplifié de simulation du convertisseur DC/DC LM5116 74

Figure 4. 30. Sonde champ proche utilisée dans les mesures de signatures EM. 75

Figure 4. 31. Configuration du banc de test des condensateurs de découplage et de filtrage du BUT par NFP 75

Figure 4. 32. Mesure de la signature EM par NFP à 2 mm du centre de la surface d'un condensateur de découplage 76

Figure 4. 33. Image par rayon-X de l'inductance L1 du filtre de sortie du BUT montrant le noyau ferromagnétique. 77

Figure 4. 34. Placement du capteur GMR AA003-02E pour le test de l'inductance L1 78

Figure 4. 35. a). Signatures EM de référence mesurées au-dessus des condensateurs C8, C9, C10, C11 b). Signatures EM de référence issues des dérivées de courants simulés dans les condensateurs C8, C9, C10, C11 79

Figure 4. 36. FFT des dérivées de courant simulé dans les condensateurs de découplage lorsque C8 prend plusieurs valeurs (C8=1µF, C8=1.5µF, C8=Cref=2.2µF, C8=3.3µF, C8=15µF) 80

Figure 4. 37. FFT des EMS mesurés au-dessus des condensateurs de découplage lorsque C8 prend plusieurs valeurs (C8=1µF, C8=1.5µF, C8=Cref=2.2µF, C8=3.3µF, C8=15µF) 80

Figure 4. 38. RMSD de l'amplitude FFT des signatures EM simulées pour chaque condensateur de découplage modifié séparément 81

Figure 4. 39. RMSD de l'amplitude FFT des signatures EM mesurées pour chaque condensateur de découplage modifié séparément ^{x10} : La valeur de cet écart est de 1,8 mV, elle a été divisée par 10 pour tenir dans le graphique de comparaison. 82

Figure 4. 40. Courant consommé par la charge à la sortie du convertisseur DC/DC pour le test des condensateurs de filtrage 83

Figure 4. 41. FFT des Signatures EM mesurées au-dessus des condensateurs de sortie lorsque C16 prend plusieurs valeurs 84

Figure 4. 42. FFT des Signatures EM mesurées au-dessus des condensateurs de sortie lorsque C20 prend plusieurs valeurs 84

Figure 4. 43. RMSD de l'amplitude FFT des signatures EM simulées dans chaque cas où la valeur d'un condensateur de sortie est modifiée séparément 85

Figure 4. 44. RMSD de l'amplitude FFT des signatures EM mesurées dans chaque cas où la valeur d'un condensateur de sortie est modifiée séparément 85

Figure 4. 45. a) Tensions de sortie du capteur GMR pour chaque valeur de l'inductance; b) Tension de découpage du convertisseur 87

Figure 4. 46. Principales sources d'incertitude affectant les mesures de signature EM (S1 à S4) avec des NFS pour chaque condensateur testé (C1 à C4) 88

Figure 4. 47. Résultat d'un algorithme de détection de valeurs aberrantes montrant la détection de deux clusters de composants défectueux et non-défectueux sur le PCBA testé 89

Figure 4. 48. Algorithme de détection des valeurs aberrantes dans le processus de production de PCBA 90

Figure 4. 49. Les directions de variation maximale des données représentées par les composantes principales. 92

Figure 4. 50. Représentation des données dans le nouveau repère PCA. 93

Figure 4. 51. Résultats d'une analyse PCA portant sur 6 PCBA avec un PCBA défectueux : PCBA3 96

Figure 4. 52. Evolution du Z-score de tous les PCBA pour différentes valeurs du condensateur testé dans PCBA6 97

Figure 4. 53. Cas *a* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : condensateur de valeur erronée inférieure à C_{ref} (C8 = 0,1 µF); Z-score = 12,38 98

Figure 4. 54. Cas *b* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : condensateur de valeur erronée supérieure à C_{ref} (C8 = 8 µF); Z-score = 12,39 99

Figure 4. 55. Cas *c* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : tous les condensateurs de valeurs erronées inférieures à C_{ref}: C8 = 0,2µF, C9 = 0,5µF, C10 = 0,3µF et C11 = 0,1µF / Z-score = 33,22 99

Figure 4. 56. Cas *d* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : tous les condensateurs de valeurs erronées supérieures à C_{ref} : C8 = 22µF, C9 = 33µF, C10 = 40µF et C11=10µF / Z-score = 81,58 100

Figure 4. 57. Cas *e* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : tous les condensateurs sont défectueux, et C9 a une valeur inférieure à C_{ref} ; C8 = 22µF, C9 = 1µF, C10 = 40µF et C11 = 10µF / Z-score = 104,42 100

Figure 4. 58. Cas *f* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause de défaut : tous les condensateurs sont défectueux, et C10 a une valeur supérieure à C_{ref} ; C8 = 0,2µF, C9 = 0,5µF, C10 = 5µF, et C11 = 0,1µF / Z-score= 38,56 101

Figure 4. 59. Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause de défaut : trois condensateurs sont défectueux, et C11 a une valeur supérieure à C_{ref}; C8 = 0,2µF, C9 = 0,5µF, C10 = C_{ref} et C11 = 8µF / Z-score = 40,65 101

Figure 4.A. 1. Comparatif des capteurs GMR NVE en fonction de la sensibilité, marge de fonctionnement linéaire et valeurs du champ de saturation. 159

Figure 4.B. 1. Schéma détaillé de simulation de la carte d'évaluation du convertisseur dc/dc dévolteur lm5116 161

Figure 5. 1. Mesure du rayonnement infrarouge d'un groupe de condensateurs; avec Φ_1 : le flux rayonné des composants testés, Φ_2 : le flux rayonné des composants adjacents, Φ_3 : le bruit thermique environnant, Φ_T : le flux rayonné mesuré par la caméra. 109

Figure 5. 2. Photo du convertisseur DC/DC Boost (TPS61088EVM-677) montrant les condensateurs testés 109

Figure 5. 3. Schéma de simulation électrique simplifié du convertisseur DC/DC Boost (TPS61088EVM-677) montrant les condensateurs testés. 109

Figure 5. 4. Banc de test de l'approche de détection de défauts par IRTS, 1: caméra IR FLIR X6580sc, 2: «*ResearchIR*» logiciel d'acquisition des données de mesure propre à la caméra FLIR, 3: BUT, 4: charge résistive de 10Ω, 5: alimentation du BUT 110

Figure 5. 5. Procédure de test utilisée pour prouver le concept de la technique IRTST. 111

Figure 5. 6. Image infrarouge du BUT (TPS61088EVM-677), a): BUT non alimenté à la température ambiante; b): image prise après 40s de fonctionnement, BUT alimenté. 113

Figure 5. 7. Variation des IRTS (lignes pointillées) des condensateurs testés lors du remplacement répétitif de C1=C_{ref} avec des condensateurs de technologie (X7R) du même boîtier et de valeur (C_{ref}) similaire 113

Figure 5. 8. IRTS de référence pour les condensateurs d'entrée/sortie testés 114

Figure 5. 9. Comparaison des signatures thermiques infrarouges du condensateur C4 pour trois valeurs erronées (C4=4.7µF, C4= 15µF, C4= 33µF) par rapport à sa signature de référence $IRTS(C4)_{Ref}$. 115

Figure 5. 10. $RMSD_r$ calculé pour chaque condensateur d'entrée/sortie pour trois valeurs erronées du condensateur C4 et pour deux temps de mesure t_1=5s et t_2=40s 115

Figure 5. 11. Comparaison des signatures thermiques infrarouges du condensateur C1 pour trois valeurs erronées (C1=4.7µF, C1= 15µF, C1= 33µF) par rapport à sa signature de référence $IRTS(C1)_{Ref}$. 116

Figure 5. 12. $RMSD_r$ calculé pour chaque condensateur d'entrée/sortie pour trois valeurs erronées du condensateur C1 et pour deux temps de mesure t_1=5s et t_2=40s 117

Figure 5. 13. Modèle thermique 3D simplifié du BUT. a) : état de fonctionnement, b) état d'arrêt 118

Figure 5. 14. Conditions aux limites du modèle thermique du BUT 119

Figure 5. 15. IRTS de référence issus des mesures (a) et de la simulation multi-physique (b) pour les condensateurs de sortie C1, C2, C3, C4. 119

Figure 5. 16. IRTS simulés correspondant aux condensateurs de sortie C1, C2, C3, C4 dans le cas d'une valeur erronée au niveau de C2. 120

Figure 5. 17. Résultats de l'analyse PCA pour 6 PCBA avec un PCBA défectueux : PCBA6 122

Figure 5. 18. a). Résultats de l'analyse PCA pour 6 PCBA avec un PCBA défectueux : PCBA6 contenant 3 condensateurs de valeurs erronées (C2=15µF, C3=4.7µF et C4=33µF); b) comparaison des $RMSD_r$ pour ce cas de défauts 123

Figure 5. 19. Cas *a* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : condensateur de valeur erronée inférieure à C_{ref} (C1=4.7 µF) 124

Figure 5. 20. Cas *b* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : condensateur de valeur erronée supérieure à C_{ref} (C1 = 33 µF) 124

Figure 5. 21. Cas *c* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : deux condensateurs de valeurs erronées : C4 < C_{ref} (C4 = 4.7µF) et C1 > C_{ref} (C1 = 33 µF) 125

Figure 5. 22. Cas *d* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : deux condensateurs de valeurs erronée : C4 > C_{ref} (C4 = 47µF) et C1 > C_{ref} (C1 = 33 µF) 125

Figure 5. 23. Cas *e* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : deux condensateurs de valeurs erronée : C4 < C_{ref} (C4 = 15µF) et C1 < C_{ref} (C1 = 4.7 µF) 126

Figure 5. 24. Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux : a) *cas j* : tous les condensateurs ont des valeurs erronées supérieures à C_{ref} b) *cas f* : tous les condensateurs ont des valeurs erronées inférieures à C_{ref} 126

Figure 5.A. 1. a). Modèle équivalant d'un condensateur MLCC de classe II parcouru par un courant $i_c(t)$ b). Modèle simplifié 165

Figure 5.B. 1. Schéma détaillé de la simulation électrique 167

Figure 5.C. 1. Schéma simplifié de modélisation d'un condensateur céramique monté sur le BUT sous COMSOL 168

Figure 6. 1. Diamètre et distance minimales pour le placement des points de test a) Face *Top*, b) Face *Bottom* – source : cahier de conception ACTIA Automotive - 133

Figure 6. 2. Re-routage des pistes lors de l'ajout de points de test standards 1.25 mm 133

Figure 6. 3. Principe de fonctionnement de la technique ACR-P 134

Figure 6. 4. Matériau conducteur élastique fabriqué par la société Shin-Etsu 136

Figure 6. 5. Structure d'un matériau ACR de type MT-4X, épaisseur 0.5mm, fabriqué par Shin-Etsu. a) vue de dessus, b) fils conducteurs dépassant de la surface de la feuille, c) vue de section 137

Figure 6. 6. Banc de test du matériau ACR pour la mesure du paramètre S21 138

Figure 6. 7. Résultat de la mesure du paramètre S21 138

Figure 6. 8. Comparaison entre les dimensions de deux types de sonde classique du test ICT et le matériau ACR. Les barres en bleu représentent les marges de la bande passante min et max selon les types des produits comparés [166] 139

Figure 6. 9. Conception CAO de la sonde ACR-P sous SketchUp3D avec 3 parties amovibles 140

Figure 6. 10. Diagramme en bloc du système de multiplexage contenu dans le corps de la sonde..... 141

Figure 6. 11. Deuxième partie amovible de la sonde : Pads de contact..... 141

Figure 6. 12. a) PCB incluant les WO de test, b) empilement des pads de contact avec le matériau ACR, c) empilement des pads de contact avec le matériau ACR positionné au-dessus du BUT (échelle ×100) 143

Figure 6. 13. 3ème partie de la sonde : socle de fixation du matériau ACR au-dessous de la sonde 144

Figure 6. 14. Schéma simplifié montrant la structure verticale du prototype de la sonde ACR-P..... 145

Figure 6. 15. a) prototype de la sonde ACR-P, b) zoom sur le capteur et le BUT, c) zoom sur le capteur de pression, d) Face *Bottom* du capteur : PCB-B soudé au-dessus du PCB-C, e) face *Top* du capteur avec les connecteurs fil-à-carte, f) Zoom sur le BUT : PCB-A avec 10 WO au-dessus des lignes microrubans testées 146

Figure 6. 16. Banc de test du prototype ACR-P..... 146

Figure 6. 17. Principe des deux modes de fonctionnement du prototype de l'ACR-P..... 147

Figure 6.D. 1. a) Photo du PCB-A/Type III, b) Photo du PCB-A/Type I et II avec un zoom sur les WO 178

Figure 6.D. 2. Interface du logiciel IC-EMC pour le calcul de l'impédance caractéristique dans le cas de 10 lignes microrubans en parallèle. 178

Figure 6.D. 3. a) Capteur : assemblage du PCB-C, PCB-B et le matériau ACR, b) face *Top* du PCB-C, c) face *Bottom* du PCB-C avec le PCB-B soudé par-dessus, d) face *Top* du PCB-B, e) face *Bottom* du PCB-B 179

LISTE DES TABLEAUX

Tableau 2. 1. Récapitulatif de type de cartes et de procédés de brasage 20

Tableau 3. 1. + : Couverture faible ou nulle, ++ : couverture moyenne, +++ : couverture élevée 38
Tableau 3. 2. Principe, Avantages et inconvénients des techniques de micro-accès 42

Tableau 4. 1. Comparaison des capteurs magnétiques 51
Tableau 4. 2. Sensibilités mesurées pour quatre pistes conductrices de largeurs différentes 61
Tableau 4. 3. Récapitulatif des limitations de la technologie GMR et des solutions pour y remédier. 69
Tableau 4. 4. Conditions d'alimentation du BUT pour la simulation et l'expérimentation 76
Tableau 4. 5. Valeurs des condensateurs de découplage et de filtrage en simulation et expérimentation 76
Tableau 4. 6. Conditions de test de l'inductance du filtre en sortie du BUT 78
Tableau 4. 7. Valeurs des condensateurs C16, C20 de sortie du BUT 83
Tableau 4. 8. Tensions de sortie du capteur AA003-02E en fonction des valeurs de l'inductance 87
Tableau 4. 9. Structure des données insérées dans l'algorithme PCA 94
Tableau 4. 10. Scénarios de défauts simulés 95
Tableau 4. 11. Simulation des pires cas des valeurs de défauts d'un condensateur 97

Tableau 4.A. 1. Récapitulatif des résultats de caractérisation du capteur AA003-02E 160

Tableau 4.C. 1. Comparatif des méthodes de détection d'éléments aberrants 163

Tableau 5. 1. Conditions de fonctionnement 110
Tableau 5. 2. Caractéristiques des condensateurs testés 111
Tableau 5. 3. $RMDS_{th}$ calculé à partir des variations des IRTS de référence pour chaque condensateur testé 114
Tableau 5. 4. Scénarios de défauts de valeur simulés 121
Tableau 5. 5. Identification des condensateurs défectueux selon le cas de défaut 127

Tableau 5.C. 1. Caractéristiques thermiques des éléments du BUT modélisés 168
Tableau 5.C. 2. Caractéristiques thermiques des Composants modélisés sur le BUT 169

Tableau 6. 1. Résumé des principales caractéristiques physiques de l'ACR choisi (MT-4X, épaisseur = 0.5mm) 137
Tableau 6. 2. Avantages et contraintes liés à l'utilisation de la sonde ACR-P 144

Tableau 6. 3. Étapes de validation de conformité du prototype au cahier des charges.....148
Tableau 6. 4. Expériences de caractérisation du prototype de l'ACR-P.....149

Tableau 6.A. 1. Espacement entre les centres des points de test en fonction des tailles standards des sondes de test ICT 171
Tableau 6.A. 2. Tolérances typiques de fabrication d'un lit-à-clous ICT et de gravure des pastilles et vias de test sur un PCB 171

Tableau 6.B. 1. Comparaison entre différents fournisseurs de matériau ACR 173

Tableau 6.C. 1. Cahier de charge pour la réalisation du prototype de la sonde ACR-P.....175

Tableau 6.D. 1. Caractéristiques de chaque type des cartes PCB-A.....177
Tableau 6.D. 2. Dimensions des PCB-C et PCB-B.....179

LISTE DES ACRONYMES

ACR	Anisotropic Conductive Rubber
ADAS	Advanced Driver Assistance System(s)
Ag	Argent
AMR	Anisotropic MagnetoResistance
AOI	Automatic Optical Inspection
AQ	Assurance de la Qualité
ATE	Automatic Test Equipment
AXI	Automatic X-ray Inspection
B	Champ magnétique
BA	Bras automatisé
BGA	Ball Grid Array
Bi	Bismuth
BoM	Bill of Materials
BST	Boundary-Scan Test
BUT	Board Under Test
CEM	Compatibilité Électro-Magnétique
CMS	Composant Monté en Surface
CSP	Chip Scale Package
Cu	Cuivre
CU_E	Épaisseur du cuivre
CU_S	Séparation entre deux pistes microruban
CU_W	Largeur d'une piste microruban
DBSCAN	Density-Based Spatial Clustering of Applications with Noise
DIP	Dual In-line Package
DfT	Design for Test (or Testability)
Dfx	Design For excellence
DUT	Device Under Test
DV	Dependent Variable
ECT	Eddy-Current Testing
EMF	ElectroMotive Force
EMI	ElectroMagnetic Interference
EMS	ElectroMagnetic Signature
EMSR	ElectroMagnetic Signature Reference
ENIG	Electroless Nickel Immersion Gold
EO	Electro-Optique
ESL	Equivalent Series Inductance
ESR	Equivalent Series Resistance
FFT	Fast Fourier Transform
FICT	Fixturless ICT
FP	Flying Probe

FPT	Flying Probe Test
FPY	First Pass Yield
FT	Functional Test
GMR	Giant MagnetoResistance
H	Excitation magnétique
HDI	High Density Interconnect
HVM	High Volume Manufacturing
ICT	In-Circuit Test
IF	Isolation Forest
IHM	Interface Homme-Machine
In	Indium
IR	InfraRed
IRTS	InfraRed Thermal Signature
IRTST	InfraRed Thermal Signature Test
IS	Immersion Silver
IV	Independent Variable
MDA	Manufacturing Defect Analysis
MLCC	Multy Layer Ceramic Capacitor
MR	MagnetoResistance
MUX	Multiplexing
NFP	Near Field Probe
NFS	Near Field Sensor
Pb	Plomb
PC	Principal Component
PCA	Principal Component Analysis
PCB	Printed Circuit board
PCBA	Printed Circuit board assemblie(s)
PFMEA	Process Failure Mode Effects Analysis
PPVS	Presence, Polarity, Value, Solder
QFP	Quad Flat Package
RMSD	Root Mean Square Deviation
$RMSD_{th}$	RMSD seuil
$RMSD_r$	RMSD relatif
ROI	Return On Investment
SAC	SnAgCu: Alliage étain-argent-cuivre
Sb	Antimoine
SMT	Surface-Mount Technology
Sn	Étain
SNR	Signal-to-Noise Ratio
SOM	Self-Organizing Map
TAC	Test Access Component
TP	Test Point (or Pad)
VE	Vernis Épargne
WO	Window Opening(s)

INTRODUCTION GENERALE

L'électronique continue à évoluer afin de répondre aux exigences de réduction de taille pour mieux répondre à des intérêts économiques, environnementaux et de performance.

À cause de la non-idéalité du processus de fabrication des circuits imprimés « *Printed Circuit Boards* » (PCB) et du processus de l'assemblage de ces derniers, le rendement de production de l'électronique n'est jamais de 100%. Pour maintenir la bonne réputation d'une marque de produit ainsi que pour garantir sa qualité, il est primordial de tester les cartes assemblées « *Printed Circuit Board Assembly* » (PCBA) avant de les envoyer au client.

En raison des énormes efforts déployés afin d'évoluer vers une électronique à haute densité, les PCBA modernes ne sont pas, dans leur majorité, accessibles par les approches de test en production actuelles. Les nouvelles technologies telles que l'interconnexion haute densité « *High Density Interconnect* » (HDI), les vias traversant sur silicium « *Through-Silicon Via* », les composants passifs et actifs intégrés dans les PCB à montage séquentiel « *Sequential Build-Up* », vont encore accroître les défis de test en production.

Les approches de test actuelles des PCBA denses nécessitent le plus souvent des points de test supplémentaires et donc un coût et une surface de PCB supplémentaires. L'utilisation des boîtiers de type matrice de billes « *Ball Grid Array* » (BGA) ou les boîtiers à l'échelle d'une puce « *Chip-Scale Package* » (CSP) par exemple qui sont standards aujourd'hui, a déjà compliqué les tests classiques des PCBA.

Pour faire face à ces défis en matière de test, cette thèse aborde des améliorations à apporter aux méthodologies de test existantes et propose également des approches de test utilisables en amont de la production des PCBA à haute densité et à signaux rapides.

Premièrement, cette thèse introduit une nouvelle technique sans contact pour tester des PCBA lorsque l'accès physique de test, en anglais « *Probing* », est impossible. La technique consiste à utiliser des sondes de champ magnétique proche, qui détectent la distribution de champ magnétique émanant de certains composants montés sur le PCB dans le but de tester leur présence sur la carte et leur valeur par la suite. Pour évaluer la pertinence de la méthode, plusieurs scénarii de défaut ont été considérés et analysés avec un algorithme de détection de valeurs aberrantes. Sur plusieurs cas, les défauts de fabrication sont discriminés avec des marges importantes, tout en tenant compte de la variabilité de spécification des composants.

Deuxièmement, une approche de test utilisant des signatures thermiques infrarouges est présentée. Cette technique peut détecter les défauts d'assemblage du composant tels que sa présence, sa valeur et dans certains cas son état de santé, ce qui permet de conclure sur l'état de défaut du PCBA. Les résultats ont montré la faisabilité de ce concept, et la possibilité de son application pour détecter efficacement des défauts de valeur de condensateurs de filtrage. Pour une détection robuste de défaut, une analyse en composantes principales, en anglais « *Principale Component Analysis* » (PCA) est utilisée comme algorithme de détection des valeurs aberrantes.

Troisièmement, une technique pour regagner de l'accessibilité de test sur des pistes de transmission de signal de haute fréquence est présentée. La technique consiste à utiliser de petites ouvertures dans la couche de vernis directement au-dessus des pistes portant des signaux digitaux. Les conducteurs exposés sont mis en contact avec une sonde à bout déformable et conducteur dans le sens vertical. Cette caractéristique conductrice et anisotrope de l'embout de la sonde est assurée en utilisant un matériau de base de silicone dans lequel est insérée une matrice de fils conducteurs avec un maillage resserré. Afin de prouver le concept de cette technique, nous avons conçu un prototype et sous-traité sa fabrication à la société ACTIA Engineering Services, filiale du groupe ACTIA. Les détails techniques liés à la conception et à la fabrication de ce prototype sont reportés dans le chapitre VI.

PARTIE I : ÉTAT DE L'ART DU TEST DES ASSEMBLAGES DE CIRCUITS IMPRIMES ELECTRONIQUES

CHAPITRE I : INTRODUCTION AU TEST DE CARTES ELECTRONIQUES

1. INTRODUCTION

Les cartes électroniques sont utilisées dans tous les domaines de l'industrie, ce qui rend l'assurance de leur qualité une étape essentielle du processus de fabrication.

Un circuit électronique dont la qualité n'est pas assurée peut présenter un dysfonctionnement dans l'une de ses tâches, dans le meilleur des cas. Dans le pire des cas, il pourrait être totalement inutile ou endommagé.

En prenant comme exemple l'industrie automobile, où l'utilisation de l'électronique est largement répandue (le diagnostic de tous les modules ainsi que la communication entre eux se fait à l'aide de circuits électroniques), un défaut sur l'une des cartes électroniques montées (comme celui de déploiement des airbags par exemple) peut entraîner un accident, dans des circonstances particulières. Ce genre de problèmes pourrait se manifester sous deux formes différentes : économique et humaine.

Du point de vue économique, le temps passé dans le diagnostic et la réparation de l'ensemble des cartes qui présentent le problème s'avère très coûteux, et les produits défectueux doivent être remplacés ou complètement retirés du marché. Dans un pire cas, un procès peut être déposé, engendrant ainsi le paiement d'indemnité de montant très élevé.

Du point de vue humain, des vies peuvent être mises en danger si la qualité du circuit n'est pas assurée. L'assurance de la qualité d'un produit devient alors cruciale.

L'assurance de la qualité (AQ) est définie comme toutes les actions planifiées ou systématiques, nécessaires pour assurer une confiance suffisante pour qu'un produit ou un service satisfasse les exigences de qualité [1].

Pour les produits électroniques, l'assurance de la qualité est une partie de la gestion de qualité qui offre pour les clients et les autres parties prenantes, une confiance fondée sur des faits, qu'un produit réponde aux besoins, aux attentes et aux exigences. L'AQ prétend assurer l'existence et l'efficacité des procédures qui tentent de s'assurer que les niveaux de qualité attendus seront atteints [1][2].

Toutes ces activités planifiées et systématiques sont normalement des tests effectués sur le produit. En se focalisant sur les PCBA, les tests mentionnés se déroulent en deux phases, une première phase consiste à tester électriquement tous les composants soudés sur le PCB, et la deuxième phase dans laquelle on évalue le fonctionnement de tout l'assemblage.

Les modules qui seront testés ainsi que les exigences remplies déterminent la qualité du PCBA. Dans ce sens, si chaque composant compris dans le circuit est testé et toutes les exigences sont respectées, la qualité du circuit est assurée.

2. PRODUCTION ELECTRONIQUE

La production électronique est passée par plusieurs étapes de développement, l'invention du transistor au XXème siècle étant la plus remarquable. Cette dernière a conduit à d'autres jalons, tels que la technologie des microprocesseurs au début des années 70, l'Internet et la technologie mobile à la fin des années 90. Selon Gordon Moore, pendant cette période, la densité des transistors sur une puce doublera tous les 18 mois; aujourd'hui, on parle de loi de Moore. Du point de vue des coûts et des performances, cette loi indique également que les vitesses de calcul doubleront tous les 18 mois si les ressources informatiques sont doublées [3]. Pour accompagner l'évolution de la densité d'intégration qui suit la loi de Moore, plusieurs techniques avancées d'encapsulation de puces ont été développées, le via traversant sur silicone, « *Through-Silicon Via* », qui a été inventé pour l'empilage 3D de circuits intégrés [4]. De plus, le micro-via, introduit commercialement par IBM au début des années 90 [5, Chap. 11], a marqué la naissance des PCB à haute densité d'interconnexion « *High-Density Interconnect* » (HDI) [4], [5, Chap. 21].

Le 20ème siècle a été caractérisé par le développement de l'électronique miniaturisée pour des raisons d'économie, de performance et de portabilité. Cela a exercé une pression considérable sur la production électronique afin de relever les défis suivants [5] :

1. Manipulation des composants : les composants électroniques continuant à se miniaturiser, l'équipement d'assemblage doit intégrer des composants plus petits; les équipementiers ont donc dû développer de nouvelles solutions à cet effet.
2. Cadence de production : à mesure que la densité augmente, les fournisseurs d'équipement de fabrication doivent trouver de nouvelles solutions pour des étapes de fabrication plus rapides et efficaces, y compris les tests. Au fur et à mesure que le délai de mise sur le marché devient plus court, les fabricants doivent être plus rapides en ce qui concerne la planification des nouveaux produits afin d'accroître la cadence de production et mieux suivre le rythme de la concurrence sur le marché mondial.

Par ailleurs, au début du XXIème siècle, la production d'électronique verte a commencé à devenir une thématique importante. Des études statistiques ont montré que les livraisons mondiales d'appareils tels que les téléphones portables ont totalisé 4,68 milliards d'unités en 2019. Les expéditions devraient atteindre 4,78 milliards en 2019, en hausse de 2,1% selon Statista Inc [6]. Ce nombre élevé d'articles ainsi que le cycle de vie plus court des produits suscitent des préoccupations environnementales concernant l'augmentation des déchets électroniques et l'épuisement des ressources naturelles. Pour répondre à cette préoccupation, l'utilisation de plomb (Pb) et d'autres substances dans des produits électroniques a été interdite pour se conformer à la directive RoHS « *Restriction of Hazardous Substances* » depuis le début de l'année 2006 [7]. L'ensemble du processus de production électronique et toutes les matières premières doivent être exempts de substances restreintes, telles que le plomb que l'on trouve dans les alliages de soudure classiques. Cependant, la température nécessaire à la soudure a atteint un niveau qui a entrainé de nombreux problèmes de qualité et de fiabilité lors de la transition vers une électronique sans plomb. Les impacts négatifs du passage à une production d'électronique sans plomb sont les suivants :

1. Composants : Pour pouvoir souder avec des alliages sans plomb, la température doit être augmentée de 215 °C - 220 °C à 240 °C - 260 °C. De nombreux composants électroniques ont commencé à se fissurer immédiatement après le processus de refusion, d'autres ont vu leur boîtier se fissurer « *popcorning* » dû à l'évaporation de l'humidité à l'intérieur du boîtier, car ils ne pouvaient pas supporter la nouvelle température de reflux. Pour cette raison, les fournisseurs de composants ont dû mettre à jour la capacité de leurs composants à résister à des températures plus élevées [8, Chap. 45.4].
2. Soudage à la vague : le passage à un alliage sans plomb est problématique pour une soudure à la vague. Certains problèmes de qualité sont apparus dû à la rapide formation d'oxyde de soudure « *drossing* » caractérisant les alliages sans plomb « *lead free* », causant fréquemment des ponts de soudure « solder bridges » entre broches conductrices et des circuits-ouverts au niveau des composants traversant. La mise à jour de l'ensemble du processus et des équipements est donc nécessaire afin d'éviter ces problèmes [8, Chap. 45.4].

3. Oxydation : La majorité des alliages à braser sans plomb sont constitués d'une combinaison d'étain (Sn), de cuivre (Cu), d'argent (Ag), d'indium (IN), de bismuth (Bi) ou d'antimoine (Sb). SnAgCu (SAC) est largement utilisé comme alternative à l'alliage SnPb [5, Chap. 45.4]. D'autre part, le bismuth, le cuivre et le zinc s'oxydent facilement, ce qui dégrade la qualité du mouillage pendant le processus de brasage. L'utilisation d'azote en tant qu'atmosphère inerte pendant les processus de brasage à la vague et de refusion est devenue une étape supplémentaire nécessaire pour éviter l'impact des éléments des alliages sans plomb à température élevée [8, Chap. 45.4].
4. Test électrique: des températures plus élevées entraînent une quantité encore plus grande de résidus de flux (fluide qui décape les surfaces métalliques et facilite ainsi la soudure), ce qui a un impact négatif sur le test électrique, les sondes pouvant nécessiter plusieurs tentatives pour pénétrer dans les résidus du flux et obtenir un contact électrique sur les points de test [8, Chap. 45.4].
5. PCB: avec une soudure sans plomb, les PCB sont soumis à des températures plus élevées, ce qui entraîne une flexion accrue au niveau du PCB, augmentant ainsi la possibilité de délamination de ces derniers « *PCB Warpage* » [8, Chap. 45.4].
6. « *Whiskers* » : Les « trichites » sont des structures de filaments qui se développent sur des surfaces métalliques étamées pures. Elles peuvent provoquer des courts-circuits entre deux conducteurs et perturber l'intégrité du signal dans les hautes fréquences. Les « trichites » ne sont devenues un problème apparent qu'après le passage à la production d'électronique sans plomb [8, Chap. 1.6] [8, Chap. 57].

2.1. TEST ELECTRONIQUE

2.1.1. Bref historique

Les premières cartes électroniques assemblées consistaient en une poignée de composants discrets répartis à faible densité afin de minimiser la dissipation de chaleur. Les tests consistaient principalement à examiner visuellement ces cartes et éventuellement à mesurer quelques connexions à l'aide d'instrument de mesure simple. La vérification des performances de la carte ne parvient qu'après l'assemblage final du système [9, Chap. 2].

La première grande explosion de la complexité du PCB et la densité des composants assemblés est apparue après le développement du transistor dans les années 1950. Avec le premier ordinateur à transistors d'IBM, lancé en 1955 [9, Chap. 2], le grand nombre de fonctionnalités embarquées dans les cartes a entraîné une prolifération de nouvelles conceptions, d'applications plus vastes et de volumes de production beaucoup plus importants, ce qui a rendu les méthodes de test utilisées jusque-là insuffisantes pour déterminer la qualité du PCBA. La numérisation de l'électronique était à la rescousse, et a permis d'envisager des tests fonctionnels des PCBA antérieurs à l'intégration dans des systèmes finaux. Ces tests sont réalisés en exploitant les entrées/sorties des cartes pour injecter des signaux d'entrée et observer la réponse à la sortie, puis comparer le comportement du circuit imprimé avec sa fonctionnalité finale attendue [9, Chap. 2]. Cette approche a conduit au développement d'équipements de test fonctionnel automatique « *Automatic Test Equipment* » (ATE) pour les systèmes numériques [9, Chap. 2]. L'ATE génère les vecteurs de test pour le PCBA testé « *Device Under Test* » (DUT), et compare automatiquement les réponses mesurées avec celles attendues. En se basant sur cette comparaison, l'ATE déclare le DUT défectueux ou non défectueux. En revanche, les composants analogiques nécessitaient un effort plus important ou restaient non testés. Le développement d'une approche de mesure basée sur un amplificateur opérationnel a permis de tester des composants analogiques individuels à travers un lit à clous, ce qui correspond à la naissance du test in-situ « In Circuit Test » (ICT) à la fin des années 1960 [9, Chap. 2].

Avec l'évolution accélérée de la technologie, les testeurs ICT se retrouvaient peu à peu en manque de ressource. Avec l'émergence de la technologie de montage en surface « *Surface-Mount Technology* » (SMT) à la fin des années 1980, l'ICT a commencé à faire face à des problèmes d'accès physique. Les composants électroniques de petite taille ont abouti à des PCBA à haute densité intégrant des boîtiers à pas très fin, ce qui a rendu l'accès physique de test sur les broches de ces composants difficile et coûteux [10].

D'autres solutions ont été développées pour résoudre le problème de l'accès physique pour les boîtiers à pas fin et BGA. Dans les années 1990, la méthode de test « *Boundary-Scan* » (BST) a été mise au point pour tester les interconnexions entre circuits intégrés numériques sans utiliser l'ICT, ce qui permet de tester certains défauts de soudure sans recourir à un accès physique [10], [11, Chap. 1].

Pour des défauts liés à la fiabilité, l'inspection automatique visuelle « *Automatic Optical Inspection* » (AOI) et l'inspection par rayons X « *Automatic X-ray Inspection* » (AXI) ont été développées pour tester les composants à boîtiers BGA après le processus de soudure [9, Chap. 3]. Ces deux techniques permettent une inspection de défauts liés principalement à l'état et la fiabilité des soudures (Techniques présentées dans la section V du chapitre III). La figure 1.1 résume la chronologie de l'évolution des technologies d'assemblage et des solutions de test.

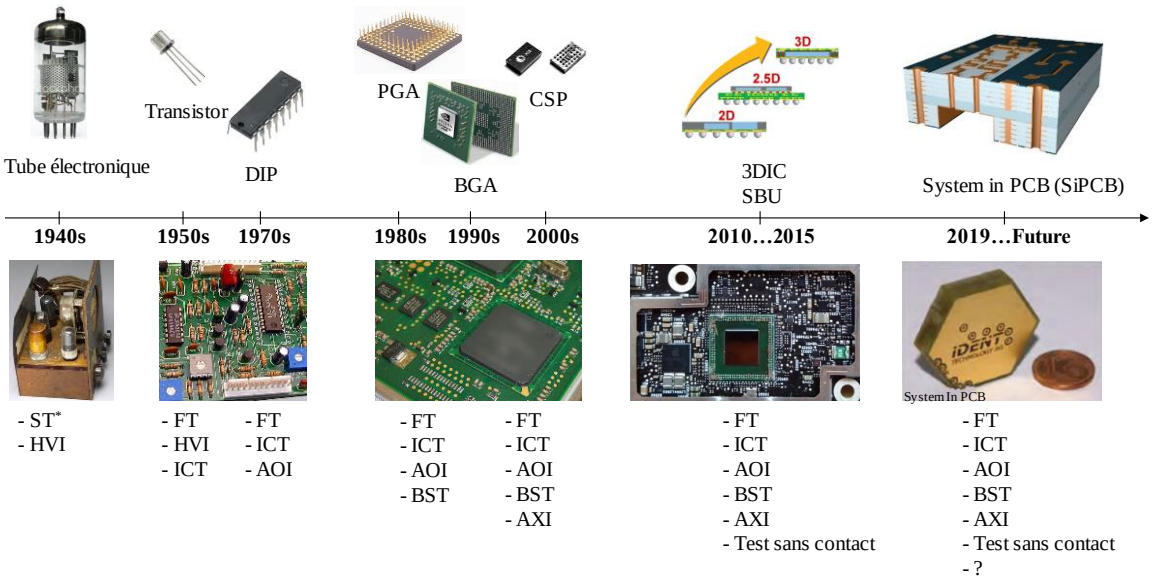


Figure 1. 1. Évolution des technologies d'assemblage et des solutions de test
ST : Test de vérification de fumée sur le tube électronique (Smoke Test)
HVI : Inspection visuelle à l'œil (Human Visual Inspection)
FT : Test fonctionnel (Functional Test)

Au fur et à mesure que la technologie évoluait vers une électronique à haut degré d'intégration [12], [13], une mise en boîtier avancée et avec l'introduction des cartes à haute densité d'interconnexions « *High Density Interconnect* » (HDI), le test en production est devenu plus vital qu'auparavant.

Selon une étude réalisée dans [14], le test d'un PCBA de complexité élevée (2500 composants, 17500 joints de soudure) est très coûteux et présente un degré de confiance inférieur en comparaison avec le test d'un PCBA moins complexe (75 composants, 425 joints de soudure). En effet, la performance d'une stratégie de test en production classique utilisée pour ces deux types de PCBA, chute drastiquement en termes de résolution de diagnostic (capacité de discrimination et de détection de défauts) et de confiance de test lors du passage du PCBA simple au PCBA complexe. La figure 1.2 montre les courbes de performance des testeurs ICT, AOI/AXI et du test fonctionnel (FT) lors du passage d'un PCBA de faible densité à un PCBA de haute densité [15].

Une géométrie plus restreinte des cartes a imposé des contraintes sur l'accès physique aux points de test. Par conséquent, les solutions d'accès physique connues aujourd'hui, telles que le système de sondes volantes « *Flying Probes* » (FPT) et le lit à clous de l'ICT, nécessitent davantage d'amélioration.

D'autres méthodologies de test ont été proposées pour surmonter la limitation due à la réduction de la taille du PCB (Analyse et comparaison de ces techniques dans la section VI du chapitre III), toutefois, aucune de ces méthodes n'a connu un réel succès.

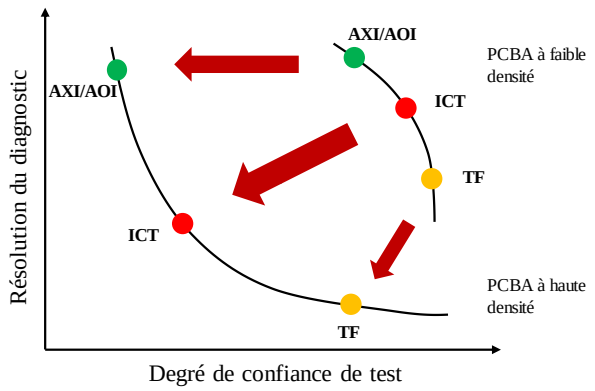


Figure 1. 2. Résolution du diagnostic au passage d'un PCBA faible densité à un PCBA haute densité

2.1.2. Test des cartes électroniques

Le test des PCBA est une étape du processus de production qui favorise la qualité, l'économie et la fiabilité. Elle consiste à détecter et à signaler les différences non intentionnelles entre le matériel produit et sa conception.

Dans la plupart des cas, ces différences sont appelées défauts. En détectant un défaut, nous nous assurons que seuls les produits de qualité conformes aux spécifications de conception sont expédiés au client. En signalant un défaut, nous développons le processus de réalisation du produit en évitant la création de défauts similaires, améliorant ainsi le rendement.

Avec les composants électroniques d'aujourd'hui, les tests ont joué un rôle important au cours du processus de réalisation du produit et, dans certains cas, leur rôle s'est étendu même après l'envoi du produit. Les efforts de test diffèrent d'un produit à l'autre, par exemple, les produits électroniques grand public ne sont pas soumis aux mêmes tests que ceux de l'automobile, de l'aéronautique ou ceux développés pour des applications critiques pour la sécurité. Pour les produits électroniques grand public, l'objectif principal est la fonctionnalité finale du produit. En revanche, pour l'électronique destinée à des applications critiques pour la sécurité, la qualité et la fiabilité sont importantes; dans de tels cas, il est obligatoire de tester la résistance des PCBA aux environnements critiques [9, Chap. 1].

Dans l'ensemble, le but des tests est la recherche à la fois de la qualité et de la réduction des coûts, qui sont mutuellement dépendantes. La qualité comme introduite au début de ce chapitre fait référence à la satisfaction du client, et l'économie au rendement industriel élevé. Déterminer la fiabilité est un autre rôle des tests. La fiabilité est directement liée à la rentabilité, car lorsque le produit est fiable chez le client, la société économisera des coûts de garantie et maintiendra sa bonne réputation [9, Chap. 1].

3. PROBLEMATIQUE INDUSTRIELLE

La majorité des industriels qui conçoivent et assemblent leurs propres produits électroniques, tels que les équipementiers dans l'aéronautique, dans l'automobile ou autres, font face à des défis de nature technologique, industrielle et économique dictés par l'évolution des besoins et des exigences de leurs clients. Ces défis se reflètent principalement sur les processus de fabrication et de test, et doivent être relevés rapidement pour ne pas compromettre leur compétitivité.

ACTIA Automotive fait partie des industriels qui font face à ce type de défis. C'est un équipementier automobile Français qui conçoit et réalise des systèmes électroniques embarqués intégrant des PCBA de haute complexité dans des domaines variés comme l'électronique de puissance, le multiplexage, l'interface homme machine et la télématique. Ces cartes sont appelées à gérer des fonctions sensibles de sécurité des systèmes embarqués et subissent un certain nombre de tests en production afin d'assurer leur qualité et fiabilité. Ces tests doivent révéler le moindre défaut qui aurait pu être généré par le processus de fabrication, quelle que soit la complexité du produit testé.

3.1. DEFIS TECHNOLOGIQUES

Les PCBA d'ancienne génération ne posaient pas de contraintes particulières de test, puisque ces cartes peu denses pouvaient disposer de nombreux points de test sans dénaturer les fonctions qu'elles devaient assurer. Le processus de production de ces cartes électroniques pouvait donc être contrôlé avec satisfaction (bonne couverture de test) [16], via un ensemble de tests industriels classiques.

Ces vérifications ne sont plus faciles à réaliser, face à la grande évolution technologique que connaît l'industrie automobile, et au besoin de plus en plus élevé d'embarquer de nouvelles technologies dans les véhicules, telles que les modules télématiques qui sont des boîtiers de télécommunication et de traitement automatisé de données, les technologies de communication entre un véhicule et tout objet connecté « *Vehicule-to-everything* » (V2X), les technologies d'aide à la conduite « *Advanced Driver Assistance Systems* » (ADAS), etc.

En outre, le taux de donnés utilisées et traitées en interne dans des produits électroniques relevant de ces technologies ne cesse d'augmenter [17], et le nombre d'entrées/sorties par boîtier est de plus en plus élevé face au rétrécissement continu des dimensions des PCB [18]. On retrouve alors un nombre plus élevé de composants électroniques montés sur des surfaces de plus en plus restreintes de PCB, comme illustré dans la figure 1.3 qui décrit la tendance d'évolution d'un produit télématique de chez ACTIA Automotive.

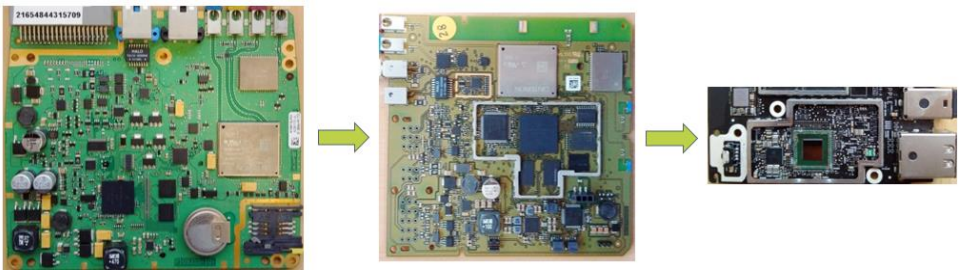


Figure 1. 3. Évolution d'un produit télématique chez ACTIA Automotive

3.2. DEFIS INDUSTRIELS : DENSIFICATION

L'intégration de plus en plus poussée des systèmes électroniques en vue d'augmenter les fréquences des signaux et réduire les pertes pour répondre aux contraintes technologiques, de sécurité et des coûts de fabrication [19], conduit à une forte densification des PCBA et donc à une réduction du nombre de points d'accès disponibles pour le test en production.

En effet, sur les dernières générations de cartes électroniques intégrant des modules de communication et des signaux numériques rapides, il est de plus en plus difficile de placer des points de test [19], ceci est dû majoritairement aux joints de soudure des composants qui sont de plus en plus rapprochés, miniaturisés, et inaccessibles, comme par exemple, les circuits BGA (Ball Grid Array – Boîtier matricielle à broche) ou CSP (Chip-Scale Package – Boîtier à puce), dont les contacts sont placés sous le composant et qui sont totalement inaccessibles [8, Chap. 9.1]. La figure 1.4 issue d'un rapport de l'organisation INEMI (International Electronics Manufacturing Initiative) datant de 2015 concernant les problématiques de test industriel et leur évolution dans le temps, illustre clairement cette problématique de densification.

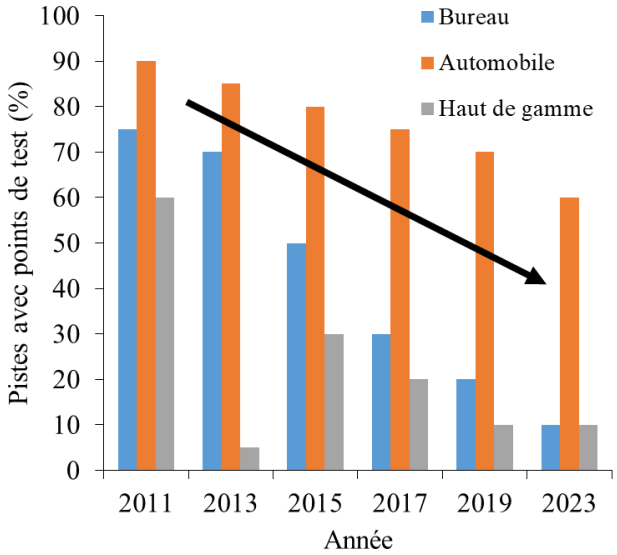


Figure 1. 4. Tendance de diminution d'accès aux points de test dans le cas de produits bureautiques, automobiles et haut de gamme « *High-end Electronics* »

3.3. DEFIS ECONOMIQUES

Suite à cette forte densification des nouvelles générations de PCBA, les tests en production deviennent :

Limités : une faible accessibilité aux signaux à tester, conduit à une couverture de test insuffisante et par conséquent à une faible fiabilité du produit fabriqué.

Coûteux : la complexité des produits fabriqués incite à investir dans plusieurs blocs de test qui consomment un temps proportionnel à chaque type de test réalisé. Plus un PCB est complexe, plus son test sera lent, ce qui influence directement la cadence de production et le temps de mise sur le marché, et s'avère coûteux pour l'entreprise.

Moins discriminant : le compromis entre le temps de test et la cadence de production, en anglais « *Takt-Time* », fait qu'un produit n'est jamais testé à 100% aux défauts d'assemblage.

Ces nouvelles générations de cartes électroniques portent des fonctions coûteuses, sur une surface de plus en plus contrainte. Le fait de ne pas pouvoir maintenir une couverture de test à un niveau élevé dans les phases amont du processus de fabrication conduisent à une détectabilité plus tardive dans les phases finales de test du produit, et donc à des coûts de rebut plus importants (point discuté dans la section 3.2) et à des risques de non qualité à la livraison.

4. MOTIVATIONS DE TEST

En général, le test est un processus coûteux qui prend du temps [20]. Bien que le test de PCBA soit confronté à des défis difficiles, il est principalement motivé par l'économie et la fiabilité [21]. Le processus de test en production nécessite d'investir dans des équipements, de la surface de plancher et des opérateurs de test. Selon le degré de qualité requis, les assembleurs de PCBA peuvent commander soit des PCB testés préalablement, soit des PCB dont la stabilité du procédé de fabrication a été testée [9, Chap. 1].

4.1. SECURITE

Le test en production est crucial pour les applications liées à la sécurité, telles que le médical, l'avionique, l'automobile et le spatial. Ces applications prennent en charge également les tests avant l'utilisation directe par le client, appelé test en aval ou test fonctionnel, garantissant ainsi une meilleure fiabilité des produits fabriqués [22, p. 7].

4.2. ÉCONOMIE

L'économie est une autre motivation pour effectuer des tests électroniques en production. Pour des tests rentables, la règle de *10*, connue dans la TQM « *Total Quality Management* » sous le nom « *1-10-100 rule* », est bien répandue dans la communauté des tests, ce qui signifie que la recherche d'un défaut lors d'une prochaine phase de production coûtera 10 fois plus cher que lors de la phase précédente [23], [8, Chap. 36.3]. La recherche de défauts dans la phase PCB est considérablement moins coûteuse que ceux détectés sur le circuit imprimé intégré dans un système plus grand. À titre d'exemple, après livraison du produit final, un défaut non détecté au niveau du PCB non-peuplé provoquant une panne du produit, coûtera 1000 fois plus cher que s'il avait été détecté dans une phase préalable d'assemblage. La figure 1.5 montre l'augmentation des coûts de test en fonction des étapes de production suivant la règle de *10* [9, p. 54].

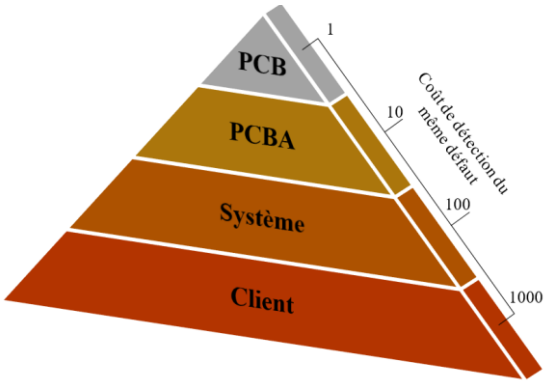


Figure 1. 5. Augmentation des coûts de test en fonction des étapes de production

5. OBJECTIFS

Face à la densification accrue des assemblages électroniques et à la réduction de l'accessibilité physique de test sur ces derniers, garantir une couverture de tests qui assure une qualité optimale des produits fabriqués n'est plus une tâche facilement réalisable.

Les moyens de test classiques utilisés chez les assembleurs de cartes électroniques dont ACTIA Automotive fait partie, ont atteint leurs limites et doivent être complétés par des méthodes de tests innovantes répondant au mieux aux contraintes du domaine d'application et aux exigences de la qualité. Ces nouvelles techniques doivent également répondre à des impératifs de coût, de délai de développement, de temps de test en production, de répétabilité, de rendement première passe, en anglais « *First Pass Yield* » (FPY), de diagnostic des défauts détectés et d'intégration dans le processus de production.

L'objectif de ce travail de recherche est donc de développer des méthodologies innovantes de test d'assemblage de PCB en amont de la fabrication, en partant du principe que les PCB nus, pas encore assemblés, sont garantis conformes par le fabricant des circuits imprimés selon les normes de fabrication en vigueur. Ces techniques de test doivent être adaptées aux produits à haute densité d'intégration et à signaux rapides.

L'intégration des techniques proposées dans le processus de fabrication ne sera pas traitée dans ce travail, et fera l'objet d'une discussion dans les perspectives.

CHAPITRE II :
PRINCIPAUX DEFAUTS LIES A L'ASSEMBLAGE DES CARTES ELECTRONIQUES

1. VUE D'ENSEMBLE DE L'ASSEMBLAGE DES CARTES ELECTRONIQUES

Comme nous l'avions bien montré dans le premier chapitre de ce manuscrit, l'objectif principal des assembleurs de PCBA est de garantir la qualité de leurs produits, en d'autres termes : fabriquer des cartes sans défaut.

L'identification des différents types de défaut ainsi que les étapes d'assemblage qui induisent leurs occurrences est cruciale afin de développer des moyens de test pouvant les détecter efficacement en amont de la fabrication où le coût des rebuts est peu impactant (TQM). La connaissance des procédés industriels d'assemblage de PCBA constitue donc la première étape dans cette investigation.

1.1. LE PROCEDE INDUSTRIEL D'ASSEMBLAGE DE PCBA

L'assemblage électronique est le terme général utilisé pour reporter les composants électroniques sur les PCB. La technologie de montage en surface (CMS) est le processus d'assemblage électronique dans lequel les broches des composants électroniques sont reportées sur le circuit imprimé via des plages de réception individuelles appelées « Pads » situées sur la surface de la carte [8, Chap. 41].

L'assemblage des composants sur un PCB obéit aux règles et contraintes du type de montage mises en œuvre. Il existe deux grands types de montage de composants sur un PCB :

- Montage tout CMS : Dans ce cas, les cartes ne comportent aucun composant traversant. Les CMS peuvent être montés sur l'une ou l'autre face ou sur les deux.
- Montage mixte : intégrant des composants CMS et des composants traversants. Plusieurs variantes de montage en découlent selon chaque type de carte.

Chaque type de montage a un procédé de brasage correspondant [8, Chap. 43], qui varie d'un type de carte à l'autre. Selon Charlotte Weisman, dans son livre « *Welding Handbook : Fundamentals of Welding* » [24], le brasage est un procédé d'assemblage permanent qui établit une liaison métallique entre les pièces réunies. Il existe deux procédés de brasage qui vont être détaillés par la suite : le brasage à la vague et le brasage par refusion. Le tableau 2.1 identifie ces procédés pour chaque classe de PCBA selon la norme IPC-2221(section 8), IPC-2222 et IPC-A-610 (section 7 et 8) [25, Sect. 8], [26], [27, Sect. 7,8].

Tableau 2. 1. Récapitulatif de type de cartes et de procédés de brasage

Type de montage		Type de cartes	Brasage
Traversant	Composants traversant sur une face		Vague
Tout CMS	Composants CMS sur une face		Vague ou Refusion
	Composants CMS sur les deux faces		Double refusion ou Refusion + Vague
Mixte	Composants CMS sur une face, Composants traversant sur l'autre face		Vague
	Composants CMS et traversant sur la même face		Refusion + Vague
	Composants CMS et traversant sur une face, CMS sur l'autre face		Refusion + Vague

Le brasage est l'étape la plus critique dans le processus d'assemblage des PCBA. Les lignes CMS à volume élevé utilisent des équipements automatisés pour effectuer ces étapes. Ces lignes peuvent généralement produire un PCBA en moins de 40 secondes, avec des machines de placement pouvant positionner jusqu'à 200 000 CPH (composants par heure) sur le PCB [28].

La figure 2.1 illustre les différentes étapes du processus industriel d'assemblage de PCBA. L'agencement des différents blocs d'inspection/test varie légèrement selon la stratégie de test utilisée, qui est établie selon la complexité du produit fabriqué et des moyens de test disponibles chez le fabricant.

Le processus d'assemblage de base comprend les étapes suivantes :

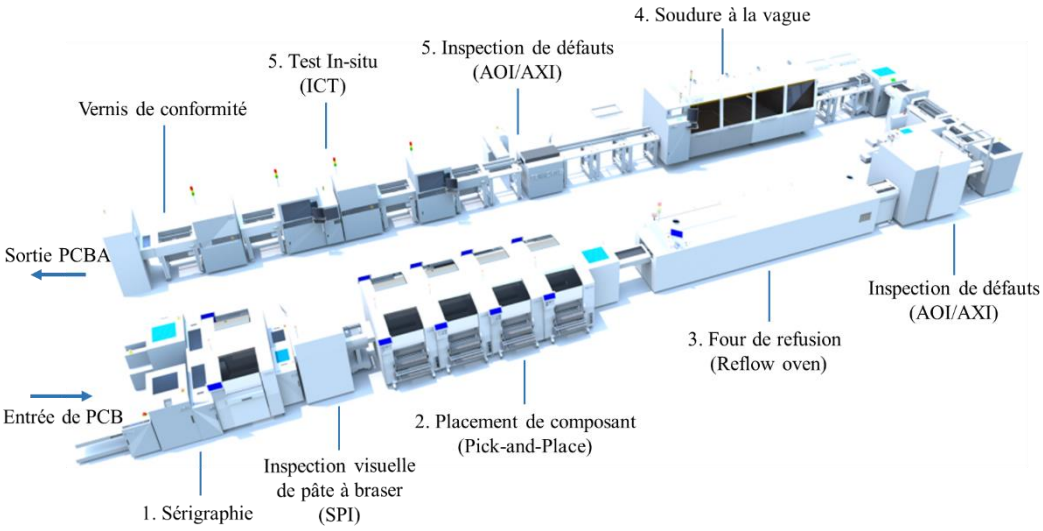


Figure 2. 1. Étapes du processus d'assemblage industriel de PCBA

1.1.1. Sérigraphie

Utilisée depuis des siècles la sérigraphie a connu un développement spectaculaire dans l'industrie électronique. La pâte à braser est appliquée sur le circuit imprimé à l'aide d'une raclette au travers d'un écran de sérigraphie (appelé pochoir) comportant le motif à reproduire à partir de trous correspondant aux pads individuels contrôlant l'application de la pâte à braser sur la carte [8, Chap. 40.2].

1.1.2. Placement des composants

Les composants électroniques sont positionnés sur le circuit imprimé à l'aide d'un équipement de placement (machines de placement (pick-and-place), machines à sous (chip shooter), etc.). Les broches de composants sont placées en contact direct avec la crème à braser posée sur les pads. Le placement des composants peut se faire d'une manière simultanée ou séquentielle selon un certain nombre de critères parmi lesquels on peut citer : la nature des composants à reporter, leur répartition sur le PCB, la cadence de production et le coût de placement par composant [8, Chap. 40].

1.1.3. Brasage par refusion

L'ensemble, pâte à braser plus composant, est ensuite porté à une température entre 240 et 260 degré Celsius (brasage sans plomb), pour une durée allant de 20 à 80 secondes dans un four de refusion. L'alliage de la brasure durcit en refroidissant à la sortie du four, et crée une interconnexion permanente entre les broches du composant et le PCB. Il existe deux formes de brasage par refusion qui sont principalement utilisées dans l'industrie : refusion en phase vapeur, refusion au four à rayonnement infra-rouge [8, Chap. 43.8], [8, Chap. 43.6].

1.1.4. Brasage à la vague

Dans le cas d'un montage mixte, le PCBA passe à une deuxième étape de brasage à la vague, après une étape d'inspection de défauts (AOI/AXI) qui peuvent avoir lieu lors des étapes de placement et de refusion. Les composants sont immergés dans un bain d'alliage de soudure en fusion. Afin d'assurer le maintien des composants CMS pendant cette opération, il est nécessaire de les coller préalablement sur le PCB avec une colle polymérisable. Les composants CMS qui sont plus sensibles à la température de la soudure en fusion, n'y sont pas totalement immergés, seuls les broches des composants sont visées par une vague en mouvement appelée vague sélective [8, Chap. 43.7].

1.1.5. Contrôle de l'assemblage

Après une dernière phase d'inspection AXI/AOI, le PCBA passe au test électrique ICT avant d'être vernis et assemblé en un produit final. Les testeurs ICT effectuent ce qu'on appelle, l'analyse des défauts de fabrication, « *Manufacturing Defect Analysis* » (MDA), qui couvre la majorité des défauts de processus les plus courants pouvant survenir. Il s'agit des défauts de type : Présence, Polarité, Valeur et Soudure regroupés sous l'acronyme (PPVS) [8, Chap. 52.5.3].

2. DEFAUTS D'ASSEMBLAGE

Comme les procédés industriels ne sont pas parfaits, chaque étape du processus d'assemblage des PCBA induit des défauts sur le produit final.

Un défaut est un écart inacceptable par rapport à la norme. Un défaut est donc indésirable et nécessite une action corrective, que ce soit en jetant la carte, en la réparant ou, tout au moins, en repérant l'étape de processus qui en est responsable [29, Chap. 11.1.1].

Dans des bases de données [30], [31], incluant des statistiques de défauts d'assemblage reportés par des industriels, la sérigraphie est responsable de 65 % des défauts détectés sur la carte après brasage contre seulement 20 % pour l'étape de placement et 5 % pour les composants.

Selon ces mêmes statistiques, les quatre principaux défauts qui représentent 75% de tous les défauts de type PPVS d'assemblage de PCB sont : les circuits ouverts, les courts-circuits de soudure, les mauvaises valeurs et glissement des composants. La minimisation de ces défauts est donc l'objectif pour toutes les industries d'assemblage CMS. En comprenant le défaut, ses causes profondes, ainsi que la façon de l'empêcher, nous pouvons améliorer considérablement la qualité de tous les assemblages fabriqués [32].

2.1. DEFAUTS LIES A LA SOUDURE

2.1.1. Circuits ouverts

Les joints de soudures ouverts en anglais « *Opens* », se produisent lorsqu'il n'y a pas d'interconnexion entre la partie conductrice du composant et le pad ou un autre point d'interconnexion sur un PCB (figure 2.2.a), ce qui provoque une interruption du chemin du signal et par conséquent un défaut de fonctionnement. Ce type de défaut est plus fréquent lors d'un brasage à la vague, les joints de soudure sont plus épais et ne suivent pas le PCB dans ses contraintes de torsion, ce qui les rend plus susceptibles de se fissurer (figure 2.2.b) et se décoller de la carte causant ainsi une interruption de l'interconnexion entre les broches du composant et le PCB [30].

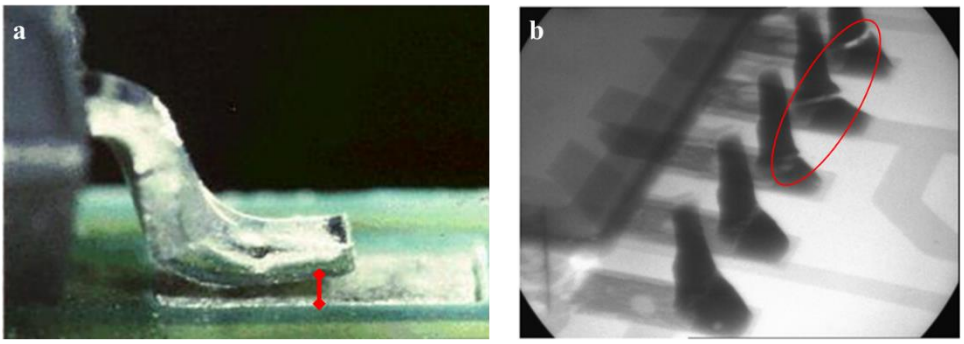


Figure 2. 2. Défaut de circuit-ouvert entre broche d'un composant et la plage d'accueil,
a) absence d'interconnexion; b) interruption du joint de soudure [30]

2.1.2. Courts-circuits

Les courts-circuits dus à la soudure, en anglais « *Shorts* » ou parfois « *Solder Bridging* », se produisent lorsque la soudure passe incorrectement et relie un conducteur à un autre (cf. figure 2.3.a). Les causes probables de ces défauts sont principalement liées à : une erreur d'alignement du pochoir, à la quantité et à l'alliage de soudure utilisés [5, Chap. 52.3.3] et au profil de température de refusion [33]. Ce défaut peut être de taille microscopique (cf. figure 2.3.b) et extrêmement difficile à détecter. Si un court-circuit n'est pas détecté, cela peut causer de

graves dommages à l'assemblage du circuit, comme un « *burn-up* », une explosion d'un composant, et l'épuisement d'une piste de PCB dû à l'échauffement excessif « *track over-heating* ».

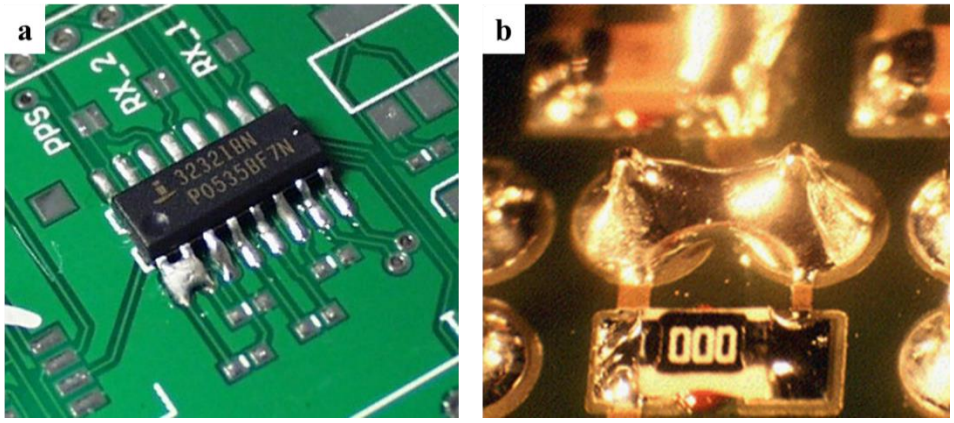


Figure 2. 3. Exemple de défaut de court-circuit, a) « *solder bridge* » détectable à l'œil nu ; b) « *solder bridge* » microscopique [30]

2.1.3. Glissement de composants

Le glissement du composant peut être décrit comme le désalignement d'un élément sur sa cible. Il peut se produire pendant la refusion en raison de la capacité des composants à flotter sur la soudure en fusion. Les composants passifs bipolaires placés sur des plages d'accueil et non maintenus par un point de colle sur le PCB subissent des déplacements, rotations ou relèvements, les entraînant hors de leurs plages d'accueil.

Ces déplacements sont dus aux tensions superficielles exercées par le point de soudure fondu en premier, alors que l'autre point est encore à l'état solide. Le composant est alors "happé" et prend des positions diverses ce qui peut provoquer un défaut. Une seconde raison, liée à la première, est que sous l'effet de la température, les matériaux se dilatent et provoquent la rupture de contact entre l'une des extrémités du CMS et le PCB. Le composant n'est alors plus lié à la première plage et se retrouve libre d'être attiré par l'autre extrémité restée en contact avec la brasure et sa plage. Le déplacement horizontal pour le composant hors de ses plages est appelé glissement « *Component Shift* » (figure 2.4.a), alors que le redressement sur une des extrémités porte différentes appellations: effet « *Manhattan* », effet « *Tombstone* », « *Drawbridging* » (figure 2.4.b) [30]. La norme IPC-A-610 inclut des détails sur toutes les classes de défaut relatives au glissement de composants et leur degré d'acceptabilité.

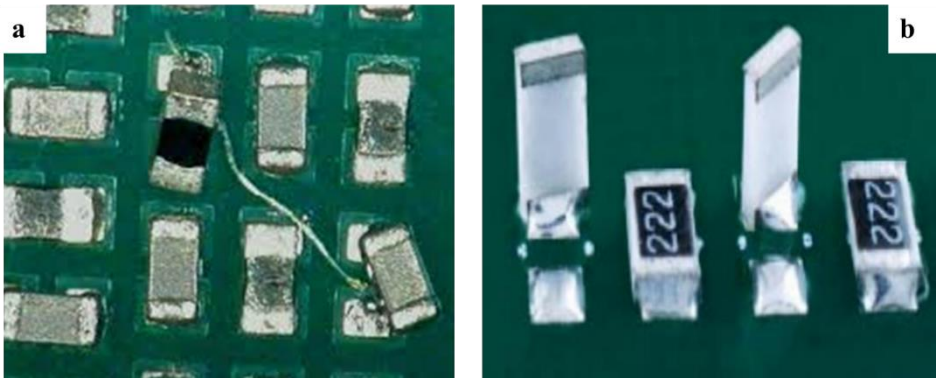


Figure 2. 4. Exemple de défaut de glissement d'un composant, a) Déplacement horizontal hors de plage d'accueil ; b) Redressement vertical [30]

2.2. DEFAUTS LIES AU PLACEMENT

La cadence et le volume de production des assemblages dirigent le choix des machines de placement automatiques de composants CMS. Ces machines utilisent généralement un système de table mobile X-Y contrôlé par logiciel, et ont une précision de placement variable d'une machine à l'autre, et peuvent induire des défauts si elles ne sont pas contrôlées régulièrement.

2.2.1. Composants absents

Ce type de défaut peut être dû à une mauvaise application de la pâte à braser sur les plages d'accueil en question lors de la sérigraphie. Il peut être dû aussi à un défaut de machines de placement automatique ou à la deuxième étape de refusion, pour les PCBA avec des composants CMS sur les deux faces, qui fait que certains composants CMS sur la première face se dessoudent sous l'effet de la température et se perdent dans le four lors de la refusion des composants de la deuxième face. Une inspection optique après les étapes de refusion devrait être capable de vérifier la présence de tous les composants sur leur plage d'accueil à un certain degré de précision. La figure 2.5 montre un cas de figure de condensateur manquant, qui peut être dû à un défaut de sérigraphie (manque de dépôt de colle), de machine de placement, ou de double refusion [5, Chap. 52.3.3].

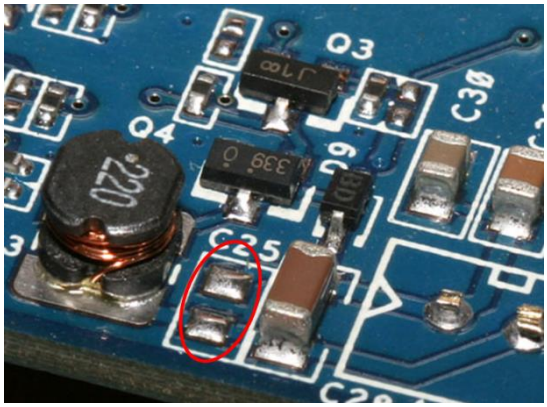


Figure 2. 5. Défaut d'absence de composant sue le PCBA

2.2.2. Composants erronés

Le placement d'un composant passif différent de celui qui devait être placé, peut-être dû à un mauvais chargement de bobine de composants par l'opérateur, ou à une erreur de programmation de la machine de placement [5, Chap. 52.3.3].

Ce défaut peut être critique dans le cas où le composant erroné a le même boîtier que le composant de base, qui devait être placé au premier lieu. Ce mauvais composant peut échapper facilement aux inspections automatiques post-refusion, ainsi qu'au test ICT s'il n'est pas dans la zone de couverture de test.

2.2.3. Composants de valeurs erronées

L'assembleur de PCBA achète des composants livrés sous forme de bobines (cf. figure 2.6.b) qui sont garanties conformes à leurs spécifications par les fabricants. Néanmoins, des composants qui dérivent de leurs valeurs initiales spécifiées par le fabricant peuvent y être présents.

Une mauvaise manipulation de la part de l'opérateur peut aussi donner lieu à ce type de défaut : un opérateur qui alimente une machine de placement (cf. figure 2.6.a) avec une bobine de condensateurs CMS céramiques de référence 1210 et de valeurs 22µF au lieu d'une bobine de condensateurs de référence 1210 et de valeurs 2.2µF.

Une fois montés sur le PCB, ces composants sont difficilement détectables par les moyens d'inspection post-refusion (AOI/AXI), surtout s'il s'agit de composants passifs sans codification sur la surface, comme les condensateurs céramiques par exemple. Ils peuvent également échapper au test ICT dans le cas où ils sont montés en parallèle avec une possibilité de compensation de valeur, ou s'ils ne sont pas inclus dans la zone de couverture de test ICT.

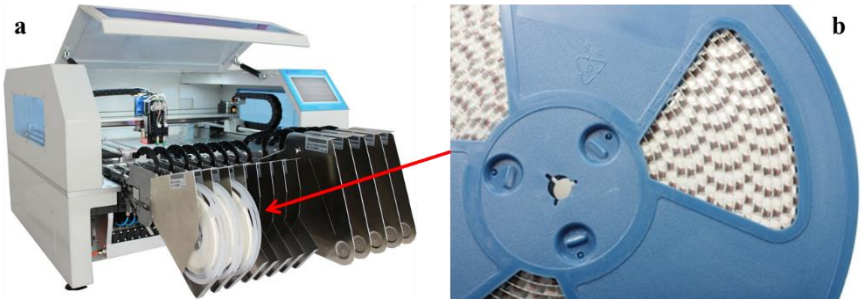


Figure 2. 6. a) Machine de placement « *pick-and-place* » séquentielle ; b) bobine de composants CMS

2.3. DEFAUT LIE A LA PROPRETE

Les circuits imprimés doivent être assemblés de façon à être de qualité uniforme et ne présenter aucune preuve visuelle de saleté, de corps étrangers, d'huile, d'empreintes digitales, de taches d'Etain/Plomb ou de brasure sur la surface du diélectrique, de résidu de flux et d'autres contaminants qui affectent leur qualité [34], [35]. La présence de l'un ou de tous ces contaminants peuvent entraîner une dégradation des composants et altérer leurs caractéristiques électriques se traduisant par un dysfonctionnement prématuré du PCBA. Des contaminants laissés sur le PCB peuvent provoquer une corrosion des pistes, des joints de soudure et des métallisations des composants.

2.3.1. Effet des dendrites

Les dendrites sont des corrosions remarquables du fait de leur arborescence fractale caractéristique. L'effet des champs électriques entre des pistes métalliques ou des vias métallisés organise la position des résidus contaminants donnant ainsi des constructions en forme "d'éclair". Ces dépôts fonctionnent ensuite comme des ponts salins conducteurs en facilitant les courants de fuite et les courts-circuits [36]. La figure 2.7 montre un défaut de court-circuit entre deux vias métallisés dû aux dendrites.

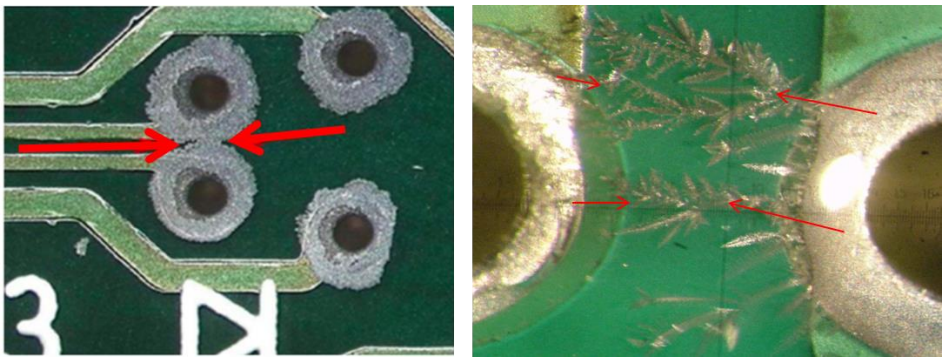


Figure 2. 7. Défaut de court-circuit entre deux vias métallisés dû aux dendrites.

2.4. SPECTRE DE DEFAUTS

La figure 2.8 résume le spectre de défauts typiques d'un procédé d'assemblage de composants CMS selon [8, Sect. 53.3].

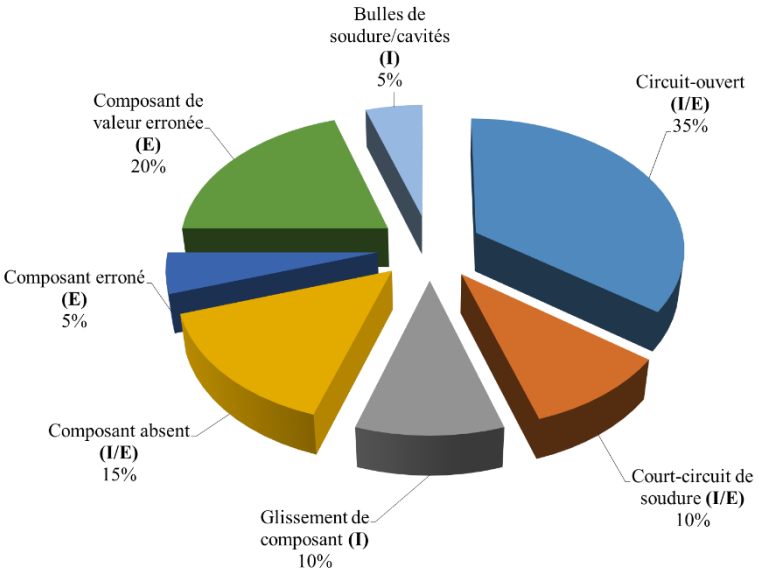


Figure 2. 8. Spectre de défauts typique d'un procédé d'assemblage de composants CMS

Les marquages (I), (E) et (I/E), présentent les moyens industriels de détection qui sont utilisés actuellement pour détecter ces défauts. Les défauts marqués par (E) peuvent être détectés par un test électrique, l'ICT par exemple. Ceux qui sont marqués par (I) peuvent être détectés par des moyens d'inspection optique ou par rayon-X. Ceux qui sont marqués par (I/E) peuvent être détectés par test électrique ou par inspection suivant la complexité de l'assemblage [8, Sect. 53.3.1]. Ces moyens de test et d'inspection de base sont combinés à d'autres techniques pour créer ce que nous appelons dans le jargon industriel : une stratégie de test.

Une stratégie de test est la feuille de route qui détermine toutes les activités d'inspection et de test à appliquer pour livrer un produit conforme aux spécifications et aux normes industrielles. Ces normes peuvent décrire à la fois la qualité et la fiabilité du produit.

Les normes de l'institut des circuits imprimés « *Institute of Printed Circuits* » (IPC) ont fixé des critères de performance pour chaque classe de produit assemblé [27]:

- Les produits appartenant à la classe 2 devraient :
  - Maintenir de hautes performances électriques et mécaniques de manière continue et une durée de vie maximale,
  - Garantir un fonctionnement ininterrompu est souhaité mais pas critique.
- Les produits appartenant à la classe 3, sont des produits d'application dans des domaines critiques (avionique, automobile, médicale, etc) et doivent obligatoirement :
  - Avoir une performance électrique et une robustesse mécanique élevées,
  - Avoir un temps d'arrêt nul,
  - Fonctionner dans des environnements extrêmes,

Dans les deux cas, s'assurer que chaque assemblage est de la plus haute qualité et qu'il est en bon état de fonctionnement avant de quitter l'usine est essentiel afin d'éviter les pannes latentes sur le terrain. Il est alors primordial de créer des stratégies avec des techniques de test efficaces pour obtenir une couverture de défauts satisfaisante, un rendement élevé et des tests économiques.

CHAPITRE III :
TECHNIQUES ET STRATEGIES DE TEST EN PRODUCTION

1. QUE VEUT-ON DIRE PAR UNE STRATEGIE DE TEST ?

Comme nous l'avions montré dans les chapitres précédents, il est de plus en plus difficile de placer les points de test sur les dernières générations de PCBA: les joints de soudure sont en effet de plus en plus rapprochés, de plus en plus petits, de moins en moins accessibles, voire pas accessibles du tout (avec les circuits BGA ou CSP, par exemple, dont les contacts sont placés en dessous du composant).

Le test in-situ trouve alors ses limites et doit être complété par d'autres techniques garantissant plus d'accessibilité et plus de couverture de test. Toute la difficulté est de trouver le bon "dosage" entre ces différentes techniques de test car leurs performances respectives varient beaucoup en fonction des types de défauts à détecter. Il faut aussi tenir compte de l'objectif à atteindre en termes de spécifications de test.

Une stratégie de test constitue donc la feuille de route qui détermine toutes les activités d'inspection et de test à appliquer pour livrer un produit conforme aux spécifications. Les spécifications peuvent décrire à la fois la qualité et la fiabilité du produit. Il est essentiel de créer une stratégie efficace pour obtenir une couverture élevée de défauts, un rendement élevé et des tests économiques [9, Chap. 1].

Le choix de la stratégie de test est guidé par des outils d'amélioration de performance du processus de fabrication, comme l'AMDEC (Analyse des Modes de Défaillances, Effets et Criticité) en anglais « *Process Failure Mode Effects Analysis* » (PFMEA), qui permettent d'identifier et d'évaluer les défaillances potentielles d'un processus de fabrication et d'hiérarchiser les actions à entreprendre dans le but d'atténuer leurs risques [37, Chap. 6.3]. La sélection et la disposition des solutions de test pour une stratégie de test réussie exigent donc la réalisation d'une PFMEA préalable et la bonne connaissance du produit et des attentes du client en matière de qualité et de budget.

La figure 3.1 présente un exemple de stratégie de test qui applique différentes inspections et solutions de test à différentes phases pour augmenter la couverture de test pour détecter tous les défauts possibles. Des inspections différentes ou des solutions de test différentes peuvent se chevaucher dans la détection de certains défauts. Cependant, chacune de ces solutions a une capacité unique à détecter un ou plusieurs types de défauts, ce qui justifie leur présence dans la stratégie de test.

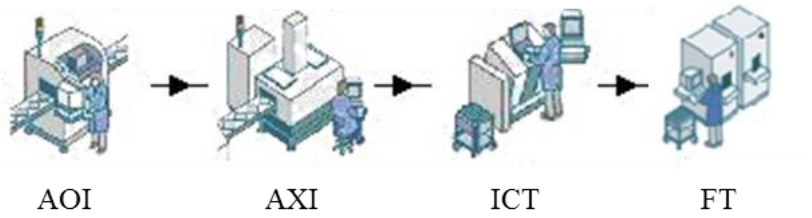


Figure 3. 1. Un exemple de stratégie de test utilisée typiquement dans l'assemblage de produits automobiles contenant des BGAs

2. COUVERTURE DE TEST

La couverture de test, en anglais « *test coverage* » ou simplement « *coverage* », est un paramètre qui décrit la capacité d'une stratégie de test à détecter des défauts possibles [29, Chap. 11.1.4]. D'une manière simplifiée, ce paramètre représente le rapport entre le nombre de défauts que l'on peut détecter, avec une certaine stratégie de test, et le nombre de tous les défauts détectables possibles en (%)[29, Chap. 7.2], [38], [39], [40].

3. LA NOTION DE TESTABILITE ET DU « DESIGN FOR TEST »

La testabilité désigne la facilité d'un système, tel qu'un PCBA, à réaliser des tests probants, afin de détecter un défaut existant. Une testabilité prédictive est obtenue en analysant un produit à tester dans la phase de conception à l'aide de ce qu'on appelle des outils de conception pour le test « *Design for Test or Testability* » (DfT). La testabilité des PCBA peut être caractérisée par deux mesures [41], [42], [43]:

1. Contrôlabilité : possibilité de définir les niveaux d'entrée (analogique/numérique),
2. Observabilité : capacité de lire les niveaux de sortie (analogique/numérique).

Les techniques de DfT ont été utilisées depuis l'apparition des équipements de traitement de données électriques/électroniques dans les années 1940/1950. Les premiers exemples sont les instruments qui permettaient de mesurer sélectivement la tension ou le courant à certains nœuds internes d'un ordinateur analogique [43].

Le DfT fait donc référence au processus de conception qui prend en compte les mesures de testabilité. Sachant que le produit doit être testé facilement et à moindre coût durant le processus de fabrication, le DfT peut nécessiter un *layout* et une liste de composants (BoM : *Bill of Materials*) du produit à tester, afin de pouvoir planifier l'accès aux nœuds de test via les techniques de test à disposition. La conception, dans l'idéal, devrait permettre la contrôlabilité des entrées et l'observabilité des sorties [43], ce qui n'est pas toujours réalisable (contraintes d'accessibilité aux nœuds d'entrée et de sortie du PCBA).

3.1. ANALYSE PREDICTIVE DE TESTABILITE

Une analyse prédictive de couverture de test permet de donner une visibilité préalable sur la testabilité d'un PCBA bien en amont de sa fabrication, c'est-à-dire durant la phase de conception. Il existe des logiciels capables de modéliser la couverture des tests jusqu'aux broches des composants, en traitant des aspects tels que les problèmes d'accessibilité pour le test in-situ, la couverture des défauts de composants et les exigences particulières de performances de chaque PCBA.

Ces logiciels s'adaptent à chaque type de cartes, son volume de production et son spectre de défauts spécifique. L'approche reposant sur l'utilisation de ces logiciels est souvent désignées sous le sigle DfX « *Design for X* » [44], [45], [46]. Ceci est plus particulièrement important pour les PCBA offrant un accès limité au test in-situ. Le contrôle de la conception des cartes au moyen d'un "vérificateur de règles de fabrication" facilite la rectification des défauts de conformité risquant de compromettre sérieusement le niveau de qualité de la production. Permettant aux ingénieurs de test de travailler en parallèle avec les concepteurs, les logiciels de DfX aident à prédire le spectre de défauts ainsi qu'à appréhender la couverture de défauts et les compromis en matière d'accessibilité et testabilité. Un exemple de ces logiciels : TestWay [47] et D2B [48].

En recensant par ordre décroissant les points de test qui offrent la couverture la plus élevée, les concepteurs peuvent choisir avec pertinence ceux qui doivent être privilégiés sur les cartes à accès limité [5, Chap. 51], [49]. De plus, si le logiciel modélise la couverture de défauts fournie par chaque machine présente dans la stratégie de test, il peut identifier les points de test superflus, car déjà couverts par d'autres étapes de test. Cette analyse de testabilité accélère la transition de la conception à la fabrication, le délai de mise sur le marché et le coût des tests en production, tout en améliorant la couverture de défauts [49].

4. NORME IPC-A-610

Dans le but de standardiser la qualité et améliorer l'assemblage des circuits imprimés, l'Association Connecting Electronics Industries (anciennement *Institute of Printed Circuits* IPC) a mis en place une série de normes parmi lesquelles figure la norme IPC-A-610. Il s'agit de la norme la plus utilisée dans le monde pour l'acceptabilité des assemblages électroniques [50].

Incontournable pour tous les services d'assemblage et d'assurance qualité, elle illustre les critères de réalisation pratiques acceptés par l'industrie pour les assemblages électroniques au travers des points détaillés reflétant les défauts et conditions acceptables grâce à des illustrations et des photographies en couleur. Cette norme comme d'autres normes de l'IPC est sujette à des mises- à -jour pour une meilleure lisibilité et une compréhension améliorée - sans supprimer aucune exigence [27].

Les sujets principaux de l'IPC-A-610 incluent les critères d'orientation et de brasage, à la fois en plomb-étain et en sans plomb, des composants traversants et montés en surface ; les exigences de nettoyage, marquage et vernissage des circuits imprimés. Ils incluent aussi des critères pour l'interconnexion des circuits flexibles, PCB sur PCB et boîtier sur boîtier [27].

Cette norme décrit également les critères d'acceptabilité pour la production d'interconnexions et d'assemblages de soudure de bonne qualité. Les méthodes utilisées doivent produire un joint de soudure complet conforme aux exigences d'acceptabilité décrites dans l'IPC-A-610. Le document IPC-A-610 détaille les critères d'acceptation pour chaque classe de carte électronique ('classe 1' étant la moins critique et 'classe 3' la plus critique). Pour chaque classe, des critères sont données pour chaque niveau d'acceptation : <u>objectif</u>, <u>acceptable</u>, <u>défaut</u> et <u>indicateur de processus</u>. La désignation 'non établis' signifie qu'il n'y a pas de critère spécifique pour cette classe et qu'il peut être nécessaire de l'établir entre le fabricant et le client [27].

5. TECHNIQUES DE TEST ET D'INSPECTION INDUSTRIELS

5.1. TECHNIQUES PAR CONTACT :

5.1.1. Test in-situ

Le test in-situ « *In Circuit Test* » (ICT) a pour objectif de vérifier le fonctionnement de tous les composants du DUT. Si tous les composants du DUT fonctionnent correctement, ce dernier est donc considéré sans défaut. L'ICT est un exemple de test de boîte blanche « *White Box Test* » [51], dans lequel une sonde électrique teste un PCB peuplé, vérifiant les courts-circuits, les circuits-ouverts, la présence et la valeur des composants tels que : la résistance, la capacité et d'autres grandeurs de base qui indiquent si le PCBA a été correctement fabriqué. Le test est effectué à l'aide de pastilles dédiées pour garantir que chaque composant est placé sur le PCB avec la bonne polarité (cas de composants polarisés), la bonne valeur et le bon état de joint de soudure. Ce modèle de test est appelé en abréviation : test PPVS (Présence, Polarity, Value, Solder) [52]. En supposant l'exactitude de la conception, des composants et de l'assemblage d'un sous-bloc, les chances de bon fonctionnement de la carte sont donc optimisées [53].

Cette solution nécessite une compréhension complète des sous-blocs et des composants du PCBA dans son ensemble, permettant ainsi de prédire leurs réponses avant d'injecter les signaux de test [9, Chap. 2].

Un grand avantage que présente l'ICT par rapport à l'approche fonctionnelle, que l'on va voir plus tard, se résume dans l'identification directe des composants défaillants, ce qui élimine pratiquement le diagnostic fastidieux que l'on peut avoir lors d'un test fonctionnel [9, Chap. 2], [53].

Par rapport à l'approche d'inspection visuelle que l'on va voir par la suite, l'ICT présente l'avantage de détecter des composants hors tolérance et des défauts de courts-circuits et de circuits-ouverts présents dans des couches internes du PCB, à condition d'avoir des pastilles de test qui y donnent accès [9, Chap. 2].

L'ICT est toujours associé à une technologie de test par contact « *probing* », utilisant des sondes spécifiques pour chaque type de contact (pastille de test ou broche de composant) sur le DUT. Il existe deux types de technologie de « *probing* »: un lit-à-clous fixe et un système de sondes mobiles [5, Chap. 39]. Ces deux types de technologie de test par contact seront discutés par la suite. Malheureusement, avec la densification de l'électronique, le test ICT n'est plus adapté lorsque :

- Un PCBA dense ne fait pas place à un espace physique supplémentaire pour les pastilles de test.
- Les couches du PCB intégrant les pistes du signal à tester ne sont pas accessibles.
- L'accès direct aux broches des boîtiers n'est pas possible (BGA et CSP).
- Les pistes à signaux rapides ne tolèrent pas l'utilisation de pads de test classiques
- La robustesse du substrat du PCB ne tolère pas un contact mécanique sur certaines zones.

De plus, dans certain cas, même s'il est possible de placer physiquement des pastilles pour tester des signaux rapides, ces dernières apportent une désadaptation locale d'impédance sur une ligne de transmission, ce qui peut conduire à des problèmes d'intégrité du signal [9, p. 288].

Il existe deux types de technologie de test ICT où l'on utilise le « *probing* » pour fournir un accès de test par contact sur un PCBA. Le volume de production et le délai de commercialisation sont les deux principaux facteurs à prendre en compte lors du choix entre les technologies de l'ICT suivantes [5, Chap. 39].

5.1.1.1. Lit-à-clous

Un lit-à-clous est créé pour tester une conception spécifique après le processus de production. Il permet d'exécuter tout type de vecteurs de test que l'ingénieur de test a proposé pour le DUT. Le lit-à-clous se caractérise par un débit élevé car les contacts de pastilles de test sont créés dès le positionnement du dispositif de test. Ainsi, le temps de test dépend des commutations électriques dans l'ATE (Automatic Test Equipment) et du nombre de pastilles de test sur le PCBA. Un lit-à-clous est coûteux à installer, il ne convient donc que

pour la production à grand volume. Pour justifier l'achat et l'investissement dans un lit-à-clous, les dépenses de développement de sa fixation, appelée « *Fixture* » en anglais, doivent être négligeables par rapport au profit [5, Chap. 39]. La figure 3.2 montre une fixation de lit-à-clous pour ICT.

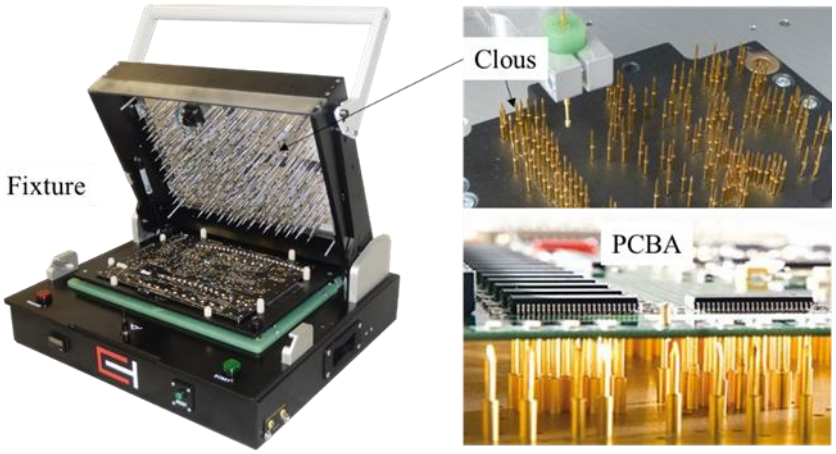


Figure 3. 2. Fixation de lit-à-clous pour testeur in-situ

5.1.1.2. Système à sondes mobiles

Contrairement au lit-à-clous, le système à sondes mobiles *« Flying Probe »* (FP) appelé parfois « *fixtureless ICT* » (FICT) est flexible pour le test par contact et très efficace pour les PCBA denses [5, Chap. 39.4]. L'équipement déplace mécaniquement ses sondes d'une pastille de test à l'autre. Le temps de test est donc dominé par les performances mécaniques des bras automatisés qui retiennent les sondes, comme illustré dans la figure 3.3. La nécessité de repositionner mécaniquement les sondes entre le test de chaque composant entraîne un faible débit de test [54, p. 425], ce qui représente l'inconvénient fondamental de tels systèmes dans le cas de son utilisation comme test principal en production à grande série « *High Volume Manufacturing* » (HVM) de PCBA denses. L'utilisation du système à sondes mobiles reste néanmoins convenable pour le test en production de faible à moyen volume et le test de prototypes. Dans certains cas, nous pouvons étendre son utilisation au test en production HVM quand il s'agit d'une partie peu dense du design [5, Chap. 39.4], [54, p. 426].

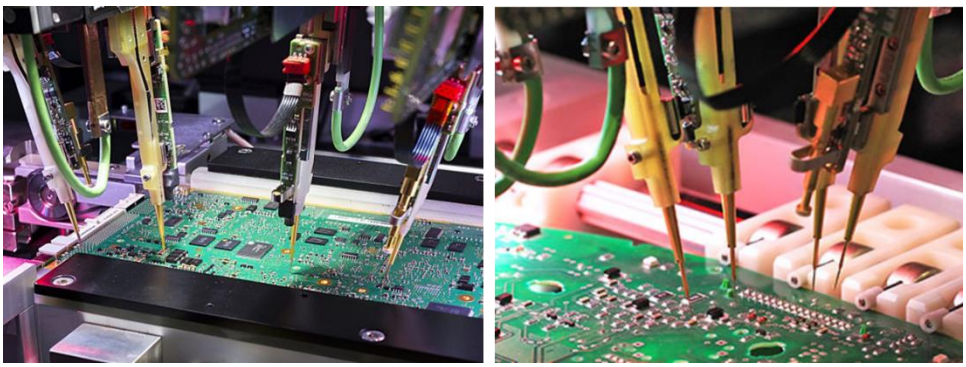


Figure 3. 3. Système à sondes mobiles (FICT)

5.1.2. Boundary Scan Test (BST)

Le test Boundary-scan est une méthode de test utilisée pour résoudre le problème de l'accès physique limité de test. Dans les normes industrielles d'aujourd'hui, il est connu sous le nom de norme IEEE 1149.1 et est largement utilisé. Cependant, de par sa nature, il est limité aux interconnexions entre des CI numériques où au moins un CI est conforme à la norme [11, Chap. 1]. Dans de tels scénarios, des techniques de test de cluster sont appliquées pour tester les interconnexions entre les CI numériques et les périphériques conformes à la norme IEEE 1149.1 [11, Chap. 1].

Dans de nombreux cas, des tests par contact direct et des mesures supplémentaires sont nécessaires pour obtenir une couverture à 100% des défauts, bien qu'un PCBA testé comporte plusieurs dispositifs conformes à la norme IEEE 1149.1.

En raison de la diversité des composants montés sur les PCBA et de l'accès physique limité, la norme IEEE 1149.1 devient insuffisante et, par conséquent, les interconnexions avec certains dispositifs (composants passifs, interconnexions non conformes à la norme IEEE 1149.1, CI à signaux mixtes) ne sont pas testées.

Pour surmonter les problèmes liés aux capacités des mesures analogiques et aux tests de composants passifs, IEEE 1149.1 a été étendu à IEEE 1149.4 également appelé « *mixed signal test bus* » ou « *Analog Boundary Scan* » [11, Chap. 7], [55]. Cependant, IEEE 1149.4 présente quelques limitations, telles que ses coûts de mise en œuvre, sa faible bande de fréquence de mesure (DC à ~1 MHz), et son erreur de mesure élevée [56], [57]. Dans cette situation, la couverture des défauts en utilisant la norme IEEE 1149.4 seulement, n'est pas améliorée et doit être associée avec IEEE 1149.1 [11, Chap. 7].

Une amélioration de la norme IEEE 1149.4 vis-à-vis des limitation citées au-dessus, nommée IEEE 1149.8.1, est sortie en 2012 [58], [59] (détails dans la section 6.1).

L'avantage le plus populaire de la solution Boundary-scan est sa capacité à détecter les circuits-ouverts et les courts-circuits sous des boîtiers tels que les BGA. Par contre, du point de vue pratique, elle souffre des limitations suivantes:

- Au moins un des CI testés doit être compatible Boundary-scan pour pouvoir effectuer le test,
- Le test des périphériques non-Boundary-scan avec des périphériques Boundary-scan nécessite des techniques supplémentaires [58],
- Impossible de détecter les défauts liés à la qualité de la soudure.

5.1.3. Test fonctionnel (FT)

Le test fonctionnel, essaie de répondre à la question suivante : le BUT (*Board Under Test*) fait-il ce qu'il est censé faire? Cette solution a une portée plus restreinte que celle de l'ICT. Son objectif est d'évaluer la conformité d'un PCBA aux exigences fonctionnelles spécifiées. Ainsi, il est moins efficace car seul un nombre limité de signaux est mesuré [9, p. 83]. L'utilisation des tests fonctionnels est généralement motivée par les éléments suivants [9, p. 84], [22] :

- Sa capacité singulière à détecter les erreurs temporelles et de synchronisation, qui ne peuvent pas être révélées par le test ICT, car il utilise des fréquences d'horloge appropriées lors des tests.
- Simplicité de la spécification du test car déjà décrite par le fonctionnement final de la carte.

D'autre part, les tests fonctionnels peuvent ne pas intéresser certains fabricants en raison des inconvénients suivants [52], [54, p. 480], [9, p. 96], [22]:

- Dépenses et délais considérables dus à la configuration et à la création du programme de test,
- Autres dispositifs qui doivent être conçus et fabriqués, dans certains cas, pour interfacer le PCBA testé avec l'équipement de test,
- Frais de diagnostic élevés pour les PCBA complexes, car le composant défectueux n'est pas précisément identifié,
- Certains défauts nécessitent l'activation d'un scénario approprié pour qu'ils soient détectés en FT. Le stimulus utilisé peut s'avérer trop risqué pour des applications sensibles.

Un test fonctionnel pourrait paraître suffisant, avec l'idée un peu naïve que si l'on "branche" le circuit ou le produit complet, que l'on teste toutes les fonctions dans tous les cas, on a tout testé. C'est peut-être vrai, mais sans aucune certitude. Par un test fonctionnel, on ne peut pas détecter des défauts de valeurs qui réduisent une marge de fonctionnement ou mettent en péril d'autres composants (par exemple un composant dont la valeur sort légèrement de la marge de tolérance fixée par le concepteur, et qui peut engendrer un vieillissement accéléré du composant). On ne verra pas non plus des cas rares de fonctionnement, de surtensions transitoires, où des protections internes pourraient se déclencher. Le test fonctionnel et le test in-situ sont donc complémentaires.

5.2. TECHNIQUES SANS CONTACT :

L'ajout d'une inspection aux stratégies de test permet de compléter la vérification lorsque les tests conventionnels par contact ne sont pas suffisants [9, Chap. 3]. En outre, il a été rapporté que les défauts découverts lors de l'inspection s'avèrent plus coûteux à déterminer par le biais de tests électriques [9, p. 98]. Le principe de l'inspection est d'examiner la structure de l'assemblage suivant un ensemble de règles permettant de décider si l'assemblage est suffisamment conforme, cependant, on ne peut déterminer s'il fonctionne correctement comme spécifié [9, Chap. 3].

La plupart des fabricants placent une inspection avant le test dans le processus. Elle peut avoir lieu après le dépôt de la pâte à braser, le placement des composants ou la refusion [9, Chap. 3]. L'inspection visuelle, l'inspection optique automatisée (AOI) et les méthodes d'inspection par rayon-X par exemple fonctionnent mieux après la phase de l'application de la pâte à braser, permettant ainsi la correction des défauts avant que les cartes ne soient placées dans le four de refusion tout en évitant la réapparition de ces défauts sur d'autres cartes, ce qui permet de limiter la production d'éléments défectueux à une phase antérieure du processus de production et d'éviter le gaspillage du budget de production sur des articles défectueux [9, Chap. 3].

Le choix entre les méthodes d'inspection, comme pour les tests, dépend de la nature des PCBA et du processus de fabrication.

5.2.1. Inspection visuelle manuelle

L'inspection visuelle peut être utilisée après différentes étapes lors du processus d'assemblage de PCBA. Par exemple, après le dépôt de la pâte à braser et le placement des composants, le personnel d'inspection est en mesure de détecter les défauts évidents à l'œil nu tels qu'une soudure contaminée ou des composants manquants ou décalés [9, Chap. 3]. Un autre type d'inspection visuelle appelé inspection par lumière blanche « *3D White light scanning* » est capable d'inspecter les joints de soudure par refusion en observant les rayons lumineux réfléchis par un prisme sous différents angles [9, p. 107].

La validité de l'inspection visuelle dépend de la compétence du personnel d'inspection à appliquer la norme d'inspection. Les inspecteurs doivent être parfaitement au courant des exigences techniques pour chaque type de joints de soudure, car chaque type de joints de soudure a ses propres critères d'acceptabilité, tandis que plus de six types de joints de soudure sont éventuellement disponibles sur différents PCBA, ce qui peut rendre la tâche extrêmement difficile pour les opérateurs [9, Chap. 3].

De plus, l'inspection visuelle manuelle ne convient pas à l'inspection des joints de soudure dissimulés, tels que ceux effectués sur des dispositifs ultrafins avec des boîtiers de haute densité. L'inspection visuelle manuelle est donc considérée comme une technologie peu coûteuse et facile d'accès, applicable pour l'inspection de gros défauts sur des assemblages assez simples et peu dense, tandis que pour des assemblages de type HDI, une inspection visuelle automatique est nécessaire [9, Chap. 3].

L'inspection offre de nombreux avantages par rapport aux tests par contact physique. Ces avantages peuvent être résumés comme suivant [9, Chap. 3]:

- Il s'agit d'une solution non invasive.
- Capacité de détecter la qualité de la soudure et donc les problèmes de fiabilité,
- Indications sur les modifications à porter sur les étapes de traitement précédents afin d'obtenir de meilleurs rendements et diminuer le taux de rebut,

Toutefois, il est possible de mettre fin à l'utilisation de l'approche d'inspection visuelle manuelle en raison des inconvénients suivants, qui résultent principalement de l'évolution de l'électronique dense et miniaturisée [9, Chap. 3] :

- L'inspection visuelle manuelle est impossible avec les cartes de type HDI et les PCBA à haute densité d'intégration de composant,
- Il est impossible de détecter les défauts situés sous des composants tels que les BGA
- Cette solution peut être extrêmement coûteuse en raison du temps passé à examiner un DUT complexe.

5.2.2. Inspection visuelle automatique : AOI

Cette solution a été développée pour automatiser l'inspection visuelle et implique l'utilisation de techniques de traitement d'images et d'algorithmes de comparaison et de détection d'anomalies. L'inspection par AOI est dite 'référentielle', une image de référence est stockée au préalable dans l'unité de traitement pour comparer avec le contenu de l'image prise par les caméras d'inspection. Dans l'assemblage de PCB, la soudure, la polarité et les valeurs des composants (si codification présente sur la surface du composant inspecté) sont vérifiées. L'AOI se caractérise par les avantages suivants [9, Chap. 3] :

- C'est une solution non invasive et rapide (en fonction de la rapidité des algorithmes de détection d'anomalies),
- Elle est capable de détecter les marquages incorrects (valeurs), l'orientation et la présence des composants sur la carte,
- Elle permet une intervention minimale des opérateurs,
- Elle permet d'obtenir un meilleur rendement, car elle évite la propagation des défauts détectés et permet une correction plus rapide dans les premières étapes de l'assemblage,

Cependant, l'approche AOI présente les inconvénients suivants:

- Il est impossible de détecter les défauts électriques et les composants défectueux,
- Il est impossible dans certains cas de détecter les défauts situés sous des composants tels que les BGA.
- Elle nécessite une phase d'apprentissage de la machine pour les composants à vérifier,
- Elle est très sensible à la variation du fournisseur des composants,
- Plus la résolution requise est fine, plus il faut de temps pour inspecter une carte,
- La construction d'un 'programme' d'inspection raisonnablement précis nécessite une bonne simulation de carte à tester, ce qui n'est pas toujours facile à réaliser pendant la période de préparation finale pour la production.

5.2.3. Inspection par rayon-X

La densification et la miniaturisation de l'électronique moderne a conduit à l'utilisation de plus en plus de composants en boîtier BGA (cf. figure 1.1, Chapitre I). Ce boîtier est apparu comme une solution pour traiter le nombre élevé d'interconnexions entrée/sortie, toute la surface inférieure du composant peut être utilisée, au lieu du périmètre seulement, comme il est le cas pour les boîtiers DIP (*Dual Inline Package*) et QFP (*Quad Flat Package*). Étant donné que toutes les billes de soudure BGA se trouvent sous le boîtier, il est impossible de déterminer visuellement si les billes de soudure réalisent un bon contact avec les pads. Les sous-sections précédentes indiquent que les deux solutions optiques citées sont incapables de détecter les défauts invisibles. En outre, L'ICT a du mal à tester ce type de boîtier vu le manque d'accessibilité au niveau de ses broches. Pour ces raisons, la solution d'inspection par rayon-x « *Automatic X-ray Inspection* » (AXI) est apparue afin de pallier le manque de testabilité introduit par l'utilisation de ces composants.

Le système AXI est utilisé immédiatement après le processus de soudure pour révéler les défauts sous les boîtiers dans lesquels les joints de soudure sont masqués, tels que les BGA et les CSP (Chip Scale Package). Ce système permet également d'analyser la qualité de la soudure et d'ajuster le processus de brasage en examinant les cavités de soudure (en anglais « *voids* »), les billes de soudure hors de leur emplacement, l'excès de soudure, une soudure insuffisante et les courts-circuits [9, Sect. 3.3.5.3]. Tous ces éléments assurent la fiabilité à long terme du produit final.

Malheureusement, la technologie AXI actuelle doit encore être améliorée en raison des inconvénients suivants:

- Difficulté à détecter les défauts de circuits-ouverts sous des boîtiers BGA.
- Plus cher que les autres solutions.
- Temps de cycle plus lent que les autres solutions.
- Consomme encore plus de temps lorsqu'elle est appliquée à des séries de production de très haute qualité.

La sensibilité aux rayons X de certains composants numériques, tels que les mémoires Flash, limite l'utilisation de cette technique dans certains cas afin de ne pas dégrader leurs performances.

Malgré ces inconvénients, l'AXI reste une solution efficace pour détecter des défauts liés à la fiabilité des PCBA, et donc irremplaçable pour les produits de haute qualité. La figure 3.4 illustre les défauts que seul l'AXI est capable de détecter par rapport aux autres techniques de test d'inspections citées précédemment.

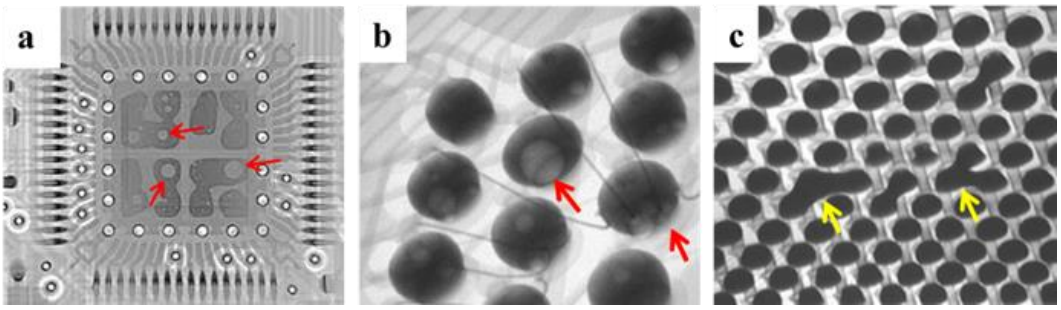


Figure 3. 4. Défauts détectable seulement par AXI, a) défaut de bulles de gaz présentes dans la soudure sous un composant QFN; b) Défauts de bulle de gaz présentes dans les billes de soudure d'un BGA [60]; c) Défauts de court-circuit liant plusieurs billes de soudure d'un BGA;

5.3. COMPARATIF

Les fabricants de cartes électroniques font face à l'exigence sans cesse croissante de réduire leurs coûts, d'améliorer la qualité de leurs produits et de raccourcir leurs délais de mise sur le marché, ce qui leur impose de bien maîtriser leurs processus de fabrication et d'avoir une stratégie de test bien adaptée. Le retour sur investissement (ROI, *Return On Investment*) d'une stratégie de test efficace peut se chiffrer au total à 3 semaines de gagnées sur les délais de commercialisation [49].

Une stratégie de test de PCBA doit prendre en compte les différents outils de test disponibles que nous avions décrits précédemment : AOI, AXI, ICT, FPT, FT. Chacune de ces technologies se caractérise par sa couverture de défauts et ses performances propres, qui doivent être choisies et évaluées selon les objectifs recherchés [49].

La définition d'une stratégie de test optimale passe par des compromis entre coûts d'exploitation, coûts d'investissement, taux de couverture de test, cadence de test, résolution de diagnostic, rapidité du retour d'informations des processus d'assemblage et fiabilité des produits à long terme [49], [9, Chap. 10].

Le tableau 3.1 aide à comparer ces techniques suivant leur capacité de détection de défauts d'assemblage partant de l'hypothèse de départ suivante: 5000 équipotentielles, 25000 joints de soudure, 80% des nœuds accessibles à l'ICT, 10 composants BGA sur la carte, ce qui correspond à un cas de PCBA moyennement dense [49], [32], [61]:

Tableau 3. 1. + : Couverture faible ou nulle, ++ : couverture moyenne, +++ : couverture élevée

Origine du défaut d'assemblage	Inspection visuelle manuelle	AOI	AXI	FPT	ICT	FT
Courts-circuits	++	++	+++	++	++	++
Circuits-ouverts	+	++	+++	++	++	++
Fiabilité des joints de soudure	+	++	+++	+	+	+
Faux composant	+	+++	+	+++	+++	++
Composant absent	++	+++	+++	+++	+++	++
Composant défectueux	+	+	+	+	++	+++
Polarité de composant incorrecte	++	+++	++	+++	+++	++
Fiabilité fonctionnelle	+	+	+	+	+	+++

6. TECHNIQUES DE TEST EN PHASE DE RECHERCHE

6.1. COUPLAGE CAPACITIF ASSOCIE AU BOUNDARY-SCAN

La mesure par couplage capacitif a été introduite par la norme IEEE 1149.8.1 pour tester les circuits conformes et non-conformes à la norme Boundary-Scan (IEEE 1149.1). Elle permet de tester d'autres éléments du circuit également, tels que les composants en série, les 'sockets' et les connecteurs [58], [62]. Le principe de cette technique consiste à stimuler une broche d'un CI non alimenté à l'aide d'un signal AC, puis à mesurer le couplage capacitif entre cette broche et un capteur placé au-dessus, ce qui donne une idée sur l'état de défaut de la broche (court-circuit ou circuit-ouvert) en surveillant le niveau d'impulsion reçu. Ce même principe a été également appliqué pour le test de wafer [63], [64], et a été développé et adopté par beaucoup de fournisseurs de testeurs ICT [65], [66], [67], [68], [69].

Cependant, les limitations de cette technique en font au mieux une solution partielle :

- La miniaturisation des CI ainsi que l'utilisation de larges dissipateurs de chaleur conduisent à la dégradation du rapport signal sur bruit, réduisant ainsi la fiabilité de cette technique,
- Pour certains CI non compatibles Boundary-scan tels que les mémoires par exemple, la détection capacitive entraîne des coûts supplémentaires de développement de DfT, car le packaging et la préparation des tests ne sont pas simples [70],
- L'impossibilité de détecter deux défauts de type circuit-ouvert sur une même paire différentielle [59],
- Les courts-circuits au niveau des connecteurs de condensateur peuvent échapper à la détection [59],
- Aucune détection n'est possible au niveau d'un CI lorsque les cellules Boundary-Scan associées sont uniquement en entrée [59].

6.2. TEST PAR COURANT DE FOUCAULT

La technique de détection par courant de Foucault, appelée aussi ECT (*Eddy-Current Test*), est une autre approche qui a incité les chercheurs à innover dans le domaine des tests [71], [72], [73], [74]. Cette technique utilise des bobines d'excitation et de détection pour inspecter des PCB nus et peuplés, et permet de détecter les défauts liés à l'état de surface des matériaux conducteurs tels que les fissures, la corrosion et la perte en épaisseur. Malheureusement, cette technique ne permet pas de localiser facilement ces défauts pour une analyse ultérieure du processus de fabrication. Par conséquent, son utilisation reste limitée au test des PCB simples et non-peuplés.

Parmi les limitations de cette technique l'empêchant d'être adoptée comme solution de test de PCBA en production [75], [76]:

- La technique ne teste que les éléments conducteurs sur un PCB,
- Le courant de Foucault se concentre près de la surface du conducteur dû à l'effet de peau, ce qui signifie qu'un défaut qui n'entre pas en contact direct avec le courant ne peut pas être détecté,
- La technique est incapable de détecter les défauts situés sur des pistes internes du PCB, si celles-ci se trouvent sur la même verticale avec des conducteurs de couches supérieures non-défectueux.

6.3. TEST PAR EFFET PHOTOELECTRIQUE

Pour un test sans contact de PCB nus ou peuplés, des techniques tirant profit de l'effet photo-électrique des matériaux constituant les pistes conductrices ont été proposées dans plusieurs brevets [77], [78], [79], [80].

Par définition, l'effet photoélectrique dans un conducteur consiste à générer des électrons libres supplémentaires sous l'effet d'un flux lumineux (source laser par exemple) [5, Sect. 40.10]. L'effet photoélectrique est généré pour une longueur d'onde adaptée même avec un faible flux lumineux, il peut donc être observé même pour de très faibles puissances mises en jeu, ce qui permet d'envisager un fonctionnement

qui n'endommage pas le conducteur. Il ne se produit pas au niveau des isolants, bien que des ionisations puissent apparaître sous l'action de photons hautement énergétiques [77].

Selon les procédés décrits dans [77], [81], [82] permettant de tester la continuité d'une piste conductrice, un faisceau de particules de haute énergie émis d'une source laser est appliqué sur un premier point du conducteur à tester en vue de lui arracher des électrons par effet photoélectrique. Ces derniers sont collectés par une plaque métallique portée à un potentiel positif et disposée en parallèle à la piste testée, puis l'intensité du courant traversant le circuit qui relie ce collecteur et la seconde extrémité de la piste est mesurée. La comparaison de cette intensité de courant avec l'intensité de courant obtenue sur la même piste d'un PCB exempt de défauts permet de déduire sur la continuité de la piste.

Toutefois, la mise en œuvre de ce procédé s'avère complexe et laborieuse, ce qui peut ne pas offrir des avantages de coût/performance significatifs. En effet, la quantité de courant fournie par le faisceau d'électrons est si faible que seul un médiocre test de continuité est possible. La durée de test est affectée par la capacitance de la piste à tester, car il faut plus de temps pour que le courant atteigne un niveau de tension significatif [5, Sect. 40.10.1]. Une autre limitation réside dans la nécessité d'effectuer les mesures sous vide, ce qui oblige à utiliser des systèmes de pompage généralement coûteux [5, Sect. 40.10.1].

6.4. TEST PAR SCAN DE CHAMP MAGNETIQUE

Le scan de champ magnétique est un autre test non invasif qui tente d'examiner les PCB lorsqu'ils sont sous tension ou stimulés d'autres façons [83], [84], [85].

Une autre solution de test sans contact combine les tests Boundary-scan et une méthode de communication, telle que la RF, le champ lointain ou le champ proche. Cette solution vise à réaliser une méthode de test sans contact complète pour les wafers. Le cœur de cette technique consiste en une antenne qui fonctionne en émetteur-récepteur [86], [87], [88].

Le même concept a été orienté pour la détection de résonnance des éléments conducteurs dans un PCB non alimenté [89]. Une sonde intégrant à la fois un émetteur et un récepteur de champ magnétique proche « *Near Electromagnetic Field* » sert à exciter un élément conducteur constituant le PCB. Le couplage du champ magnétique avec le conducteur crée à son tour un champ magnétique proche qui est capturé par la sonde, donnant ainsi, par comparaison avec des mesures de référence, une idée sur l'état de défaut du conducteur. Cette technique introduite principalement pour l'analyse de susceptibilité électromagnétique, reste très limitée pour un usage dans le test d'assemblage de PCB en production, vu la large résolution de la sonde émettrice-réceptrice et le temps de détection important. Une autre limitation consiste en la nécessité d'utiliser plusieurs sondes afin de tester un PCBA entier, ce qui pourrait entraîner des interférences entre les sondes.

Une application utilisant le même principe et qui s'affranchit des interférences entre les capteurs magnétiques est décrite par J. Soiferman dans plusieurs brevets [83], [90], [91]. Elle présente une méthode pour tester des PCB nus et peuplés tout en éliminant les inconvénients cités précédemment. Cette méthode, nécessite la stimulation du PCB à tester (BUT) avec un signal AC via des pistes ou des couches d'alimentation, afin de pouvoir mesurer la distribution des champs électromagnétiques à proximité du PCB en utilisant un réseau de d'antennes champ proche imprimées. Ces champs électromagnétiques sont générés par les courants traversant les pistes et les composants du BUT. Les mesures de ces champs produisent un motif électromagnétique (EM) spécifique au BUT qui est ensuite comparé à un motif de référence afin de déterminer si le BUT est défectueux ou non-défectueux.

Cette technique présente deux inconvénients critiques qui la rendent inadaptée pour une exploitation industrielle de détection de défauts d'assemblage :

- Le temps nécessaire pour l'établissement d'un motif EM complet du BUT,
- La résolution de diagnostic insuffisante en cas d'anomalie détectée.

Une technique a été introduite dans [92] permettant de mesurer galvaniquement l'adéquation de l'interconnexion liant deux CI sans avoir à les contacter physiquement. Des informations sur les terminaisons d'interconnexion sont obtenues en utilisant le comportement de diaphonie à double bande entre la piste détectrice d'un véhicule de test et l'interconnexion testée. En revanche, cette technique présente les limitations suivantes :

- L'utilisation est limitée aux PCBA moins denses avec des pistes accessibles sur la première couche uniquement,
- Une bonne précision est requise lors de la fabrication du véhicule du test ce qui fait augmenter le coût et le temps de développement,
- Impossibilité de réutiliser un même véhicule de test pour des conceptions différentes de BUT.

Un autre type de sonde mesurant le champ électromagnétique est reporté dans [93]. Contrairement aux sondes à capteurs magnétiques, la sonde électro-optique (EO) est basée sur l'effet Pockels qui convertit un champ EM en modulation optique. Elle est moins intrusive et a une résolution légèrement meilleure qu'une sonde champ proche classique. En revanche, elle présente des difficultés par rapport à la maitrise de la sensibilité qui est très variable en fonction de la qualité du cristal et de la distance entre la sonde EO et le BUT.

6.5. TEST PAR IMAGERIE INFRA-ROUGE

Toujours dans l'optique de tester un assemblage de PCB sans contact, les industriels ont eu recours pendant des années à l'inspection infrarouge pour examiner des PCB nus afin de détecter les courts-circuits et autres défauts similaires. Ceci est fait en alimentant le PCB et en identifiant les "points chauds". Lorsque les PCB sont alimentés, même brièvement, les zones contenant des défauts chauffent et deviennent détectables par inspection infrarouge. Historiquement, cette technique souffrait d'une résolution spatiale assez réduite et d'une sensibilité thermique très faible. En outre, les tests étant généralement effectués à l'air libre, la méthode devait résister à un environnement thermique non-maitrisé, associé au bruit aléatoire inhérent aux images issues de la caméra infrarouge [9, Sect. 3.3.4].

Des approches tenant à réinventer cette technique pour le test de PCB peuplés utilisant des signatures thermiques infrarouges ont été rapportées dans [94], [95], [96]. Selon l'image infrarouge capturée de chaque CI monté sur le PCB, et à l'aide d'un système de classification et une base de données de référence, le BUT peut être libellé défectueux ou non avec un diagnostic suffisamment précis.

Le principal inconvénient de cette technique qui subsiste encore est le temps nécessaire pour effectuer la mesure de température, ce qui limite dans certain cas son intégration dans une stratégie de test en production.

6.6. TEST PAR TECHNIQUES DE MICRO-ACCES

Dans le cas où l'utilisation de point de test sur un PCBA est inévitable, et pour s'affranchir des effets négatifs des points de test classiques dans les PCBA à haute densité et à signaux rapides, diverses solutions alternatives de micro-accès ont été proposées [97], [98], [99], [100], [101], pour garantir un accès physique aux nœuds de test pour les testeurs ICT.

La technologie de sonde à billes d'Agilent « *Bead Probe* » [97], la bosse de soudure de Rex Waygood « *Waygood bump* » [98, p. 28], la bosse de soudure de Prasad « *Prasad bump* » [99], la technique d'accès de Vaucher [102], [100], et d'accès par composant « *Test Access Component* » [101], offrent tous un moyen de conserver l'accès électrique aux assemblages complexes de PCB d'aujourd'hui. Ces techniques, dont certaines remontent aux années 1980 et 1990, sont en train d'être redécouvertes et redéployées dans la production à volume élevé afin d'obtenir un accès électrique aux nœuds de signaux rapides présents sur les PCBA à haute densité d'intégration [103]. Ces objets de micro-accès définis dans ces solutions sont suffisamment petits géométriquement pour avoir un impact minimal, voire nul, sur le routage du signal du PCB et un impact minimal sur l'intégrité des signaux rapides. Le tableau 3.2 rapporte le principe, les avantages et les limitations identifiées jusqu'à aujourd'hui des techniques susmentionnées.

Tableau 3. 2. Principe, Avantages et inconvénients des techniques de micro-accès.

Technique de micro accès	Date	Concept	Avantages	Limitations
Waygood Bump [98, p. 28]	1990	Placer de petites bosses de soudure sur des pastilles de test et les contacter avec des sondes à tête large	Améliore la précision des sondes en ciblant les bosses de soudure avec de large sondes de test plutôt que les grandes pastilles de test avec des sondes de test pointues	La taille des pastilles de test peut nuire aux performances et au placement des sondes pour les PCBA HDI.
Technique d'accès de Vaucher [102], [100]	1996	Ouvrir de petites ouvertures dans le masque de soudure au-dessus des pistes de signal à tester et les contacter avec des sondes à bouts déformables	Permet un accès direct aux pistes de signal avec des sondes spéciales ne nécessitant pas des bosses de soudure.	La fiabilité des contacts et de la mesure dépend des performances de la sonde déformable.
Prasad Bump [99]	1997	Comme pour les bosses de soudure de Waygood, mais propose que les bosses de soudure soient placées sur des pastilles de test nettement plus petits.	Mieux adaptée que les bosses de soudure de Waygood pour les PCBA HDI.	Des pastilles de test et des bosses de soudure plus petits peuvent réduire les performances et la robustesse mécaniques.
Bead Probe [97]	2003 - 2007	Placer de petites bosses de soudure directement sur les traces de signal à travers des ouvertures sur le masque de soudure et les contacter avec des sondes à tête large.	Bien adaptée pour les PCBA HDI.	-Technique sous licence, limite l'utilisation par les fabricants d'équipements -Une performance mécanique moins robuste. -Nécessite une étape d'inspection supplémentaire lors de sa mise en place
Test Access Component [101]	2007	Placer de petits composants CMS directement sur les pistes de signal à tester et les contacter avec des sondes à tête large.	Performances mécaniques très robustes par rapport aux autres techniques de micro-accès.	-Besoin de placer un composant CMS supplémentaire pouvant augmenter les coûts. -Nécessite une étape d'inspection supplémentaire lors de sa mise en place

7. CONCLUSION

Comme abordé dans les chapitres précédents, des raisons économiques, de performance et d'environnement continuent à pousser l'électronique à évoluer vers la miniaturisation. Par conséquent, le test des assemblages de PCB est devenu de plus en plus difficile dû à la taille des composants et à la complexification des conceptions.

Dans ce chapitre la définition d'une stratégie de test a été donnée et les moyens de test conventionnels utilisés dans l'industrie ont été présentés et comparés selon leurs avantages et inconvénients.

Le test in-situ, cœur d'une stratégie de test industrielle réussie, a le plus souffert de cette tendance d'évolution de l'électronique. Il est devenu donc de plus en plus difficile de trouver des solutions de placement de sonde offrant un accès complet aux tests électriques à tous les nœuds de test sur le PCB. L'utilisation de diverses stratégies de test combinant des méthodes d'inspection visuelles et RF, est devenue obligatoire en conjonction avec le test électrique afin d'améliorer la couverture de test qui reste néanmoins insuffisante sur certains assemblages complexes.

En vue d'analyser la testabilité d'un PCBA en amont de sa conception, des logiciels de DfX incluant des outils de DfT sont utilisés. Ces derniers permettent de choisir la bonne stratégie de test en prenant en compte la couverture de test des différentes techniques d'inspection conventionnelles afin d'aboutir au meilleur compromis pour l'accès au test ICT. La couverture de test prédictive calculée par ces logiciels est suffisamment réaliste lorsqu'on la compare avec celle obtenue effectivement en production. Cette dernière reste néanmoins insuffisante à cause des problèmes d'accessibilité physique limitant l'ICT.

Une discussion autour des techniques de test et d'inspection en phase de recherche a été menée et une analyse des avantages et des inconvénients a été faite afin d'identifier des pistes susceptibles d'améliorer l'accessibilité physique de l'ICT et d'augmenter la testabilité des assemblages complexes.

Dans le cas où les contacts physiques ne sont pas réalisables, des solutions de test non invasives tirant profit du comportement électromagnétique, photo-électrique et thermique des composants et des éléments conducteurs du PCB ont été proposées dans l'état de l'art, et ont montré un grand potentiel d'amélioration des techniques de test actuelles sans qu'aucune d'elle ne soit adoptée par l'industrie. Dans un autre cas où le contact physique est inévitable, des techniques de micro-accès ont été présentées et analysées.

Des points d'amélioration ont été identifiés dans ces deux types de solution de test, pour réinventer des techniques répondant le mieux au besoin croissant d'accessibilité de test in-situ et de testabilité d'assemblage complexe en production.

PARTIE II : PROPOSITION DE SOLUTIONS POUR LE TEST DES CARTES ELECTRONIQUES A FORTE DENSITE ET A SIGNAUX RAPIDES

CHAPITRE IV : APPROCHE DE TEST PAR MESURE DU CHAMP MAGNETIQUE PROCHE

1. INTRODUCTION

Comme il a été discuté lors des chapitres précédents, le test des PCBA est devenu de plus en plus difficile et coûteux en raison de l'évolution continue des technologies de packaging et d'interconnexion, rendant ainsi le défi des activités de test plus accru qu'auparavant.

Au cours du processus d'assemblage de PCBA, les fabricants recherchent en permanence des moyens plus rapides, plus précis et plus économiques d'identifier des défauts de type PPVS (présence, polarité, valeur, soudure). C'est pourquoi la réalisation de tests sans contact de PCBA densément peuplés constitue une solution prometteuse et rentable pour assurer un contrôle optimal de la qualité des assemblages lors de la fabrication.

D'une manière générale, les stratégies de test de PCBA impliquent principalement le test ICT complété par des techniques d'inspection dans une première phase appelée « *front-end* », et le test fonctionnel dans une seconde phase appelée « *back-end* ». L'ICT constitue le bloc de test le plus important car le plus discriminant des défauts d'assemblage dans le « *front-end* ». Il présente néanmoins de nombreuses limitations liées à l'accessibilité quand il s'agit de PCBA à forte densité d'intégration, engendrant une grande chute de testabilité et de couverture de test.

Partant de ces éléments limitant le test in-situ mais n'éliminant pas pourtant ses nombreux avantages, l'idée de tirer profit de la nature HVM « *High Volume Manufacturing* » des testeurs ICT et de surmonter leurs limitations en introduisant des tests électriques sans contact est apparue.

Nous présentons dans ce chapitre une nouvelle approche de test utilisant des capteurs de champ magnétique afin de détecter des défauts PPVS sur des PCB peuplés.

Cette technique vise à mettre à jour les testeurs in-situ à travers la diminution du nombre de sondes par contact dans le lit-à-clous de l'ICT en les remplaçant par des sondes de mesure sans contact. La technique consiste à utiliser des capteurs de champ magnétique dans la zone champ proche, qui détectent la distribution de champ magnétique émanant de certains composants montés sur le PCB lorsqu'ils sont traversés par un courant alternatif, dans le but de tester leur présence sur la carte et leur valeur par la suite.

Pour évaluer la pertinence de cette technique, plusieurs scénarios de défaut ont été considérés et analysés avec des algorithmes de détection de valeurs aberrantes. Une discussion autour de ces algorithmes est donnée afin de démontrer le choix le plus convenable en termes de robustesse de détection par rapport à l'application choisie.

PARTIE 1 : CAPTEURS PROPOSES POUR LE TEST PAR SCAN DU CHAMP MAGNETIQUE PROCHE

2. DISCUSSION AUTOUR DES CAPTEURS MAGNETIQUES

La mesure du courant électrique est un concept très bien établi et est continuellement révisé [104, Chap. 2]. Pour cette raison, les limites des techniques classiques de mesure de courant sont bien connues.

Les résistances shunt sont économiques et faciles à utiliser, mais elles produisent des pertes d'insertion, des limites thermiques et de bande passante et ne permettent pas une isolation galvanique [104, p. 11]. Par ailleurs, les techniques basées sur le principe de l'induction magnétique présentent une bonne isolation, mais elles sont limitées en basse fréquence et impliquent généralement des dispositifs de taille proportionnelle à la sensibilité souhaitée [104, p. 22], [105], [106].

La figure 4.1 ci-dessous montre une mesure de champ magnétique dans la zone champ proche en utilisant un capteur à boucle inductive. Ce capteur est une application directe de la loi de Lenz-Faraday qui exprime dans notre cas l'apparition d'une force électromotrice (EMF) dans un circuit électrique (circuit de la boucle inductive), lorsque celui-ci est immobile dans un champ magnétique variable. Les mesures se font dans la zone champ proche à une distance inférieure ou égale à $\frac{\lambda}{2\pi} = \frac{c}{2\pi f}$ du DUT, avec c la célérité de la propagation de l'onde dans le vide et f la fréquence du courant. La notion de champ proche est utile pour préciser que l'on fait la mesure au plus près de la source du champ magnétique, afin de profiter d'un champ de plus forte amplitude et plus concentré, permettant ainsi une meilleure résolution spatiale.

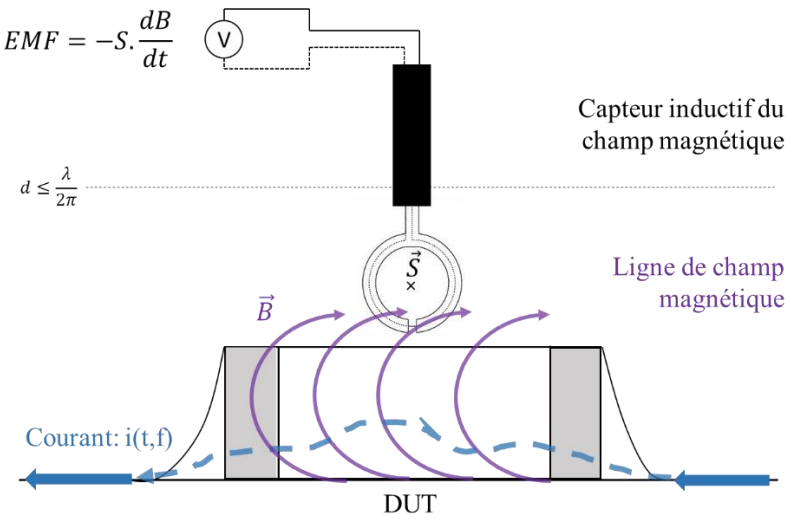


Figure 4. 1. Capteur de champ magnétique à boucle inductive placé au-dessus d'un DUT. S est la surface de la boucle d'induction, $\vec{B}$: champ magnétique AC traversant la surface S, f: fréquence du champ magnétique $\vec{B}$

Théoriquement, en utilisant des capteurs magnétiques à l'état solide pour détecter sans contact le courant électrique au moyen de la mesure du champ magnétique généré, la plupart des handicaps susmentionnés sont surmontés. Ce schéma général peut être appliqué à la mesure d'un courant traversant un fil ou une piste conductrice dans un PCB ou un CI. Les courants alternatifs et continus peuvent ainsi être mesurés avec des dispositifs de petite taille, moins chers et sans contact.

Dans ce sens, les capteurs magnétiques de catégorie 1, dits de faible sensibilité selon J.Lenz [107], sont les mieux adaptés pour effectuer ce type de mesure. Les dispositifs à effet Hall constituent depuis longtemps le choix dominant pour les capteurs de champ magnétique à l'état solide [108]. Néanmoins, au cours des dernières décennies, les capteurs à effet Hall ont coexisté avec des capteurs basés sur l'effet de magnétorésistance anisotrope (AMR), découverts au cours du siècle dernier, mais récemment développés. Les capteurs AMR affichent des performances similaires à celles de Hall en ce qui concerne la sensibilité ou le comportement thermique. Cette tendance a été radicalement rompue en 1988 avec la réalisation pratique des capteurs magnéto-résistifs géants (GMR) [107], [109].

La magnétorésistance (MR) en général et les capteurs GMR en particulier possèdent au moins trois caractéristiques intrinsèques qui en font de bons candidats pour être utilisés dans la détection de défauts d'assemblage en production : leur haut niveau d'intégration, leur sensibilité élevée et la grande sélectivité qui consiste à ne détecter que les champs magnétiques parallèles au plan du circuit du capteur. Ces deux dernières propriétés présentent un intérêt capital pour la mesure en basse fréquence du champ magnétique, dans le but de détecter des défauts d'assemblage sur un BUT.

Les capteurs à induction utilisés principalement pour les mesures de champ magnétique peuvent être un bon choix pour la mesure de courant grâce à leurs importants avantages : simplicité de fonctionnement et de conception, large bande passante et grande dynamique. En raison de l'absence d'éléments magnétiques et de courants d'excitation, ils ne perturbent pratiquement pas le champ magnétique mesuré (contrairement aux capteurs de type « *fluxgate* » par exemple) [109]. En revanche, ils présentent également des inconvénients. Premièrement, ils ne sont sensibles qu'aux champs magnétiques alternatifs de fréquence élevée. Un inconvénient notable réside dans le fait que le signal de sortie ne dépend pas de la valeur du champ magnétique mais de sa dérivée dB/dt ou dH/dt, il est donc nécessaire d'utiliser un circuit d'intégration au capteur, ce qui peut introduire des erreurs supplémentaires de traitement du signal [110]. Il est plutôt difficile de miniaturiser les capteurs à bobine d'induction car leur sensibilité dépend de la surface de la boucle du capteur (surface de la bobine). Néanmoins, ce problème a été surmonté grâce aux capteurs à micro-bobines de dimensions inférieures à 1 mm préparés au moyen de techniques de couches minces [111].

Dans le tableau 4.1 nous comparons brièvement les capteurs susmentionnés suivant leur sensibilité, résolution, taille, vitesse de réponse, niveau de sortie, coût, hystérésis, linéarité et stabilité de fonctionnement en température, critères décisifs pour une application dans le test industriel [104, p. 55], [109], [112], [113], [114, Chap. 5], [115, Sect. 1.3.5].

Tableau 4. 1. Comparaison des capteurs magnétiques

Caractéristiques	GMR	Inductif	AMR	Effet Hall
Sensibilité (champ proche)	Plus élevée	Dépendante de la surface de la boucle de détection	Elevée	Faible
Performance : -Linéarité -Sélectivité -Résolution	Elevée, fonctionnement unipolaire (Nécessite polarisation)	Elevée (Nécessite intégrateur)	Moyenne	Faible (sans circuit de conditionnement)
Taille (dimensions du dispositif)	Petite	Petite (capteur à micro-bobine)	Large	Petite
Vitesse de réponse	DC à <100MHz	>100 MHz au GHz	DC au MHz	DC to 100 kHz
Niveau de sortie	Elevé (x300mV)	Plus faible (x10mV)	Moyen (100mV)	Très faible (µV-mV)
Hystérésis	Moyenne	Faible	Moyenne	Elevée
Stabilité de fonctionnement en température	Elevée	Dépend du noyau	Moyenne	Faible
Coût	Faible	Faible	Elevé	Faible

Les capteurs GMR et les capteurs inductifs se distinguent des deux autres grâce à leur sensibilité élevée et à leur bonne performance en termes de sélectivité, résolution et linéarité. En plus, leur faible coût, leur grande intégration et leur rapidité de réponse les rendent parfaits pour une application industrielle en production, afin de tester des PCBA de haute densité. Un autre élément important, est leur complémentarité en termes de fréquence de champ mesuré. Ce dernier critère permettra une détection sur une bande passante plus large, si nous arrivons à combiner ces deux capteurs dans une même technique.

Dans la section suivante, nous caractérisons brièvement un capteur GMR commercialisé par l'entreprise NVE, afin d'évaluer la possibilité de l'utilisation de ce type de capteur dans le test industriel des PCBA. Nous reportons également quelques solutions à ses limitations par rapport à une utilisation industrielle. Les performances d'un capteur inductif sont connues et maitrisées, nous nous satisferons donc, dans une prochaine étape, d'utiliser ces capteurs suivant les caractéristiques mentionnées dans leurs *datasheets,* sans procéder à une caractérisation détaillée de ces derniers. Finalement, une proposition de technique de test intégrant ces deux types de capteurs sera présentée et appliquée à un cas d'étude de bloc d'alimentation à découpage.

2.1. CARACTERISATION D'UN CAPTEUR GMR

Nous discuterons dans cette partie les différentes caractéristiques d'un capteur commercial de type GMR qui font de lui un bon choix de capteur à intégrer dans notre technique de test de PCBA à haute densité d'intégration.

Le capteur GMR est, pour faire simple, une résistance qui change de valeur quand elle est exposée à un champ magnétique continu ou alternatif [116]. Après plusieurs années de développement depuis la découverte de l'effet magnétorésistif géant en 1988 [117], les capteurs GMR ont connu un très grand progrès lors de ces dernières années, au niveau de la précision de mesure, résolution d'intégration, sensibilité et linéarité, ce qui rend ainsi cette technologie très prometteuse en matière de test d'éléments électriques rayonnant un champ magnétique [118].

La bonne exploitation des caractéristiques du capteur GMR, et le choix des blocs électroniques parcourus par un courant conséquent, sont les conditions nécessaires pour l'introduction de ce type de capteur dans le test de PCBA.

Par ailleurs, l'alimentation totale ou partielle de certains blocs du BUT est primordiale afin de pouvoir capturer le champ magnétique issu des différents composants sous test.

Une étude des différentes caractéristiques et limitations a été réalisée sur une gamme de capteur GMR de moyenne sensibilité de la société NVE reconnue pour la qualité de fabrication et la haute sensibilité de ses capteurs GMR. La gamme du capteur testé est "AA4.X-02E". Le capteur AA003-02E est fourni prémonté sur une carte d'évaluation avec plusieurs largeurs de pistes conductrices (cf. figure 4.2). Des résultats concernant les points suivants seront présentés et détaillés par la suite :

- Précision de mesure
- Sensibilité statique et dynamique
- Dimensions d'intégration
- Tension d'offset
- Polarisation
- Démagnétisation et réinitialisation

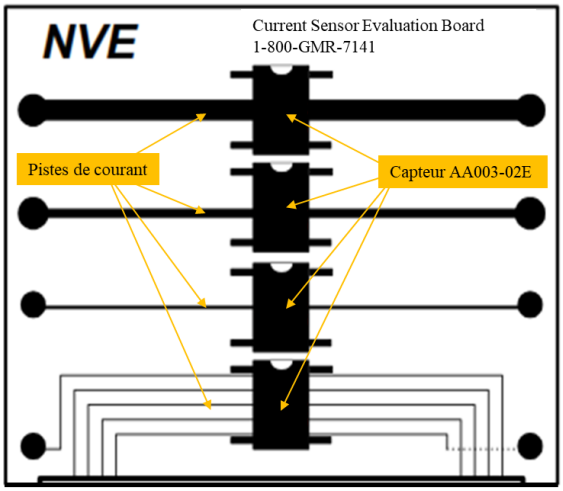


Figure 4. 2. Carte dévaluation : capteur AA003-02 monté sur différentes largeurs de pistes

2.1.1. Capteur AA003-02E

2.1.1.1. Principe de fonctionnement de la magnétorésistance géante

L'effet de magnétorésistance géante est observé dans les matériaux multicouches possédant une alternance de couches minces de métaux ferromagnétiques et non magnétiques. L'épaisseur d'une couche ultra-mince individuelle peut être seulement de quelques nanomètres. La résistance de l'échantillon atteint son maximum lorsque les champs magnétiques locaux dans les matériaux ferromagnétiques se trouvent dans des sens opposés et son minimum lorsqu'ils sont dans le même sens. Ce phénomène a été appelé magnétorésistance géante, car la valeur de résistance était beaucoup plus grande que celle des magnétorésistances connues [117].

Dans la figure 4.3, nous montrons le cas d'un capteur GMR de type multicouche. L'image 'a' illustre le cas où la résistance du capteur est au maximum et la photo 'b' montre le cas où la résistance et au minimum.

Dans le premier cas, la couche *A* est une couche non-magnétique conductrice. Les moments magnétiques des atomes dans les couches de type *B* sont opposés et se compensent dû à la nature antiferromagnétique du matériau constituant ces couches [119, p. 134]. La résistance de la couche *A* varie en fonction de l'orientation relative des spins d'électrons des couches *B*, ce qui induit une résistance très élevée dans cette couche (cf. figure 4.3.a) vu le couplage antiparallèle des couches *B* en l'absence d'un champ magnétique externe [113].

Dans le deuxième cas (cf. figure 4.3.b), l'application d'un champ magnétique externe supprime, complètement ou partiellement selon son amplitude, le couplage antiparallèle des deux couches *B* en alignant les spins des électrons de leurs atomes dans le sens du champ magnétique appliqué, ce qui fait baisser drastiquement la résistance de la couche *A* (typiquement 15 à 20%) [113].

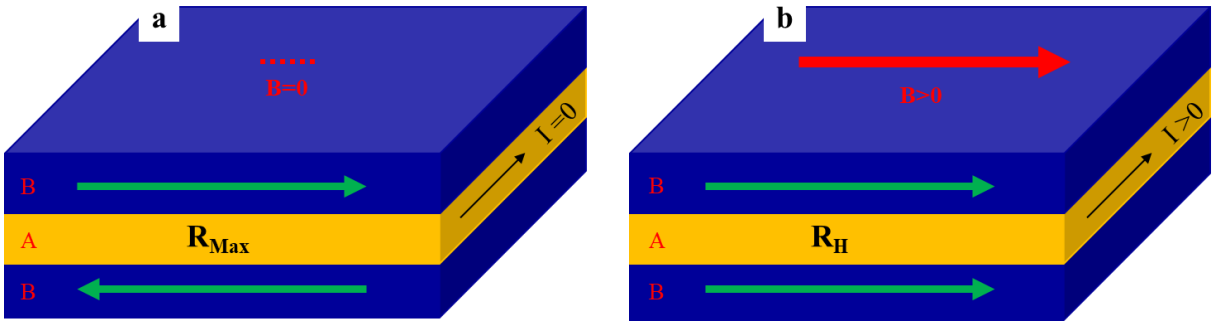


Figure 4. 3. Illustration de l'effet magnétorésistif géant

La résistance de la couche *A* est liée au champ magnétique externe appliqué (d'où l'appellation magnétorésistance) et varie de manière symétrique quel que soit le sens de ce dernier.

Bien que non visuelle, la présence d'un champ magnétique peut être déterminée en mesurant soit l'induction magnétique (B), soit le champ magnétique (H). Ils sont liés dans l'espace libre via l'équation (1), où $\mu_0 = 4\pi.10^{-7}[T.m/A]$ est la perméabilité du vide.

$$B\,[T] = \mu_0 \,.\, H\,[A/m] \qquad (1)$$

La figure 4.4 présente le taux de variation de la magnétorésistance (MR) de la couche *A* en fonction d'un champ H variable (voir équation (2)).

$$MR\,[\%] = R_H(H)/R_{MAX} \qquad (2)$$

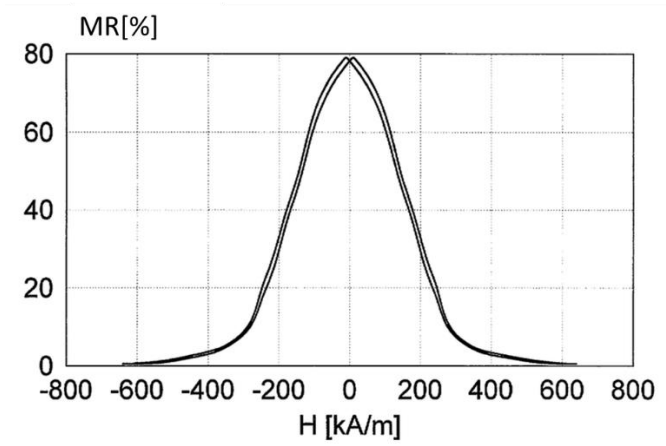


Figure 4. 4. Variation de la magnétorésistance en fonction du champ magnétique externe [116, Chap. 1], [120]

2.1.1.2. Boîtiers et dimensions

Il existe plusieurs formes de boîtiers proposés par le fabricant NVE, dont le plus petit est le PLLP6 [113]. Nous avons choisi le boîtier SOIC8 pour la facilité de son montage sur le PCB de test montré sur la figure 4.5.

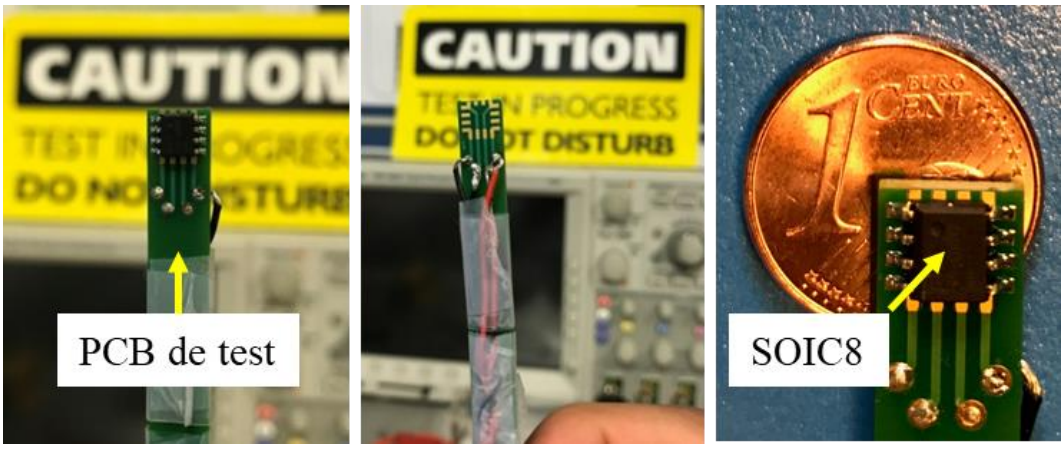


Figure 4. 5. Capteur GMR AA003-02E en boîtier SOIC8 monté sur un PCB de test

2.1.1.3. Axe de sensibilité

Le capteur AA003-02E utilise des concentrateurs de flux intégrés pour fournir un signal de sortie sensible à la direction [113]. Il est sensible dans une seule direction dans le plan du circuit intégré du capteur, avec une diminution de sensibilité proportionnelle à l'angle lorsque le capteur s'écarte de la direction de sensibilité [113].

En outre, le dispositif a une sortie omnipolaire, ce qui veut dire qu'il fournit la même amplitude en sortie pour les champs magnétiques dans le sens positif et négatif le long de l'axe de sensibilité. La figure 4.6 met en évidence cet axe de sensibilité [113].

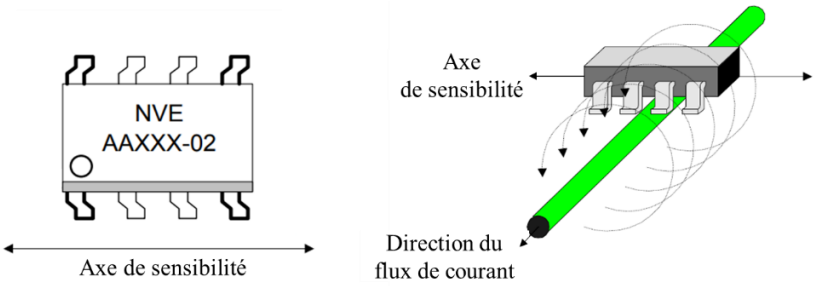


Figure 4. 6. Axe de sensibilité au champ magnétique externe du capteur GMR AA003-02

2.1.2. Résultats de caractérisation

2.1.2.1. Tension d'offset

La sortie des capteurs GMR présente un décalage DC en tension en l'absence d'un champ magnétique externe. Ceci est dû principalement à :

- L'effet du champ magnétique ambiant
- L'aimantation résiduelle dans les concentrateurs de flux du capteur GMR

Dans la figure 4.7 nous montrons la structure interne d'un capteur GMR se composant de deux concentrateurs de flux, disposés au-dessus d'une configuration de résistances (R_{REF} =5 kΩ) et de magnétorésistances ($R_{GMR1,2}$) montées en pont de Wheatstone.

Le principal rôle des concentrateurs de flux est le blindage des résistances de référence du pont Wheatstone, et la concentration du flux magnétique vers les structures magnétorésistives (R_{GMR}) situées au centre du capteur. Tous les capteurs GMR sont conçus dans une configuration de pont de Wheatstone pour une meilleure sensibilité et une stabilité en température.

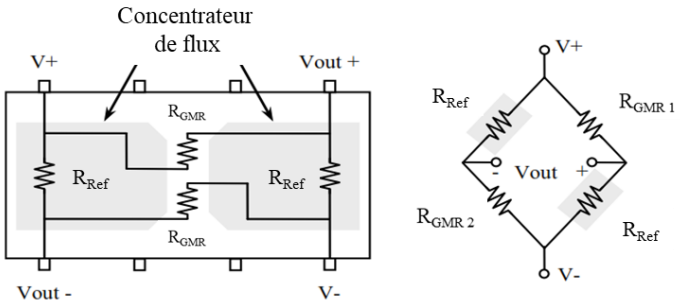


Figure 4. 7. Structure interne d'un capteur GMR produit par NVE.

Un offset négatif est toujours présent au niveau de la sortie du capteur suite au déséquilibre du pont de Wheatstone même en l'absence de champ magnétique (cf. équation (3)) [113]. Dans ce cas, la valeur de chaque résistance R_{GMR} (R_{GMR1} et R_{GMR2}) est légèrement supérieure à R_{Ref}=5 kΩ ce qui produit un offset non nul négatif en l'absence d'un champ magnétique.

$$Vout = V_{out}^{+} - V_{out}^{-} = \frac{R_{Ref}^{2} - R_{GMR1}.R_{GMR2}}{(R_{Ref}+R_{GMR1})(R_{Ref}+R_{GMR2})}(V^{+} - V^{-}) \quad (3)$$

La tension d'offset varie également suivant le champ magnétique ambiant. La contribution du champ magnétique terrestre par exemple, varie suivant la position géographique et l'orientation du champ (Nord, Sud, Est, Ouest) auquel le capteur est exposé. Pour cette raison, toutes les mesures ont été faites au même endroit dans la direction du nord magnétique afin d'avoir une contribution constante du champ magnétique terrestre.

La figure 4.8 décrit le banc de mesure utilisé pour estimer l'offset du capteur AA003-02E alimenté en tension à $V_{Alim} = \pm 5V$.

Nous avons effectué 12 mesures de la tension de la sortie du capteur dans les mêmes conditions mentionnées dans le paragraphe précédent. Dans la figure 4.9 nous traçons la valeur de la tension à la sortie du capteur pour les différentes mesures effectuées (numérotées de 1 à 12). Nous remarquons que ces valeurs restent plus ou moins constantes à -5,5 mV (valeur dépendante de l'environnement de la mesure) à partir de la 5ème mesure. Nous pouvons considérer que les 5 premières mesures effectuées constituent une sorte d'initialisation du capteur.

Cette valeur reste susceptible de varier selon la magnétisation résiduelle dans les concentrateurs de flux, néanmoins elle est toujours dans les environs de 5mV lors d'une première utilisation dans la journée.

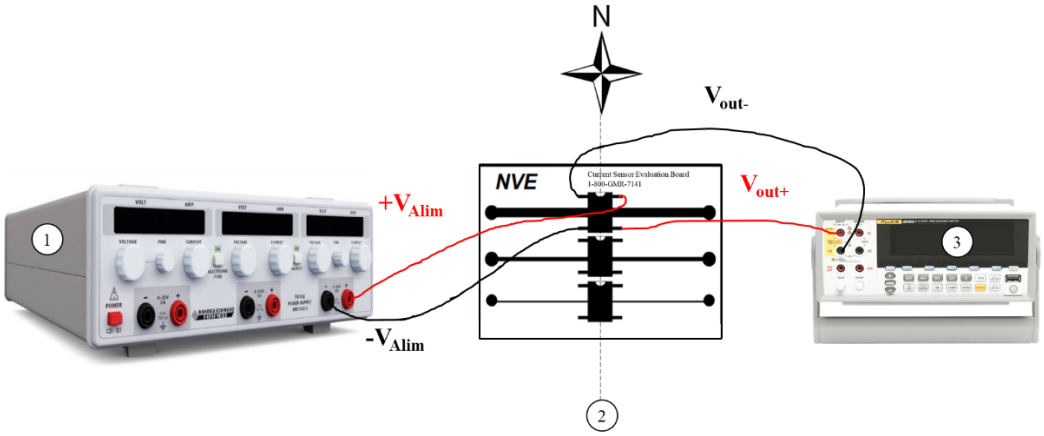


Figure 4. 8. Banc de mesure de tension d'offset du capteur GMR AA003-02E alimenté à ±5V
1 : alimentation de puissance ; 2 : capteurs GMR ; 3 : multimètre de précision

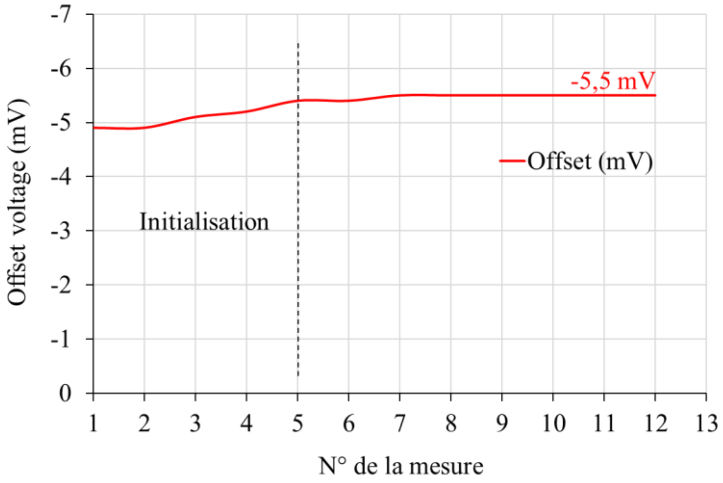


Figure 4. 9. Tension d'offset à la sortie du capteur AA003-02E pour les différentes mesures

L'une des deux solutions suivantes doit être prise en compte lors de l'utilisation du capteur dans une mesure de champ magnétique, afin de s'affranchir de l'effet de la magnétisation résiduelle contribuant à la variation de l'offset.

– Première solution :

Le capteur doit être démagnétisé après chaque mesure réalisée : La démagnétisation peut se faire en passant une impulsion de courant amortie dans une piste adjacente au capteur. Cette impulsion est appelée impulsion de démagnétisation, « *Degauss pulse* » en anglais. La figure 4.10 montre un exemple d'impulsion de démagnétisation.

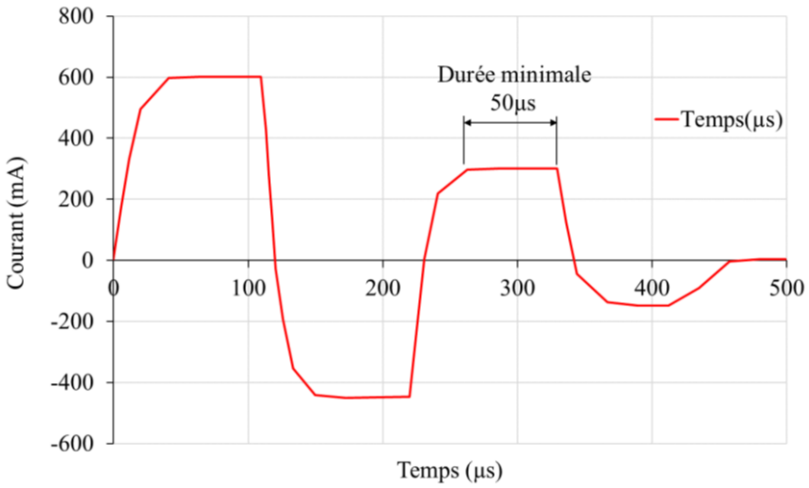


Figure 4. 10. Impulsion typique de démagnétisation d'un capteur GMR [121]

– Deuxième solution :

La tension d'offset du capteur doit être mesurée à la fin de chaque utilisation afin de définir une nouvelle référence d'offset. Cette valeur est à soustraire de la tension de sortie à la mesure suivante.

Dans le cas de la mesure d'un champ magnétique alternatif, un couplage AC est suffisant pour négliger la variation de la tension d'offset. Cependant, ceci n'est valable que dans une certaine plage de fréquences, la figure 4.11 montre la fluctuation de la tension d'offset du capteur AA003-02E au-delà de 1MHz, limite de la fréquence d'utilisation. Cette fluctuation est aléatoire comme nous pouvons le remarquer sur cette figure et peut altérer la tension de sortie du capteur et son interprétation par la suite.

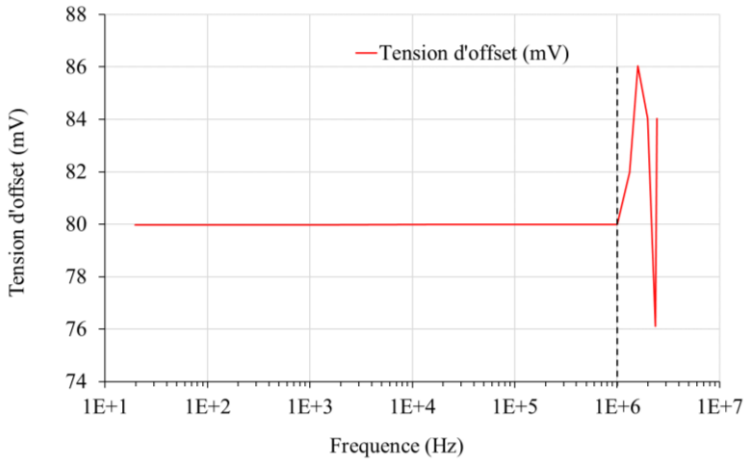


Figure 4. 11. Variation de la tension d'offset en fonction de la fréquence du champ magnétique mesuré

2.1.2.2. Résolution

La résolution du capteur est fonction du bruit électromagnétique environnemental, du bruit intrinsèque et de l'hystérésis. Dans la plupart des applications, le bruit ambiant est le facteur limitant de la résolution. La valeur de la résolution obtenue est basée sur une sortie non filtrée, non amplifiée et non blindée. Dans cette configuration "brute", une résolution de 1mA a été mesurée.

Avec un filtrage, une amplification et un blindage adéquats, le niveau de bruit peut être considérablement diminué et ainsi la résolution augmentée.

2.1.2.3. Sensibilité

2.1.2.3.1. Sensibilité à un champ magnétique créé par un aimant permanent :

Afin d'évaluer d'une manière globale la sensibilité du capteur AA003-02E au champ magnétique, nous avons mesuré le champ magnétique émanant d'un aimant permanent en ferrite de forme rectangulaire (1.6 x 0.6 x 0.3 mm) dans différentes dispositions par rapport au plan de sensibilité du capteur et pour différentes valeurs de tension d'alimentation (V_{supply}).

La position pour laquelle nous avons obtenu des résultats est celle présentée dans la figure 4.12. Dans cette disposition les lignes de champ de l'aimant sont disposées suivant l'axe de sensibilité du capteur GMR. Nous enregistrons ensuite sa tension de sortie en fonction de la distance de l'aimant du centre du boîtier du capteur.

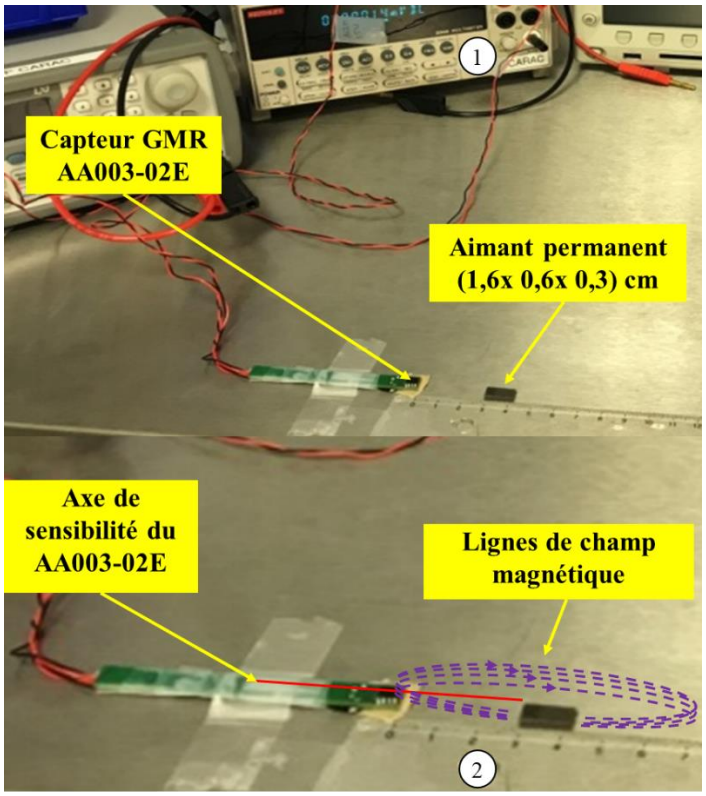


Figure 4. 12. Mesure de la sensibilité du capteur AA003-02E à un champ magnétique créé par un aimant permanent ; 1 : Multimètre de précision ; 2 : règle pour mesurer la distance

Dans la figure 4.13 nous remarquons une évolution rapide de la tension de sortie en fonction de la distance, en-dessous de 7cm et une saturation pour une distance inférieure à 1.1cm entre l'aimant et le capteur, correspondant à une valeur de champ magnétique de l'aimant entre 1.4 et 2mT qui représente la limite de saturation du capteur AA003-02E indiqué par le fabricant.

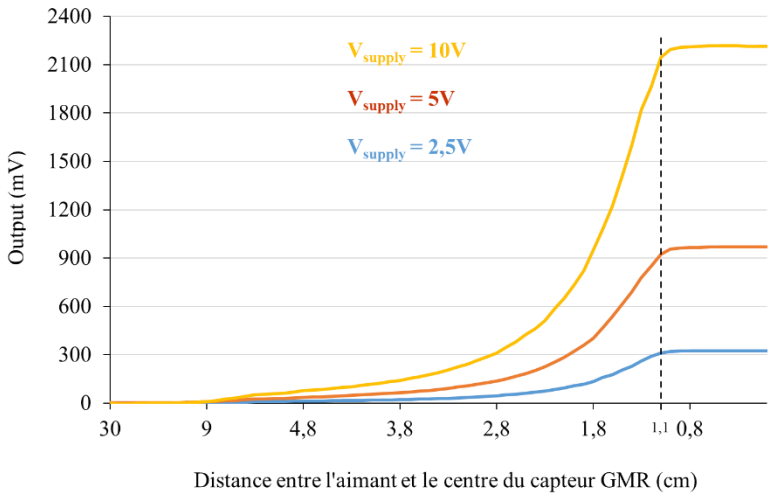


Figure 4. 13. Tension de sortie du capteur AA003-02E en fonction de la distance d'un aimant permanent pour trois valeurs d'alimentation en tension 10 V; 5 V et 2.5 V

2.1.2.3.2. Sensibilité aux forts courants :

Sur une carte d'évaluation fournie par NVE présentée précédemment dans la figure 4.2, plusieurs capteurs GMR du type AA003-02E sont montés sur des pistes de largeurs différentes. La première piste de largeur 2.286mm a été choisie car elle supporte un courant maximum de 9A.

Toutes les mesures ont été réalisées au même endroit et dans les mêmes conditions électromagnétiques et environnementales. Nous avons choisi un fonctionnement unipolaire qui signifie une exposition du capteur à des champs magnétiques d'une seule polarité, positive ou négative lors de sa caractérisation. Ce type de fonctionnement a été adopté dans le but de limiter les phénomènes de non-linéarité et d'hystérésis rencontrés dans les capteurs magnétiques.

Nous avons orienté la carte dans la direction du nord magnétique afin d'avoir une contribution fixe du champ magnétique terrestre et nous avons fait passer un courant croissant allant de 0.5A jusqu'à 3.3A dans la première piste de largeur 2.286mm. La valeur de ce courant est contrôlée par un multimètre et la tension de sortie du capteur est mesurée sur un multimètre de précision. La figure 4.14 décrit le montage de cette expérience.

Les mesures ont été faites pour trois valeurs de tension d'alimentation du capteur GMR : 2.5V, 5V et 10V. Les résultats de cette mesure de sensibilité sont présentés dans la figure 4.15.

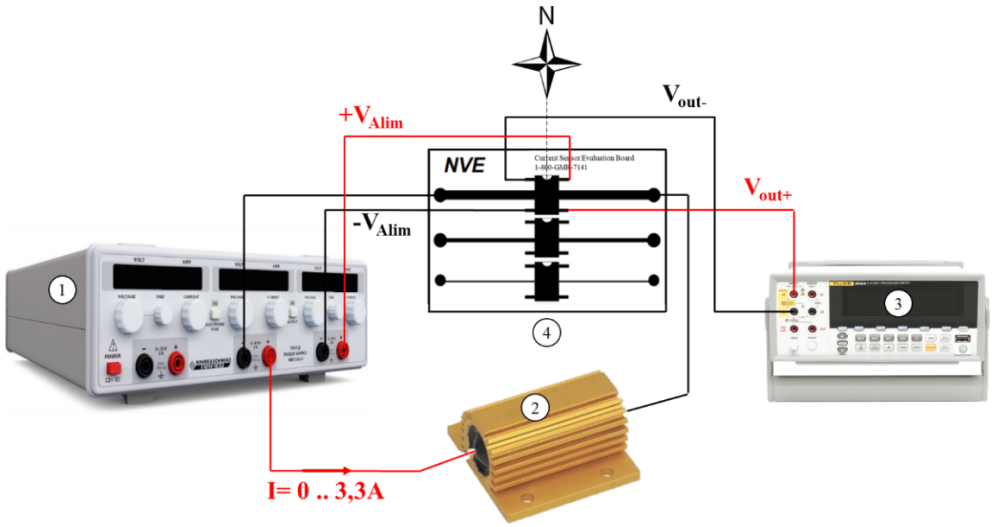


Figure 4. 14. Montage expérimental : sensibilité du AA003-02E aux forts courants; 1 : alimentation de puissance; 2 : Charge modifiable; 3 : multimètre de précision; 4 : capteurs GMR

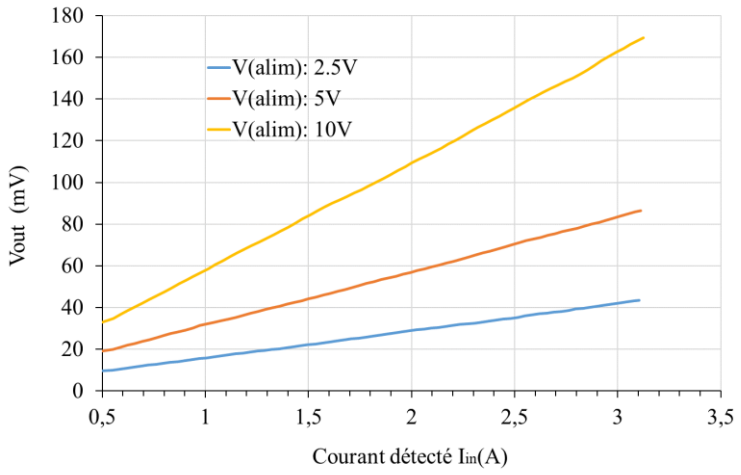


Figure 4. 15. Tension de sortie V_{out} du capteur AA003-02E en fonction du courant détecté sur la première piste de largeur : 2.286mm

Les sensibilités moyennes normalisées à 1V relevées du graphe ci-dessus sont à peu près égales :

$$\left[\frac{\Delta V_{out}}{\Delta I}\right]_{V_{alim}=10\,V} = 5{,}2\text{mV/V/A}$$

$$\left[\frac{\Delta V_{out}}{\Delta I}\right]_{V_{alim}=5\,V} = 5{,}2\text{ mV/V/A}$$

$$\left[\frac{\Delta V_{out}}{\Delta I}\right]_{V_{alim}=2{,}5\,V} = 5{,}21\text{ mV/V/A}$$

Les sensibilités pour différentes largeurs de pistes conductrices sont présentées dans le tableau 4.2. La sensibilité est améliorée quand la densité du champ dans le conducteur est plus élevée, ce qui explique la sensibilité plus élevée dans les pistes moins larges [113].

Tableau 4. 2. Sensibilités mesurées pour quatre pistes conductrices de largeurs différentes

Largeur de la piste	Sensibilité normalisée S_n ($mV_{out}/V_{alim}/A_{IN}$)
2.286 mm	5.2
1.524 mm	5.7
0.254 mm	6

Ces valeurs correspondent bien à la partie linéaire (0.2mT à 1.4mT) de la caractéristique du capteur donné par le constructeur [113]. Pour avoir une saturation de la sortie pour ce capteur (*AA003-02E*) il faut atteindre un champ de 2mT qui correspond à un courant passant dans la piste donnée par l'équation (4) ci-dessous :

$$I = \frac{2\pi.r.B}{\mu_0} = \frac{2\pi.\ 2{,}94\ .10^{-3}.\ 2.10^{-3}}{4\pi.10^{-7}} = 29.4\ A \qquad (4)$$

Avec la perméabilité magnétique du vide, $\mu_0 = 8{,}85.10^{-12}$ $A^2.s^4.kg^{-1}.m^{-3}$ et la distance entre la magnétorésistance du capteur et le centre de la piste conductrice, r= 2.94 mm calculée en se basant sur les informations présentées dans la figure 4.16.

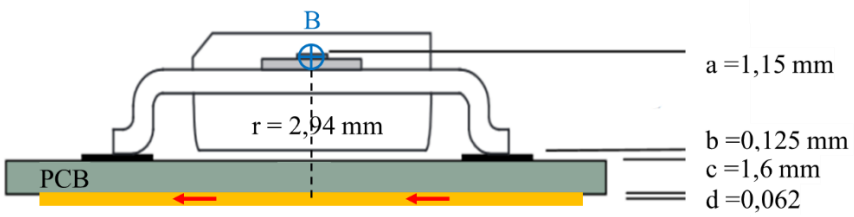


Figure 4. 16. Distance entre le centre de la piste conductrice et la magnétorésistance du capteur

2.1.2.3.3. Sensibilité aux faibles courants :

Nous nous sommes mis dans les mêmes conditions de la caractérisation en fort courant et nous avons utilisé le même montage expérimental présenté dans la figure 4.14. Nous faisons passer un courant de faibles valeurs allant jusqu'à 1A dans la piste de 2.286mm de largeur. La tension de sortie du capteur en fonction du courant circulant dans la piste est montrée dans la figure 4.17.

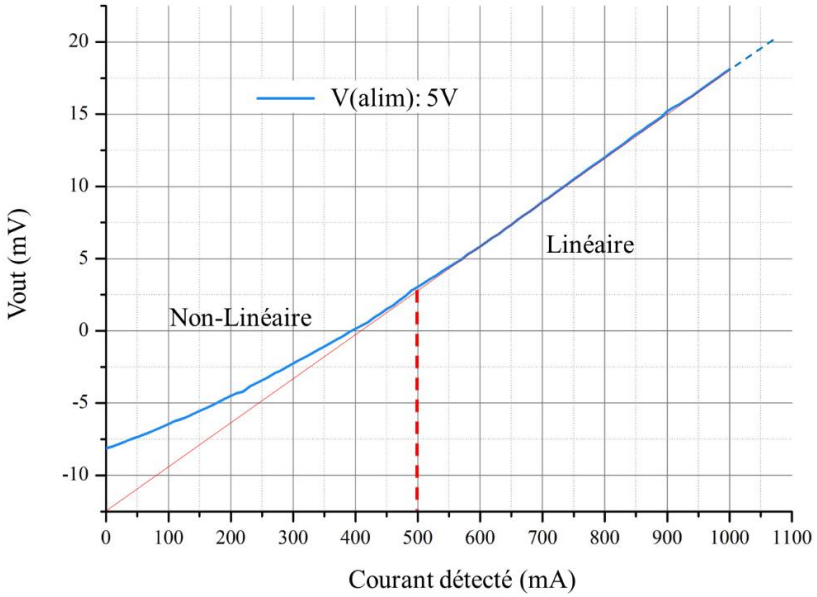


Figure 4. 17. Tension de sortie (V_{out}) du capteur AA003-02E en fonction du courant détecté : caractéristique non-linéaire pour les faibles courants jusqu'à 0.5A

Nous avons réalisé la même expérience pour des pistes de largeurs différentes et nous avons remarqué que la caractéristique du capteur GMR AA003-02E n'est pas linéaire pour les faibles courants jusqu'à 0.5A.

L'étendue de la plage de linéarité de ce capteur va jusqu'à une valeur de champ détecté de 1.4mT donné par le fabricant, ce qui est équivalant à une valeur de courant théorique égale à 20.58A calculée à l'aide de l'équation (4) à une distance de 2.94 mm du centre du capteur. Nous n'avons pas pu atteindre cette valeur de courant expérimentalement, nous avons donc admis la limite haute de linéarité donnée par le fabricant. Ainsi, nous avons une zone de linéarité de la caractéristique du capteur pour les courants allant de 0.5A à 20.58A.

De plus, lors d'une caractérisation bipolaire du capteur qui va jusqu'à sa saturation pour des champs positifs et négatifs, les effets de non-linéarité et d'hystérésis sont plus marqués comme nous pouvons le constater sur la figure 4.18.

Après avoir atteint la saturation en champ positif, la sortie du capteur retourne à zéro suivant la courbe (1), une faible valeur négative du champ magnétique provoquera une tension négative à la sortie du capteur pour ensuite redevenir positive au fur et à mesure que le module du champ magnétique augmente (courbe (2)).

Nous remarquons la même chose après saturation de la sortie sous l'effet d'un champ négatif, la sortie du capteur retourne à zéro suivant la courbe (3) et une faible valeur positive du champ magnétique provoquera une tension négative à la sortie du capteur avant de redevenir positive au fur et à mesure que le module du champ augmente (courbe 4).

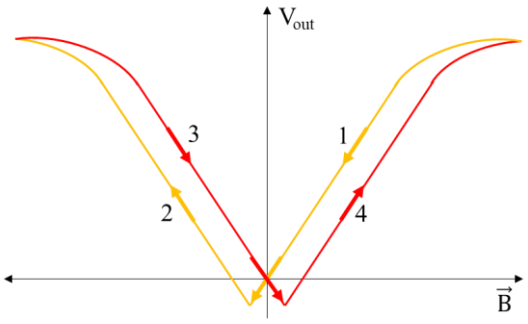


Figure 4. 18. Hystérésis et non-linéarité dues à la saturation et au fonctionnement en bipolaire du capteur AA003-02E

Dans une application linéaire comme la nôtre, où le capteur GMR est utilisé comme capteur de courant qui détecte le champ magnétique à partir d'un courant transitoire de forme sinusoïdale par exemple, le temps n'est pas un facteur important, mais seulement l'amplitude des champs auxquels le capteur est exposé. Par exemple, si la fréquence de la forme d'onde sinusoïdale du courant change ou si le courant s'arrête à un niveau donné pendant un certain temps puis redémarre suivant la même forme d'onde sinusoïdal, il n'y aura pas d'hystérésis au niveau du capteur. Dans notre cas, nous serons amenés à mesurer des champs qui peuvent varier en amplitude d'un PCBA à l'autre. Une démagnétisation après chaque mesure est donc nécessaire, afin de supprimer la rémanence magnétique présente dans le capteur (cf. figure 4.10).

Une solution au problème de linéarité consiste à polariser le capteur avec un champ magnétique externe, de sorte que le point de fonctionnement du capteur se trouve sur la partie linéaire de la courbe caractéristique. Ceci peut être fait avec un aimant permanent externe ou avec un courant DC passant à proximité du capteur [118].

L'idée est de fournir un courant constant et contrôlé pour créer un champ magnétique de polarisation stable dans la zone de linéarité du capteur GMR. Dans la figure 4.19.a nous avons un schéma bloc proposé par Andrea Bernerie et al [118] d'un circuit qui sert à polariser un capteur GMR dans sa zone de linéarité en utilisant une piste conductrice « *Bias strip* » adjacente au capteur. Connaissant la courbe de sensibilité du capteur, le schéma régule le courant statique (I) qui passe dans la piste « *Bias strip* » afin de garantir que la tension DC à la sortie du capteur (V_{out_DC}) correspond au point de fonctionnement désiré dans sa zone linéaire (cf. figure 4.19.b). La source de courant statique I_0 est réglée de façon que le signal d'erreur nominal (V_{err}) soit nul à la consigne souhaitée.

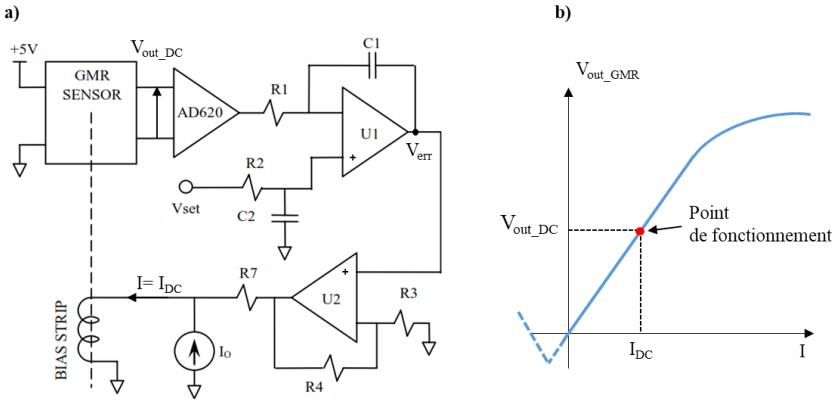


Figure 4. 19. a) Schéma en bloc du circuit de polarisation d'un capteur GMR avec un courant externe; b) point de fonctionnement dans la zone linéaire du capteur

2.1.2.4. Caractérisation dynamique

Pour réaliser la caractérisation dynamique du capteur GMR, nous l'avons polarisé dans sa région linéaire à l'aide d'un aimant permanant placé à 2.5 cm du centre du capteur. La figure 4.20 montre le principe simplifié de cette polarisation. L'axe des abscisses (B[T]) représente la somme de contributions fixes de l'aimant de polarisation et du champ magnétique AC issu de la piste en dessous du capteur.

A l'aide d'un amplificateur haute tension haute vitesse Falco WMA-300, nous faisons passer un courant sinusoïdal d'amplitude 0.3A crête-à-crête dans la piste conductrice sous le capteur GMR. La fréquence varie de quelques milli-Hertz jusqu'à 1MHz. La figure 4.21 montre le montage de cette expérience.

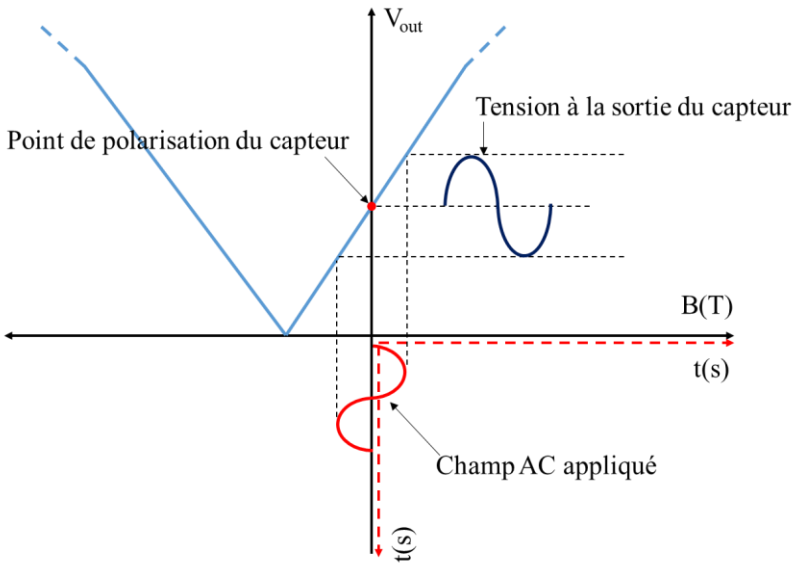


Figure 4. 20. Principe de polarisation du capteur GMR : Sortie du capteur en bleu, Champ magnétique AC appliqué (image du courant passant dans la piste) en rouge

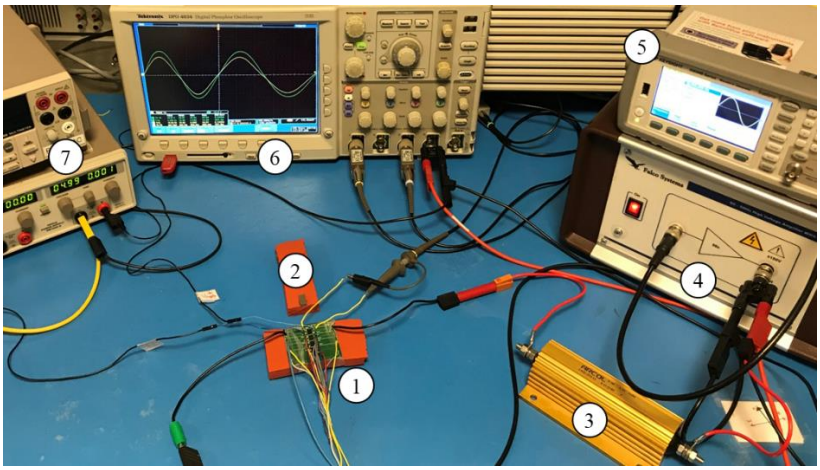


Figure 4. 21. Montage expérimental de caractérisation dynamique du capteur AA003-02E; 1 : Capteur GMR; 2 : Aimant permanent; 3 : Charge passive HS300; 4 : Amplificateur haute tension; 5 : Générateur basse fréquence; 6 : Oscilloscope DPO4034; 7 : Alimentation en tension du capteur GMR (-2.5 v ,2.5 v)

Le diagramme de Bode de la sensibilité dynamique $S = \frac{Vout(V)/1V}{I_{in}(A)/1A}$ obtenue est montré dans la figure 4.22.

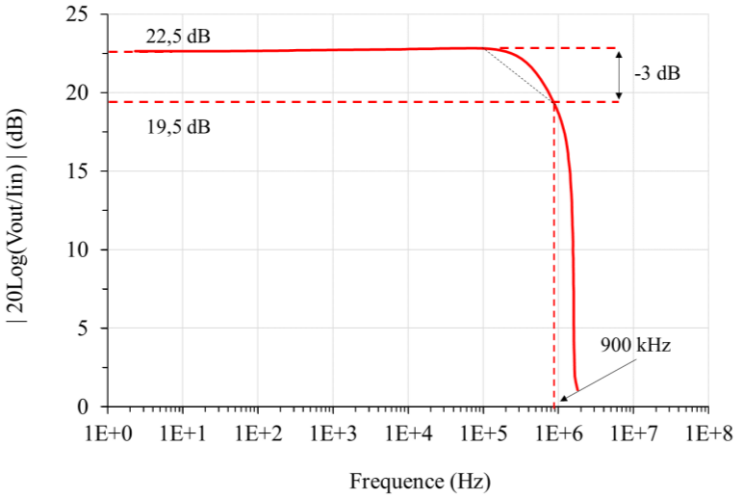


Figure 4. 22. Détermination de la bande passante du capteur AA003-02E

AA003-02E est un capteur de gamme moyenne : sensibilité et champ de saturation moyen (cf. Annexe IV.A), mais reste tout-à-fait utilisable pour des fréquences de courant allant jusqu'au Megahertz avec une polarisation dans le centre de sa zone linéaire. Dans le graphe de la figure 4.22 nous obtenons une bande passante à -3dB de 900 kHz. Cette bande passante est la meilleure que nous ayons pu obtenir en polarisant le capteur dans sa zone linéaire avec un aimant permanent.

La limitation en fréquence n'est pas due à la structure intrinsèque du capteur. Elle est plutôt due, en premier ordre, aux effets parasites en hautes fréquences des circuits et équipements inclus dans la boucle du capteur, et en deuxième ordre, à la largeur de la piste conductrice sur laquelle on effectue la mesure du courant. L'effet du couplage capacitif entre la surface de cette piste et la magnétorésistance crée un pôle dans l'évolution de sensibilité. Ces éléments forment un filtre passe-bas dans la boucle du courant ce qui limite la réponse en fréquence du capteur. L'absence du filtrage du capteur limite également sa bande passante [113], [122, p. 114,115], [123].

À la fréquence de 900kHz nous avons une baisse de sensibilité du capteur de 22.5dB à 19.5dB, ce qui correspond à une baisse de sensibilité normalisée de 5.3mV/V/A à 3.78mV/V/A, ceci reste tout à fait acceptable pour des applications de détection de champ magnétique du DC à 1 MHz.

Dans l'application que nous allons présenter dans la deuxième partie de ce chapitre, nous utiliserons le capteur AA003-02E polarisé dans sa région linéaire afin d'utiliser le maximum de sa résolution de détection de courant pour des fréquences allant du DC jusqu'à ~ 1 MHz.

2.1.2.5. Sensibilité en fonction de la distance de mesure

Nous avons évalué la variation de la sensibilité du capteur AA003-02E dans le cas d'une mesure de courant en fonction de la distance (d= *X* mm) entre ce dernier et la piste de courant située en dessous (cf. figure 4.23). Cette distance est variable à l'aide d'un bras automatisé programmable.

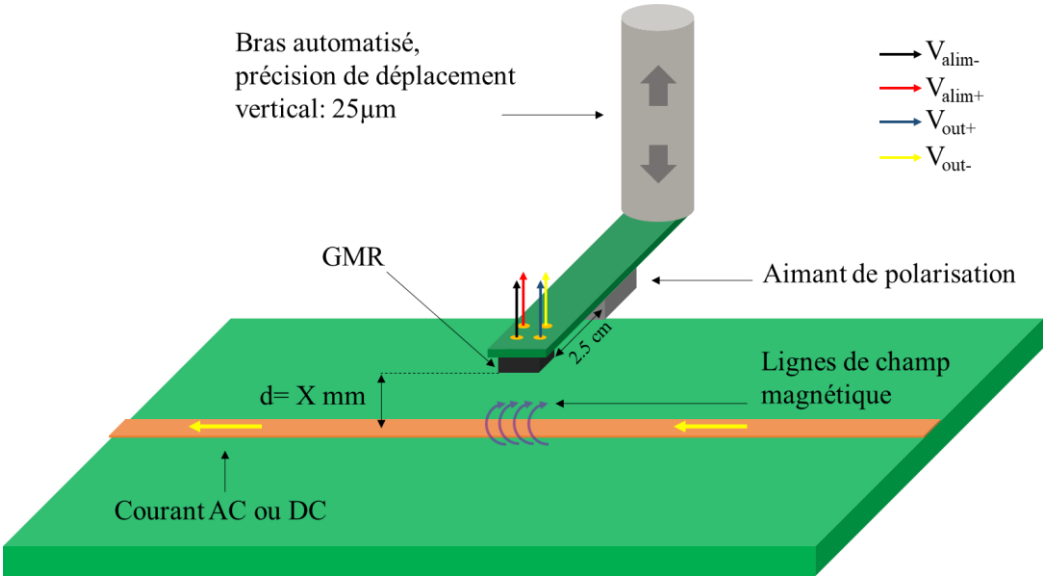


Figure 4. 23. Schéma simplifié montrant la mesure du champ magnétique au-dessus d'une piste conductrice de courant

Cette caractérisation est importante dans la mesure où, dans l'application industrielle de test de PCBA dans laquelle nous souhaitons utiliser ce capteur (cf. figure 4.24), il faut avoir une connaissance préalable de la topologie de la carte pour prévoir un perçage convenable du dispositif de fixation (*Fixture* en anglais) de l'ICT afin de pouvoir positionner chaque capteur et moduler la distance de ce dernier par rapport à la surface du composant testé. Les précisions de perçage varient d'un fournisseur à l'autre et peuvent induire une variation au niveau de cette distance qui va se refléter directement sur la sensibilité du capteur.

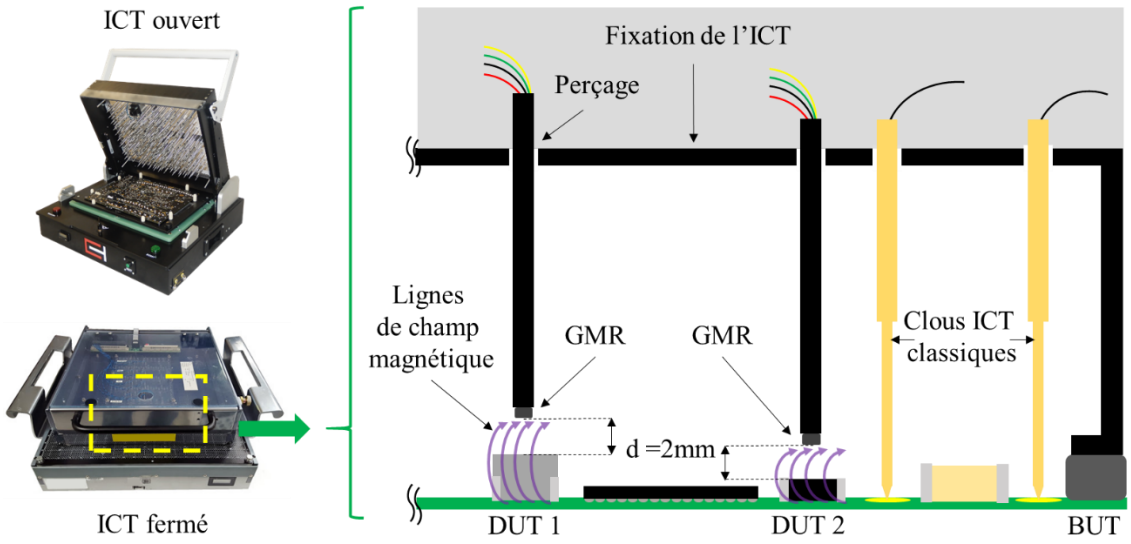


Figure 4. 24. Schéma montrant l'intérieur du dispositif de fixation simplifié de l'ICT intégrant deux capteurs GMR et deux sondes d'ICT classiques

Les courbes issues des mesures de tension de sortie du capteur en fonction du courant détecté à partir de 7 hauteurs différentes du capteur (d= 0.5 ; 1.5 ; 3 ; 6 ; 12 ; 24 ; 48 mm), sont présentées dans la figure 4.25.

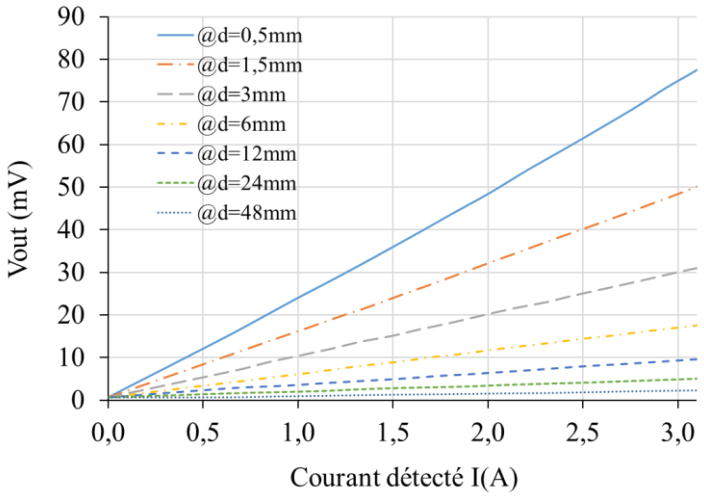


Figure 4. 25. Tension de sortie du capteur AA003-02E pour différentes hauteurs entre le capteur et la piste conductrice de courant.

Dans la figure 4.26 le graphe montre que la sensibilité décroît exponentiellement en fonction de la distance de mesure. Nous avons identifié des zones (1 et 2) de la courbe dans lesquelles la sensibilité varie linéairement en fonction de la distance. Dans ces zones, toute variation de la distance de mesure entre 0.5 et 2 mm dans la zone 1 et entre 24 et 48 mm dans la zone 2, induit une variation de la sensibilité de mesure qui peut être prédite grâce aux équations y_1 et y_2 données dans la figure 4.26.

Ces équations nous permettent de prédire la variation de la sensibilité en fonction de la distance de mesure lorsqu'on change de dispositif de fixation ICT par exemple, ou si les tolérances de fabrication de ce dernier varient (tolérances de perçage, tolérances de placement vertical des sondes, …).

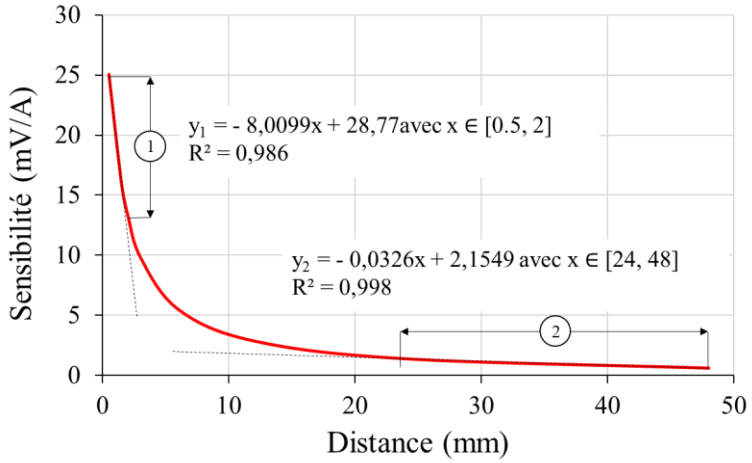


Figure 4. 26. Sensibilité du capteur AA003-02E en fonction de la distance de mesure

Dans la section suivante, nous avons choisi d'utiliser le capteur AA003-02E à une distance de 2mm du composant testé (zone 1), ce qui garantira une sensibilité élevée et un positionnement plus simple et sécurisé en utilisant un bras automatisé et programmable dans notre banc de test. Lors d'une intégration possible dans un testeur ICT, cette distance peut être choisie selon la topographie du BUT de façon à augmenter la sensibilité en champ proche et diminuer l'influence des composants à proximité.

2.2. CONCLUSION

Dans le but de bien maîtriser les caractéristiques des capteurs du type GMR multicouche dans une application de test sans contact de PCBA en production, la caractérisation du capteur GMR AA003-02E (NVE) nous a permis d'identifier les points forts et les points faibles de cette technologie et de proposer des solutions afin d'améliorer l'utilisation industrielle de ces capteurs dans le domaine de test de PCBA en production. Dans le tableau 4.3 ci-dessous nous résumons quelques solutions pour s'affranchir des limitations principales des capteurs GMR en termes de tension d'offset, de résolution et de sensibilité AC et DC.

Tableau 4. 3. Récapitulatif des limitations de la technologie GMR et des solutions pour y remédier.

	Limitations	**Solutions**
Tension d'offset	Le déséquilibre au niveau du pont de Wheatstone et le champ magnétique terrestre contribuent à la variation de la tension d'offset.	- Prévoir une phase d'initialisation du capteur qui consiste à faire des balayages de courant dans un sens unipolaire (croissant seulement ou décroissant seulement) pour avoir un niveau d'offset constant. Ou : - L'utilisation d'une impulsion de démagnétisation après chaque mesure permet de supprimer l'offset et de diminuer l'effet d'hystérésis.
Résolution	Le bruit ambiant est le facteur limitant de la résolution.	Avec un filtrage, une amplification et un blindage adéquats, le niveau de bruit peut être diminué, ainsi la résolution utilisable augmentera significativement.
Sensibilité DC	La non-linéarité de la sensibilité en fonction du champ magnétique	La sensibilité DC est stable dans la région linéaire ($V_{out}(B)$) pour les courants positifs et négatifs (Champs croissants et décroissants). De meilleures sensibilités sont retrouvées sur des pistes de largeurs réduites (cf. tableau 4.2)
Sensibilité AC	La sensibilité AC normalisée est stable à ~ 5.2 mV/V/A jusqu'à une fréquence de champ AC de 200 kHz. Elle chute à 3.78 mV/V/A à ~1 MHz.	- Ces marges sont satisfaisantes pour notre application, mais peuvent néanmoins être améliorées en utilisant des équipements de mesures plus adaptés aux signaux à haute fréquence.

La détection des champs magnétiques DC et de basse fréquence, comme par exemple ceux résultant du passage d'un courant DC dans une piste conductrice, ou d'un courant AC dans une inductance de filtrage dans une alimentation à découpage (typiquement 10 - 500 kHz), peut facilement se faire par un capteur de technologie GMR vu sa bande passante. Par contre, la détection de champs magnétiques de haute fréquence résultant de phénomènes transitoires rapides, tels que la transition d'un faible courant dans un condensateur de découplage par exemple, nécessite un capteur de champ magnétique possédant une large bande passante. Les capteurs de champ magnétique à boucle inductive répondent parfaitement à ce besoin vu leur comportement passe-haut.

Dans le cas de l'application présentée par la suite, nous allons combiner les deux types de capteurs, GMR et à boucle inductive, pour tester deux phénomènes magnétiques ayant lieu dans deux gammes de fréquence différentes dans un bloc d'alimentation.

Nous avons intitulé l'approche utilisant ces mesures de champ magnétique dans le test de PCBA: « *Near Field Probe Testing* » (NFP-T). Cette approche vise à mettre à niveau les testeurs in-situ en supprimant certains clous de test et les remplacer par des sondes sans contact dans le but de diminuer le nombre de points de test placés sur le PCBA.

PARTIE 2 : DETECTION DE DEFAUTS D'ASSEMBLAGE EN UTILISANT DES SIGNATURES MAGNETIQUES EN CHAMP PROCHE

1. INTRODUCTION

Le test in-situ largement utilisé dans les processus de fabrication HVM « *High-Volume Manufacturing* », nécessite des tolérances mécaniques strictes pour la disposition des cartes et des points de test facilement accessibles sur leurs surfaces. Ces derniers restreignent la bande des fréquences à laquelle une carte électronique peut être testée [103], ce qui n'est pas tolérable sur certains PCBA de haute densité comportant de nombreux signaux de hautes fréquences.

Partant de cette limitation de l'ICT, nous avons eu l'idée de tirer parti de la nature HVM de l'ICT et d'essayer de le mettre à niveau avec des sondes sans contact pour répondre aux défis actuels des tests [124], [125]. Dans cette partie, nous présentons une nouvelle approche de test exploitant des capteurs électromagnétiques (EM) de basse et haute fréquence en champ proche « *Near Field Sensors* » (NFS) pour tester des PCB peuplés. Une comparaison de l'état de l'art présentée dans le chapitre III montre qu'il n'existe, à ce jour, aucune technique tirant parti des avantages classiques de l'ICT tout en essayant de transformer sa structure de « test par contact » en une structure de lit-à-clous sans contact dans le but de tester des assemblages de PCB en production.

Le principe de la méthode proposée est expliqué dans la section 2 afin de comprendre son application à grande échelle. Afin de prouver l'efficacité de la méthode, nous avons choisi un module convertisseur DC/DC dévolteur comme étude de cas. Le module convertisseur, le banc d'essai expérimental et les NFS utilisés sont décrits dans la section 3. Des simulations de scénarios de défauts de valeur ont été réalisées sur Cadence Orcad et validées par des mesures sur des PCBA de convertisseurs DC/DC dans lesquelles nous avons introduit des défauts de valeur contrôlés sur des condensateurs céramiques de découplage en entrée et en sortie et de l'inductance du filtre de sortie. La simulation et les résultats expérimentaux sont présentés dans la section 4 et prouvent que les défauts sur les valeurs des composants peuvent conduire à des variations détectables des signatures EM.

Dans la section 5, une discussion sur la robustesse de la détection des défauts au niveau des composants puis au niveau du PCBA a été faite. Les corrélations entre les signatures EM mesurées (EMS) et les différentes sources d'incertitude qui affectent les mesures sont identifiées et discutées. Un algorithme de détection de valeurs aberrantes basé sur l'analyse en composantes principales « *Principal Componant Analysis* » (PCA) est proposé et détaillé dans la section 6. Cette méthode de détection de défaut est effectuée sur les données de simulation Monte-Carlo du convertisseur DC/DC dévolteur conformément à la configuration de simulation décrite dans la section 7. Les résultats sont présentés dans la section 8. Enfin, une discussion et des perspectives sur l'amélioration de l'ICT et la méthode de détection sont fournies en conclusion.

2. DESCRIPTION DE L'APPROCHE DE TEST PROPOSEE

2.1. PRINCIPE

Le principe de la méthode présentée dans le diagramme de la figure. 4.27, consiste à mesurer sans contact, à l'aide d'une sonde champ proche (NFS), le champ EM en un seul point choisi au-dessus d'un composant alimenté et à comparer la signature électromagnétique mesurée à une base de données de signatures de référence préétablie sur des PCBA sans défaut. Le champ magnétique mesuré est généré par la distribution des courants dans les composants montés sur le BUT. Des mesures précises et répétables de ce champ produisent une signature dans le domaine temporel et fréquentiel spécifique pour chaque composant testé, qui peut être étendue, dans certains cas, à un bloc opérationnel complet. La comparaison des signatures correspondant à chaque composant testé sur le BUT avec une base de données de signatures de référence permet de détecter si le BUT est défectueux. Si c'est le cas, l'emplacement du composant défectueux est identifié avec précision connaissant la position du NFS sur la carte.

Pour une utilisation réussie de cette technique, un certain nombre de conditions doit être respecté :

- Le BUT ou le bloc fonctionnel testé de la carte doit être alimenté/stimulé.
- Les composants testés ne doivent pas être blindés.
- Les composants testés doivent être accessibles pour placer le NFS au plus près. À défaut, en raison de la décroissance rapide du champ détecté, la sensibilité de la sonde risque d'être insuffisante, ainsi que la résolution spatiale (capacité à séparer les champs produits par 2 composants distincts).
- Les pistes conductrices doivent être routées en surface.

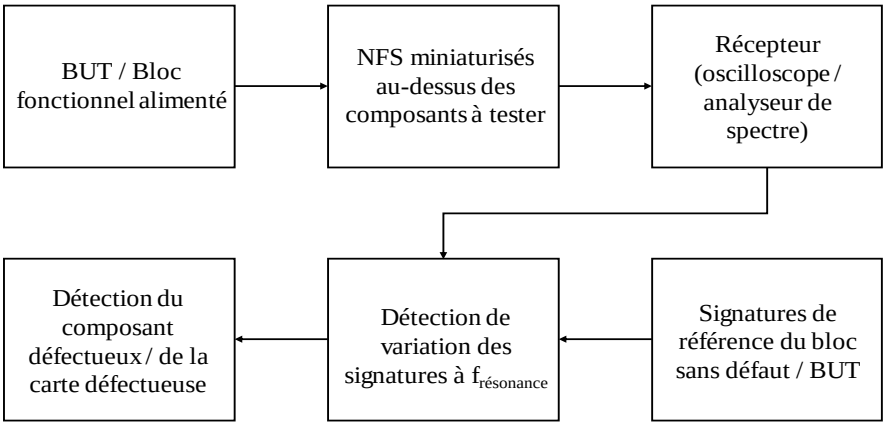


Figure 4. 27. Principe de l'approche du test par NFS

2.2. TYPES DE DEFAUTS D'ASSEMBLAGE DETECTES

Les défauts que nous cherchons à détecter avec cette méthode se situent au niveau des composants. En d'autres termes, il est supposé que le PCB nu est garanti sans défaut par le fabricant, ou qu'il a déjà été testé et certifié non-défectueux. Les défauts d'assemblage de composants que nous pouvons détecter avec cette technique sont les défauts PPVS (*Presence*, *Polarity*, *Value*, *Solder*) discutés dans le chapitre II :

- Présence des composants,
- Polarité pour les composants présentant un changement du profil du courant lorsqu'ils sont montés en polarisation inverse,
- Valeur des composants passifs,

- Un composant de la bonne valeur dont le boîtier non-conforme peut modifier significativement la distance le séparant à la sonde,
- Composants stressés / surchauffés qui pourraient être dégradés
- Défauts de soudure (circuits-ouverts et courts-circuits).

Les composants testés doivent être choisis avec soin à l'avance afin d'établir des règles de testabilité « *DFT rules* » propres à chaque produit testé, permettant ainsi de minimiser le nombre de sondes et de points de mesure et d'optimiser la détection de défauts sur le BUT.

3. DESCRIPTION DE L'ETUDE DE CAS : CONVERTISSEUR DC/DC DÉVOLTEUR

Pour valider notre approche, nous avons choisi un cas typiquement industriel de convertisseur DC/DC dévolteur en raison des courants transitoires importants traversant les composants lors du fonctionnement du module. Des composants tels que les condensateurs de découplage et de filtrage, les MOSFET et les inductances émettent un champ magnétique transitoire significatif dans la région du champ proche. Les champs magnétiques créés par ces courants sont liés à la fonction de la carte, mais aussi aux valeurs des composants, aux types de boîtiers et au montage sur le PCB. L'analyse des champs magnétiques mesurés permet de détecter la présence et la localisation de défauts d'assemblage ou de composants de valeurs erronées.

La carte d'évaluation choisie a pour fréquence de commutation f_{SW} = 250 kHz [126]. Une illustration de ce PCB est présentée dans la figure 4.28.

Un schéma électrique simplifié utilisé pour la modélisation et la simulation de cette carte de test est présenté dans la figure 4.29.

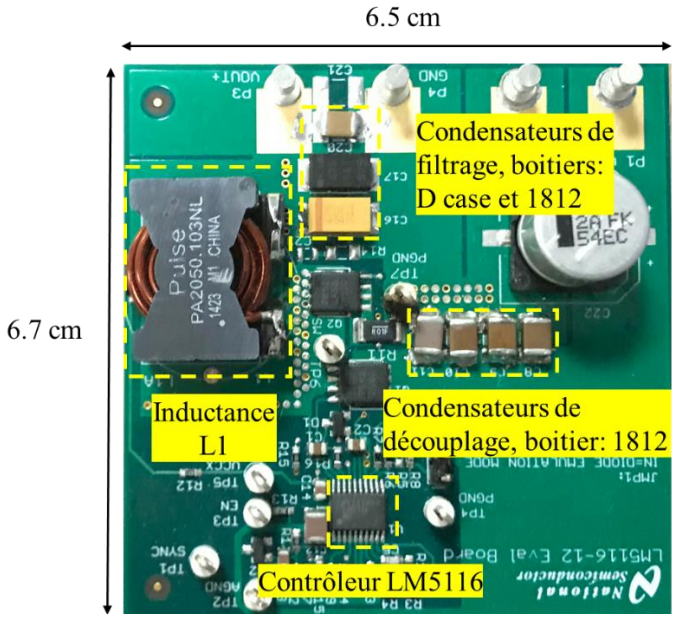


Figure 4. 28. Module d'évaluation du convertisseur DC/DC LM5116

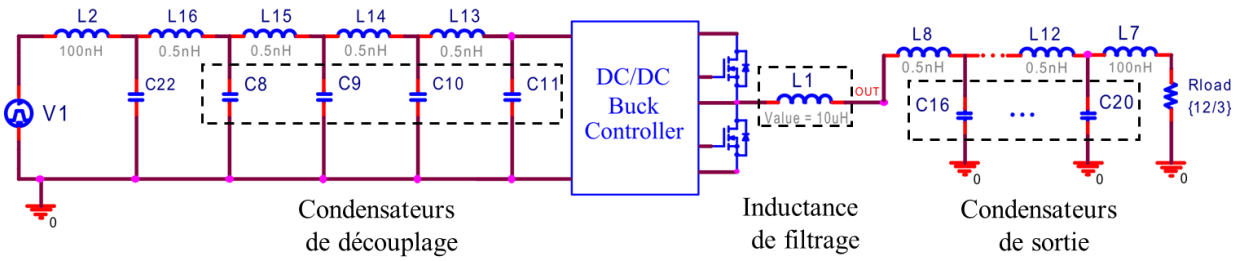


Figure 4. 29. Schéma électrique simplifié de simulation du convertisseur DC/DC LM5116

3.1. SCENARIO DE DEFAUTS TESTES

Les condensateurs de découplage, les condensateurs et l'inductance qui composent le filtre à l'étage de sortie d'un convertisseur DC/DC, sont des éléments critiques pour la qualité de conversion de puissance. Ces composants sont choisis et dimensionnés d'une manière à garantir le minimum de perte d'énergie et un bon rendement de la conversion de puissance. Une valeur erronée de l'un de ces composants pourra altérer ses caractéristiques, ou au pire des cas, compromettre totalement son fonctionnement.

Le scénario utilisé pour valider notre approche de test est la détection d'une valeur erronée des condensateurs de découplage, des condensateurs et de l'inductance de filtrage en sortie du convertisseur.

L'approche est testée initialement en simulation, puis en mesure afin de prouver la pertinence des variations des signatures magnétiques mesurées.

Nous avons modélisé la carte d'évaluation du convertisseur présentée dans la figure 4.29 sur *Allegro Design Entry Capture* [127] à l'aide du modèle PSPICE du contrôleur fourni sur le site du fabricant [128]. Les valeurs estimées des éléments parasites de chaque composant testé ont été prises en compte dans la simulation (cf. Annexe IV.B pour le schéma détaillé de simulation). Nous avons ensuite exécuté plusieurs simulations paramétriques avec des valeurs différentes de chaque condensateur de découplage, des condensateurs et de l'inductance de filtrage.

La simulation ne vise pas nécessairement à reproduire les courants transitoires circulant dans les différents composants (tâche délicate sortant du cadre de ce travail), mais plutôt à reproduire son comportement général afin d'évaluer la variation du courant dans chaque composant face à un changement de la valeur de l'un de ces composants. Cependant, le courant transitoire n'est pas la grandeur directement caractérisée lors des mesures. La grandeur mesurée est une tension aux bornes d'une sonde champ proche. Pour comparer les résultats de la simulation à la mesure, nous considérons les dérivées des courants simulés car les sondes champ proche sont sensibles au comportement transitoire du champ magnétique, comme décrit en 3.2.1.

3.2. DESCRIPTION DES CAPTEURS CHAMP PROCHE

3.2.1. Utilisation de sondes champ proche (NFP)

Les mesures des signatures de champ H dans le domaine temporel au-dessus des composants du BUT alimenté (cf. tableau 4.4) ont été réalisées à l'aide d'une sonde champ proche « *Near field Probe* » (NFP) miniaturisée de référence *RF-R 0.3-3* [129] de résolution inférieure au millimètre. La sonde mesure la dérivée des champs magnétiques latéraux au-dessus du composant testé dans une plage de fréquence allant de 30 MHz à 3 GHz (cf. figure 4.30). La tension à la sortie de la sonde (V_{out}) est proportionnelle à la surface de sa boucle de détection (S) et à la variation du champ magnétique (H) comme le montre l'équation (5), avec μ_0 la perméabilité du vide. Le produit $\mu_0 \times S$ est appelé facteur de couplage (k) de la sonde champ proche utilisée.

$$V_{out} = -\frac{d\Phi}{dt} = -\mu_0 . S . \frac{dH}{dt} = -k . \frac{dH}{dt} \quad (5)$$

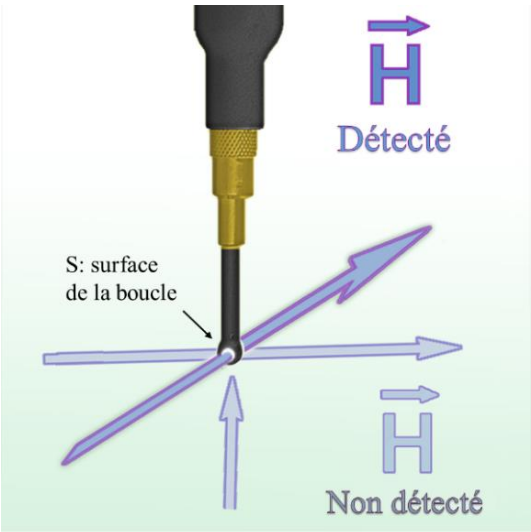


Figure 4. 30. Sonde champ proche utilisée dans les mesures de signatures EM.

La sonde a été directement connectée à un oscilloscope numérique avec une impédance d'entrée de 50Ω, et a ensuite été déplacée vers des positions programmées au-dessus de chaque condensateur d'entrée dans la zone de champ proche à une distance de 2mm du centre de chaque composant (cf. figure. 4.32). Pour ce faire, nous avons utilisé une table de balayage de position programmable par ordinateur d'une précision de déplacement, suivant les axes (X, Y, Z) égale à 25µm (cf. figure. 4.31). Un scan de la topographie de la carte a été réalisé en premier lieu à l'aide d'un télémètre monté sur la surface du bras automatisé. Un étalonnage de position du capteur a été effectué par la suite afin de déterminer précisément sa position par rapport au télémètre et à la surface de la carte testée. Ces données topographiques sont enregistrées et permettent un positionnement précis et répétable au-dessus du BUT.

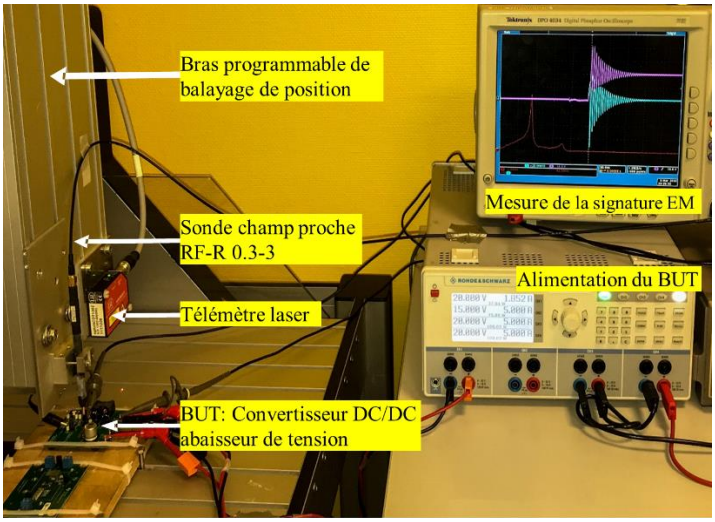


Figure 4. 31. Configuration du banc de test des condensateurs de découplage et de filtrage du BUT par NFP

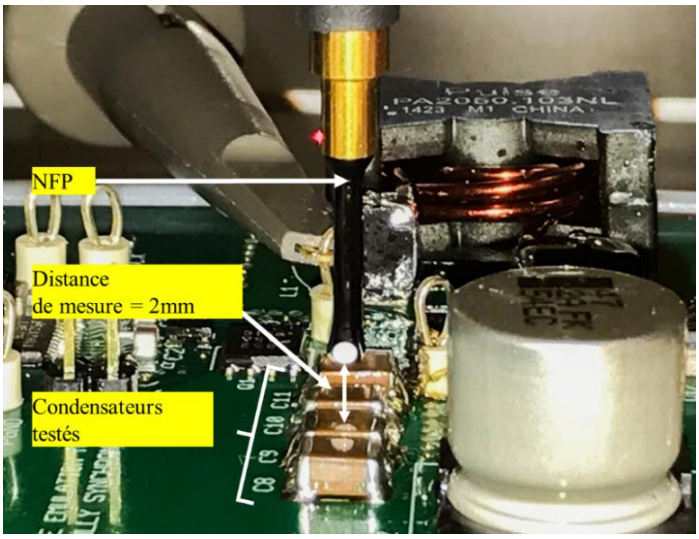


Figure 4. 32. Mesure de la signature EM par NFP à 2 mm du centre de la surface d'un condensateur de découplage

3.2.1.1. Procédure de test: Simulation et Expérimentation

Les conditions d'alimentation du BUT pour un fonctionnement typique dans la simulation et l'expérimentation sont décrites dans le tableau 4.4.

Tableau 4. 4. Conditions d'alimentation du BUT pour la simulation et l'expérimentation

Tension d'entrée V_{in}	20 V
Tension de sortie V_{out}	12 V
Courant de charge I_{Load}	3 A
Fréquence de découpage f_{sw}	250 kHz

Pour représenter un cas de défaut de valeur de ces composants, nous avons remplacé les condensateurs de découplage (C8, C9, C10, C11) et les condensateurs du filtre de sortie (C16, C20) séparément par des condensateurs présentant des valeurs erronées. Ensuite, nous avons collecté les signatures dans le domaine temporel sur chaque condensateur pour chacune des valeurs évaluées (cf. Tableau 4.5). Ces signatures sont ensuite analysées dans le domaine fréquentiel après l'application d'une transformation de Fourier rapide (FFT) afin d'évaluer leur variance par rapport aux signatures de référence.

Tableau 4. 5. Valeurs des condensateurs de découplage et de filtrage en simulation et expérimentation

Condensateurs	Valeurs de référence (µF)	Valeurs erronées (µF)
C8	2.2µF	1, 1.5, 3.3, 15
C9	2.2µF	1, 1.5, 3.3, 15
C10	2.2µF	1, 1.5, 3.3, 15
C11	2.2µF	1, 1.5, 3.3, 15
C16	47µF	22, 33, 68
C20	22µF	10, 15, 33

3.2.2. Utilisation de capteurs GMR

Les sondes à champ proche ont une sensibilité élevée lors de la mesure de champs magnétiques de haute fréquence, mais les champs à basse fréquence ne sont pas détectés avec précision. Le champ magnétique statique est quant à lui non-mesurable. Pour compenser le manque de sensibilité dans les mesures à basse fréquence, nous utilisons le capteur GMR AA003-02E [113] que nous avons caractérisé dans la première partie de ce chapitre. Ce capteur offre une meilleure sensibilité aux champs magnétiques de fréquence relativement basse (caractérisé jusqu'à 1 MHz).

Pour notre module d'évaluation, l'inductance du filtre de sortie utilisée contient un noyau ferromagnétique qui sert à augmenter la valeur de l'inductance et à confiner les lignes du champ magnétique à l'intérieur du noyau, vu sa haute perméabilité par rapport à l'air. La figure 4.33 montre une image par rayon-X de l'inductance de filtrage montée sur le PCB du convertisseur testé.

Ce type d'inductance présente tout de même un chemin magnétique ouvert dans l'air sur les bords où il n'y a pas de matériau ferromagnétique pour confiner les lignes de champ [130].

Le capteur GMR sera donc positionné au-dessus de la partie présentant un chemin magnétique ouvert de l'inductance afin de maximiser le champ magnétique capturé.

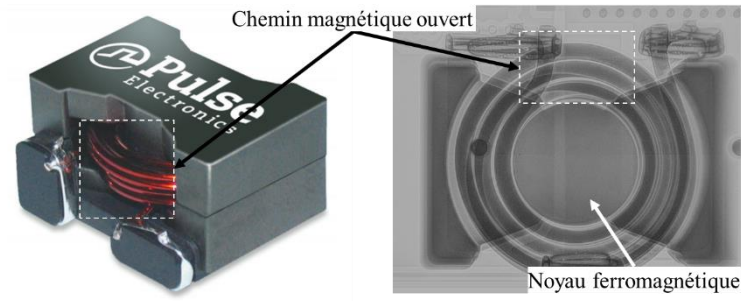


Figure 4. 33. Image par rayon-X de l'inductance L1 du filtre de sortie du BUT montrant le noyau ferromagnétique.

3.2.2.1. Procédure de test : Simulations et Expérimentations

Nous avons utilisé le capteur commercial GMR AA003-02E pour tester l'inductance L1 montée sur le BUT. Etant donné la fréquence de découpage du convertisseur testé (250 kHz), un champ magnétique périodique domine au-dessus de l'inductance. Le capteur GMR que nous utilisons est parfaitement adapté à la mesure des premières harmoniques (inférieures à 1MHz). L'ondulation du courant basse fréquence traversant l'inductance peut être mesurée avec précision à l'aide de ce capteur afin de détecter toute variation de sa valeur.

Les mesures ont été prises à une distance d=2mm au-dessus de la partie présentant un chemin magnétique ouvert de l'inductance (cf. Figure. 4.34) en introduisant quatre valeurs différentes de défaut. Le capteur est polarisé dans sa zone linéaire à l'aide d'un aimant permanent positionné à 3cm de son centre. Le convertisseur est mis sous tension et le courant de charge de sortie est fixé à une valeur constante de 3A. Le tableau 4.6 présente les conditions d'alimentation du BUT et du capteur GMR ainsi que les valeurs de défaut de l'inductance L1.

Tableau 4. 6. Conditions de test de l'inductance du filtre en sortie du BUT

$V_{in_DC/DC}$	20V
$V_{out_DC/DC}$	12V
V_{supply_GMR}	±20V
f_{sw}	250KHz
I_{Load}	3A
Valeur de référence	L= 10µH
Valeurs erronées de l'inductance	L= 5.8µH
	L= 19.4µH
	L= 38.9µH

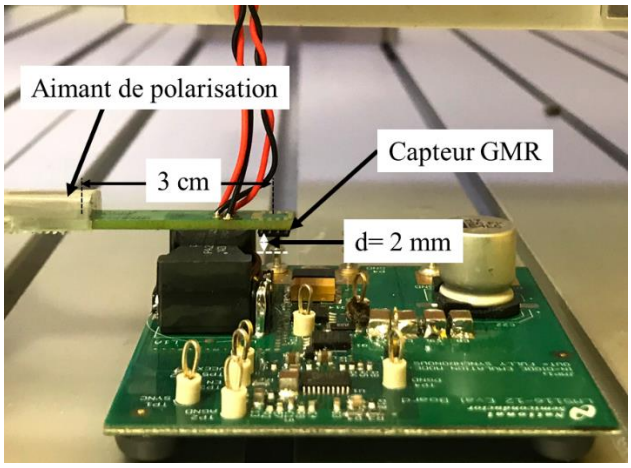


Figure 4. 34. Placement du capteur GMR AA003-02E pour le test de l'inductance L1

4. SIMULATIONS ET RESULTATS EXPERIMENTAUX

4.1. TEST DES CONDENSATEURS DE DECOUPLAGE

4.1.1. Signatures de référence

La signature de référence est le champ magnétique capturé par le NFP au-dessus de chaque condensateur d'entrée lorsque sa valeur est correcte (valeurs de référence).

Sur le graphique a) de la figure 4.35 nous traçons la FFT des signatures EM de référence EMSR(C8), EMSR(C9), EMSR(C10), EMSR(C11) mesurées respectivement au-dessus des condensateurs C8, C9, C10 et C11. Le graphique b) de la même figure représente la FFT des dérivées des courants issus des simulations I'(C8), I'(C9), I'(C10), I'(C11) qui circulent dans ces mêmes condensateurs, que nous considérons équivalents, du point de vue comportemental, aux signatures EM mesurées.

Ces deux graphiques montrent que, seulement autour d'une fréquence spécifique, 5 MHz pour la simulation et 112 MHz pour les mesures, nous obtenons une signature EM significative pour les condensateurs de découplage testés. Ce sont des fréquences sur lesquelles nous obtenons un maximum de résonance dans le spectre FFT des mesures et des simulations et qui peuvent varier d'un type de produit à l'autre.

La différence notable entre les échelles d'amplitude et de fréquence entre la simulation et la mesure est due aux éléments suivants :

- Hypothèses formulées sur les paramètres parasites des composants du modèle de simulation,
- Facteur de couplage du NFP ($k= \mu_0 \times S$) qui n'a pas été pris en compte dans le modèle de simulation,
- Considération des dérivées des courants circulant dans les condensateurs au lieu des dérivées du champ H, car vu le matériau (diélectrique) et la géométrie des condensateurs testés, le calcul exact de la distribution du champ H à partir des courants s'avère complexe et sort du cadre de ce travail.

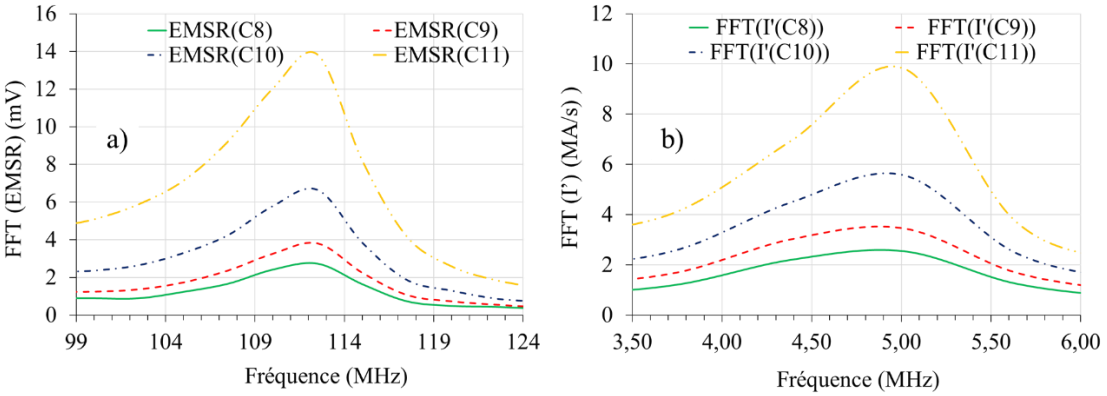


Figure 4. 35. a). Signatures EM de référence mesurées au-dessus des condensateurs C8, C9, C10, C11
b). Signatures EM de référence issues des dérivées de courants simulés dans les condensateurs C8, C9, C10, C11

4.1.2. Signatures avec des valeurs incorrectes des condensateurs de découplage

Par souci de concision, seules les signatures EM mesurées au-dessus des condensateurs de découplage induits par la variation de la valeur du condensateur de découplage C8 seront présentées dans cette section (cf. figure. 4.36 et figure. 4.37).

Nous faisons varier la valeur du condensateur de découplage C8 suivant 4 valeurs de défauts (cf. tableau 4.5), et nous mesurons la signature EM au-dessus de tous les condensateurs de découplage.

Les lignes en pointillés représentent les petites variations de signature des condensateurs de découplage inchangés (C9, C10, C11) autour de leur signature EM de référence (EMSR) consécutives aux variations de valeurs de C8. Les lignes en gras représentent la variation des signatures C8 (FFT(I'(C8))) lorsque sa valeur change. Les résultats de la simulation et des mesures montrent que la signature EM de C8 varie de manière significative, alors que celle des autres condensateurs ne varie pas autant.

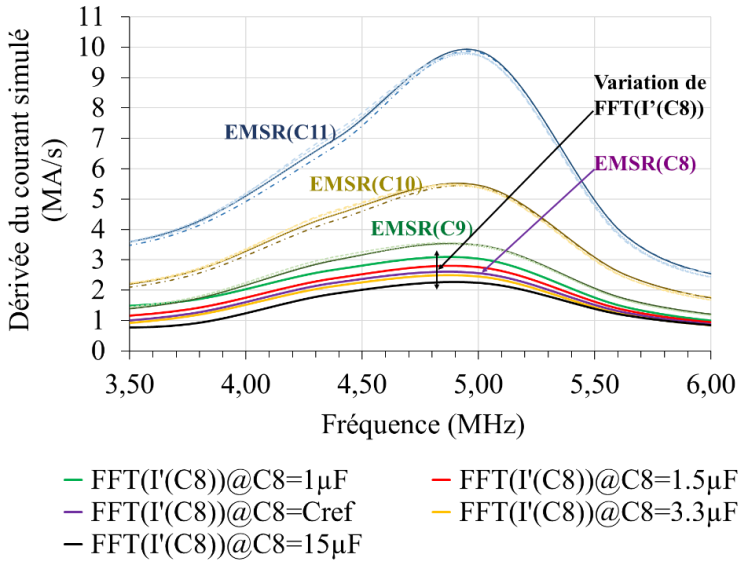


Figure 4. 36. FFT des dérivées de courant simulé dans les condensateurs de découplage lorsque C8 prend plusieurs valeurs (C8=1µF, C8=1.5µF, C8=Cref=2.2µF, C8=3.3µF, C8=15µF)

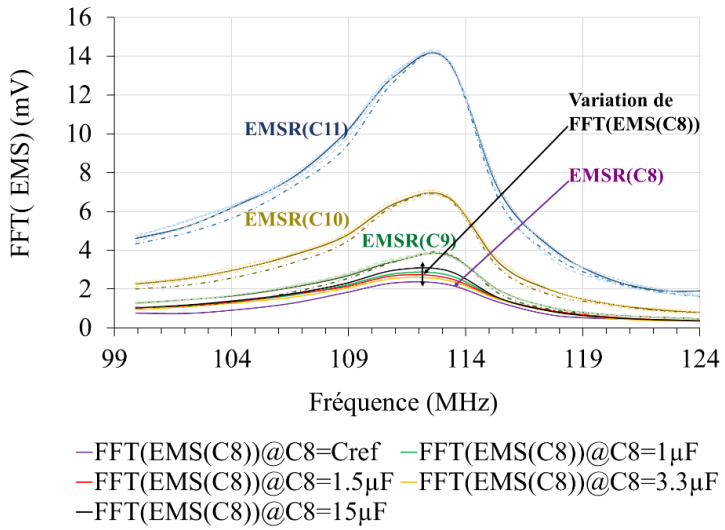


Figure 4. 37. FFT des EMS mesurés au-dessus des condensateurs de découplage lorsque C8 prend plusieurs valeurs (C8=1µF, C8=1.5µF, C8=Cref=2.2µF, C8=3.3µF, C8=15µF)

4.1.3. Comparaison et analyse

Les résultats de la mesure montrent que le changement de valeur du condensateur induit une variation significative du spectre d'amplitude vers 112 MHz de sa signature EM. Cette fréquence est due à la résonance des condensateurs d'entrée avec les éléments parasites de l'étage de commutation du convertisseur, qui dépendent de la carte testée et des dispositifs montés.

Ceci est toujours vrai pour tous les condensateurs d'entrée lorsque nous changeons leurs valeurs. Ils présentent tous une variance significative de l'amplitude de leur FFT de signature EM autour de 112 MHz. Nous avons résumé tous les résultats de simulations et de mesures de tous les condensateurs dont les valeurs ont été modifiées (C8, C9, C10, C11) dans les graphiques des figures 4.38 et 4.39.

Un premier outil mathématique simple que nous avons utilisé pour prouver la détection de valeurs erronées des composants montés sur une carte à travers leurs signatures EM est la déviation quadratique moyenne (RMSD) (cf. l'équation (6)). Cette mesure statistique est utilisée pour quantifier la dispersion des signatures EM mesurées sur chaque condensateur autour d'une signature de référence à la fréquence de résonance. Un RMSD bas indique que les signatures ont tendance à être proches de la signature de référence, tandis qu'un RMSD élevé indique qu'elles sont réparties sur une large plage de valeurs. Une détection d'une valeur erronée d'un composant devient ainsi plus probable et aisée. Les graphiques des figure 4.38 et 4.39 montrent que les signatures les plus dispersées autour de la référence sont celles du condensateur de découplage pour lequel la valeur a été modifiée, en d'autres termes, le condensateur défectueux.

$$RMSD_{ref} = \sqrt{\frac{1}{N-1}\sum_{i=1}^{N}(X_i(f_{res}) - X_{ref}(f_{res}))^2} \qquad (6)$$

N	:	Nombre de signatures EM mesurées/simulées pour chaque valeur de condensateur
$X_i(f_{res})$	:	Signature EM correspondant à une valeur erronée du condensateur à la fréquence de résonance
$X_{ref}(f_{res})$	:	Signature EM correspondant à la valeur de référence du condensateur à la fréquence de résonance

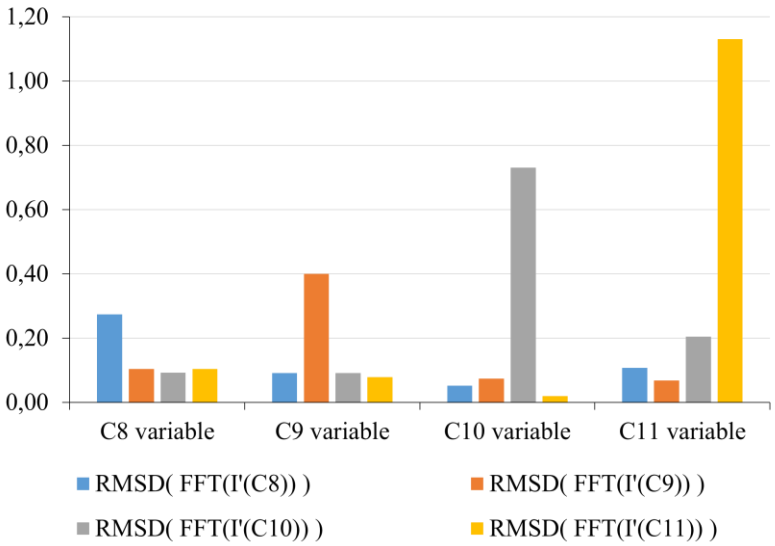


Figure 4. 38. RMSD de l'amplitude FFT des signatures EM simulées pour chaque condensateur de découplage modifié séparément

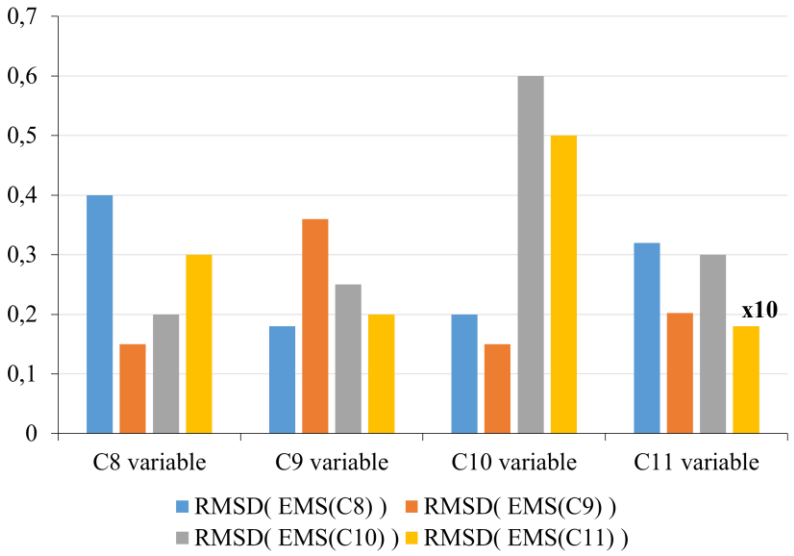


Figure 4. 39. RMSD de l'amplitude FFT des signatures EM mesurées pour chaque condensateur de découplage modifié séparément
x10 : La valeur de cet écart est de 1,8 mV, elle a été divisée par 10 pour tenir dans le graphique de comparaison.

Nous pouvons voir qu'il y a une cohérence entre la simulation et les résultats expérimentaux. Le RMSD du condensateur de valeur erronée est toujours le plus élevé, ce qui permet sa détection par comparaison avec les RMSD des autres condensateurs non-défectueux.

Nous remarquons également que dans le cas d'analyse des signatures EM mesurées, les valeurs de RMSD des condensateurs non-défectueux sont non négligeables et se rapprochent des RMSD des condensateurs défectueux, ce qui rend la détection moins robuste. Ces valeurs élevées de RMSD sont dues à la variation du courant global traversant tous les condensateurs testés, causée par la valeur erronée du condensateur défectueux.

4.2. TEST DES CONDENSATEURS DE FILTRAGE EN SORTIE

La capacité de sortie d'un convertisseur DC/DC à découpage est un élément essentiel du système de rétroaction globale. L'inductance de stockage d'énergie et les condensateurs de sortie forment un filtre passe-bas de second ordre. L'inductance du filtre de sortie limite donc l'ondulation du courant. Lorsque le courant requis par la charge augmente, les condensateurs de sortie réalisent la compensation jusqu'à ce que le régulateur puisse répondre à la demande de charge afin d'éviter une variation importante de la tension de sortie [126].

Afin de mesurer les signatures de champs EM transitoires sur ces condensateurs de sortie, nous devons accentuer leur rayonnement EM en les poussant à fournir un courant transitoire élevé à la charge.

Pour ce faire, nous avons conçu une charge faisant passer la consommation de courant de sortie du convertisseur $Iout_{DC/DC}$ de 50 mA à 2.5 A avec un temps de montée de 1 µs et un temps de descente de 0.5 µs (cf. figure 4.40).

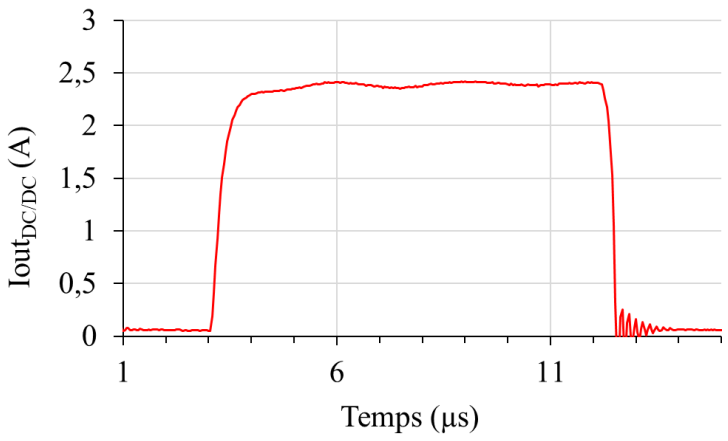


Figure 4. 40. Courant consommé par la charge à la sortie du convertisseur DC/DC pour le test des condensateurs de filtrage

4.2.1. Signatures avec des valeurs incorrectes des condensateurs de sortie

Les mesures de signatures EM avec le NFP (Near Field Probe) sur chaque condensateur de sortie dont la valeur est modifiée (cf. tableau 4.7) sont présentées sur les figures 4.41 et 4.42. Ces résultats montrent clairement qu'une large variation du spectre est observée au-dessus du condensateur dont on a modifié la valeur.

Les lignes pointillées montrent les petites variations de signature des condensateurs de sortie inchangés consécutives à la variation de C16 puis de C20. Les lignes en gras sont les variations de signature des condensateurs de sortie C16 et C20 dont on a modifié la valeur.

Tableau 4. 7. Valeurs des condensateurs C16, C20 de sortie du BUT

Condensateur de sortie	Valeur de référence (µF)	Valeurs erronées (µF)
C16	47µF	22, 33, 68
C20	22µF	10, 15, 33

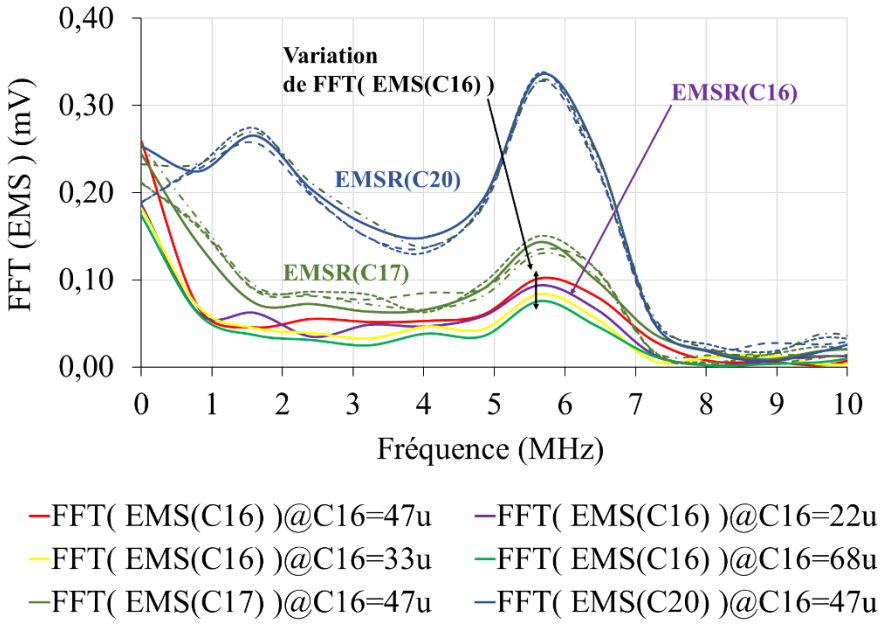


Figure 4. 41. FFT des Signatures EM mesurées au-dessus des condensateurs de sortie lorsque C16 prend plusieurs valeurs.

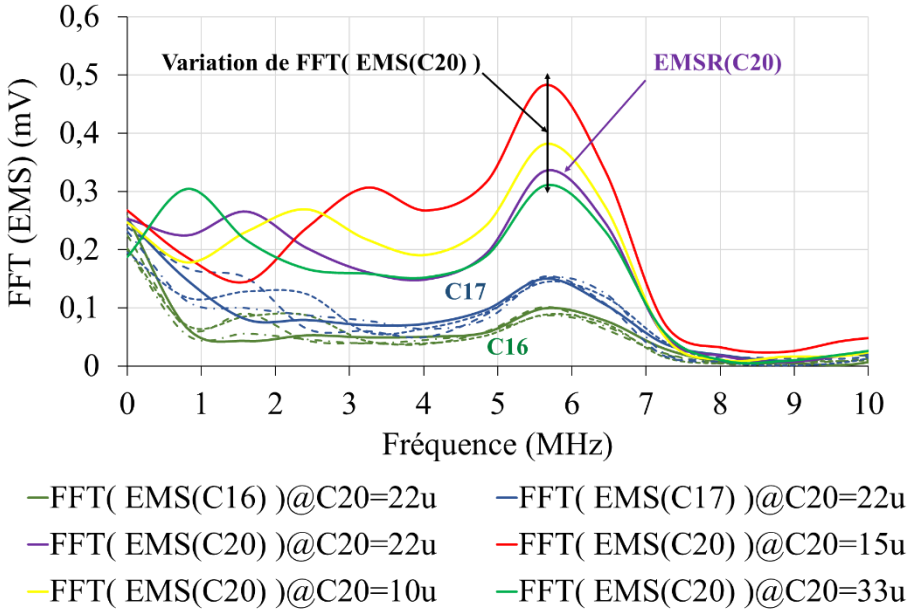


Figure 4. 42. FFT des Signatures EM mesurées au-dessus des condensateurs de sortie lorsque C20 prend plusieurs valeurs

4.2.2. Comparaison et analyse

Nous pouvons clairement distinguer le condensateur avec une valeur erronée en remarquant que l'amplitude de sa signature s'écarte de celle de référence. Cette signature EM mesurée correspond à la résonance de la boucle composée des condensateurs de sortie du convertisseur DC/DC et des éléments parasites de la charge de sortie (inductances des pistes et capacités parasites). Dans ce cas particulier, nous avons observé la résonance à 5,5 MHz.

Ce résultat reste vrai pour tous les condensateurs de sortie lorsque nous faisons varier leurs valeurs. Ils présentent tous une variance significative de l'amplitude de leur FFT de signature EM autour de 5,5 MHz. Nous avons résumé les résultats de calculs de RMSD à partir des données de simulations (RMSD[I'(C16)], RMSD[I'(C17)], RMSD[I'(C20)]) et de mesure des signatures EM (EMS) (RMSD[EMS(C16)], RMSD[EMS(C17)], RMSD[EMS(C20)]) de tous les condensateurs de sortie dans les figures 4.43 et 4.44 Ci-dessous.

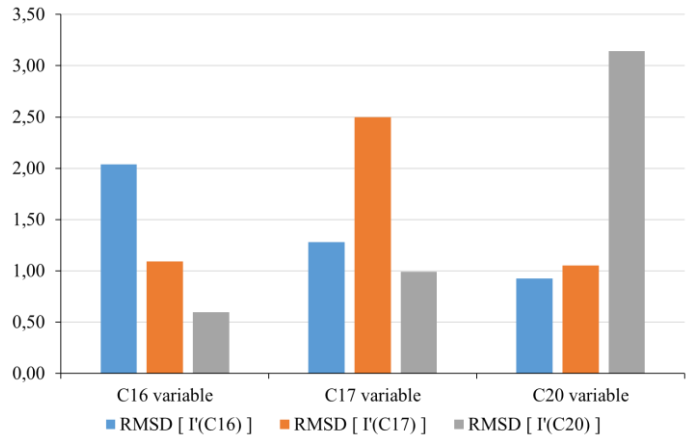


Figure 4. 43. RMSD de l'amplitude FFT des signatures EM simulées dans chaque cas où la valeur d'un condensateur de sortie est modifiée séparément

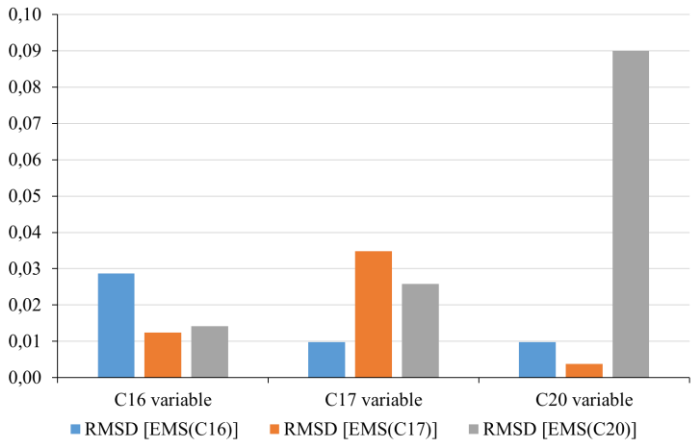


Figure 4. 44. RMSD de l'amplitude FFT des signatures EM mesurées dans chaque cas où la valeur d'un condensateur de sortie est modifiée séparément

Nous pouvons bien distinguer les condensateurs défectueux en simulation et en expérimentation dans chaque cas en comparant les RMSD calculés dans le même cas de défaut. Par exemple, dans le cas expérimental de la figure 4.44, quand on fait varier la valeur du condensateur C16, ce qui reflète un défaut de valeur, le calcul du RMSD pour les signatures mesurées au-dessus de tous les condensateurs de sortie montre que RMSD [EMS(C16)] a la plus haute valeur, ce qui revient à dire que la plus grande déviation des signatures mesurées par rapport à la référence a été trouvée pour C16. Nous pouvons, pour cet exemple, confirmer que C16 est défectueux.

Dans ce scénario de défaut assez simple, comme pour celui des condensateurs de découplage, nous avons introduit un seul défaut de valeur dans un groupe de condensateurs. Le RMSD s'est avéré suffisant pour détecter la variation de la signature EM du condensateur de valeur erronée et la différencier de celle des autres condensateurs non-défectueux (discrimination). Par contre, dans des cas plus compliqués que nous avons étudiés, en introduisant plusieurs condensateurs défectueux en même temps, cette discrimination n'est plus

possible. Les impacts des variations des valeurs des composants sur les signatures EM de leurs voisins forment des corrélations qui suivent des lois complexes difficiles à prévoir, ce qui rend un indicateur de défaut basé uniquement sur le RMSD insuffisant pour tenir compte de ces corrélations. Un algorithme de détection plus discriminant et robuste est donc présenté dans la section 6.

4.3. TEST DE L'INDUCTANCE DU FILTRE DE SORTIE

Les résultats présentés dans la figure 4.45 montrent la possibilité de détecter des variations de la valeur de l'inductance à l'aide d'un capteur GMR. L'amplitude crête à crête de la tension de sortie du capteur double lorsque la valeur de l'inductance est divisée par 2, ce qui est cohérent puisque la sortie du capteur ($Vout_{GMR}$) a une relation linéaire par le biais de la sensibilité dynamique ($S_{dynamic}$) avec le champ magnétique alternatif (B) qui est proportionnel à l'ondulation du courant (ΔI_L) dans l'inducteur. Cette dernière est, en effet, inversement proportionnelle à la valeur de l'inductance de sortie (L) (voir l'équation (7) et (8)).

$$Vout_{GMR}(f, \Delta I_L) = S_{dynamic}(f) \,.\, B(\Delta I_L) \tag{7}$$

$$\Delta I_L = \frac{1}{f_{SW} \times L} V_{out_{DC|DC}} \left(1 - \frac{V_{out_{DC|DC}}}{V_{in}}\right) \tag{8}$$

f_{sw} est la fréquence de commutation du convertisseur et L la valeur de l'inductance de filtrage. Toutes les mesures sont en conditions brutes (aucun blindage, filtrage ou amplification n'a été utilisé).

La figure 4.45.a représente les différentes tensions de sortie du capteur GMR AA003-02E ($Vout_1$, $Vout_2$, $Vout_3$, $Vout_{Ref}$) correspondant respectivement aux valeurs de l'inductance (L_1= 5.8µH, L_2= 19.4µH, L_3= 38.9µH, L_{Ref}= 10µF). La figure 4.45.b représente la tension de découpage du convertisseur.

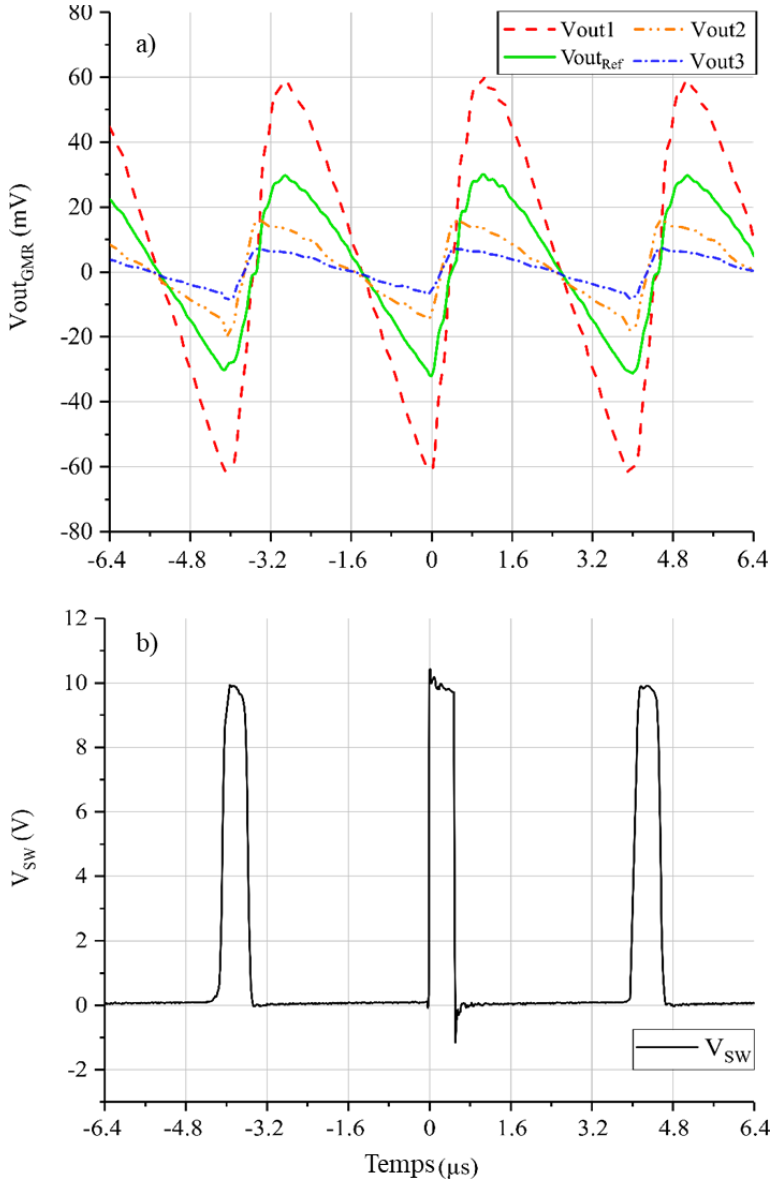


Figure 4. 45. a) Tensions de sortie du capteur GMR pour chaque valeur de l'inductance;
b) Tension de découpage du convertisseur

Le tableau 4.8 résume les résultats présentés dans la figure 4.45.

Tableau 4. 8. Tensions de sortie du capteur AA003-02E en fonction des valeurs de l'inductance

Valeurs de l'inductance (µH)	Tension de sortie du capteur GMR (mV_{pp})
L_1= 5.8µH	$Vout_1$= 120
L_{Ref}= 10µF (valeur de référence)	$Vout_{Ref}$= 62
L_2= 19.4µH	$Vout_2$= 38
L_3= 38.9µH,	$Vout_3$= 16

La mesure de la signature EM au-dessus d'une inductance et sa comparaison avec une signature de référence offrent une méthode simple pour détecter une valeur erronée d'inductance montée sur un PCB sans avoir recours aux points de test.

5. SOURCES D'INCERTITUDE

Dans le but d'appliquer notre approche de test en production dans l'industrie d'assemblage des PCB, nous devons prouver notre solution dans un scénario prenant en compte des combinaisons de défauts plus complexes et intégrant différentes sources d'incertitude. La méthode de détection doit non seulement identifier une situation où le circuit imprimé présente un ou plusieurs défauts, mais aussi où se situent ces défauts pour permettre une éventuelle intervention d'un opérateur pour corriger le circuit imprimé. Un indicateur statistique comme le RMSD est trop simpliste pour discriminer les incertitudes et garantir une détection fiable du ou des composants erronés.

La figure 4.46 présente un schéma-bloc modélisant l'ensemble des sources d'incertitude affectant notre processus de détection et comment elles se combinent. A titre d'illustration, ce schéma est construit dans le cas de la détection d'une erreur parmi les quatre condensateurs de découplage d'entrée de l'alimentation à découpage. Il n'en reste pas moins qu'il s'agit d'un schéma-bloc général pouvant s'adapter à tous types de circuits électroniques testés.

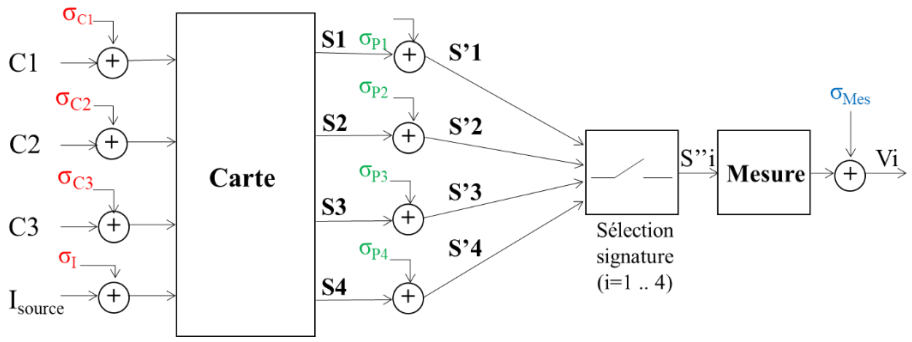


Figure 4. 46. Principales sources d'incertitude affectant les mesures de signature EM (S1 à S4) avec des NFS pour chaque condensateur testé (C1 à C4)

Les différentes sources d'incertitude, quantifiées par leur écart-type, pouvant affecter les résultats de mesure sont :

- La dispersion des valeurs des composants dans la plage de tolérance : σ (C1, C2, C3, C4)
- La position du NFS sur les composants C1 à C4 et les variations du processus de brasage : σ(P1, P2, P3, P4)
- Les variations du circuit produisant le courant transitoire circulant à travers les condensateurs de découplage, assimilées ici à une source de courant noté σ_I
- L'erreur de mesure introduite par l'équipement de mesure : σ_{Meas}

Toutes ces sources d'erreur doivent être prises en compte lors du traitement des signatures mesurées.

Prendre en compte ces incertitudes dans notre système et vérifier la détection des défauts dans ces conditions de manière expérimentale est très complexe et fastidieux. Nous devrions tester des centaines de circuits imprimés de même type, en utilisant des milliers de composants de tolérances variables aléatoirement dans un processus d'assemblage de type industriel, chose que nous ne pouvions pas nous permettre dans le cadre de ce travail. De plus, les signatures mesurées au-dessus de chaque composant sont partiellement corrélées, surtout dans les cas de défauts complexes. Ces corrélations suivent des lois difficiles à prévoir, ce qui rend un indicateur de défaut basé uniquement sur le RMSD insuffisant pour prendre en compte ces corrélations.

Nous avons donc décidé d'inclure ces incertitudes dans notre système par simulation. Nous avons généré une base de données de signatures de PCBA non-défectueux (composants testés respectant les valeurs de référence) prenant en compte les incertitudes mentionnées auparavant, et nous avons simulé des défauts de

valeurs de composants que nous intégrerons de manière aléatoire dans l'un de ces PCB. Nous essaierons par la suite de détecter le PCBA défectueux ainsi que le composant responsable du défaut en utilisant un algorithme de détection d'éléments aberrants que nous présenterons dans la section suivante.

6. ALGORITHME DE DETECTION DE DEFAUT

Dans notre cas, nous définissons comme un défaut de composant toute mesure de signature EM qui s'écarte de manière significative de la signature de référence. Les petits écarts de signatures consécutifs à la dispersion des valeurs de condensateurs dans leurs marges de tolérance et des variations de courant ne doivent pas déclencher la détection d'un défaut. En d'autres termes, l'algorithme de détection de défauts doit être capable de reconnaître ces variations dans une mesure de signature et de les distinguer des signatures défectueuses. Seules les mesures qui s'écartent considérablement des plages de tolérance doivent être prises en tant que signatures de défaut. Il est donc nécessaire de disposer de suffisamment de signatures de référence, qui ne sont affectées que par les incertitudes liées à la mesure et à la tolérance des valeurs des composants [131].

Prenons par exemple le cas de test d'un PCBA dans lequel nous avons mesuré des signatures au-dessus de N=5 composants. Ces signatures forment un espace de N dimensions dans lequel les valeurs des signatures anormales sont des points de données uniques que l'on ne pourra pas distinguer facilement du reste de la distribution. Dans ce cas, sachant que l'on doit disposer d'une base de signatures de référence pour les 5 composants, un algorithme de détection de valeurs aberrantes doit diminuer les dimensions des données (de 5 à 3 ou à 2 dimensions) et afficher un résultat qui prend en compte la corrélation des signatures entre elles sous forme de nouvelles variables (Variable 1, Variable 2, Variable 3), afin de distinguer deux amas ou clusters de points, un premier contenant un ou plusieurs points aberrants, et un deuxième contenant le reste des points non-aberrants de la distribution. La figure 4.47 illustre cet exemple.

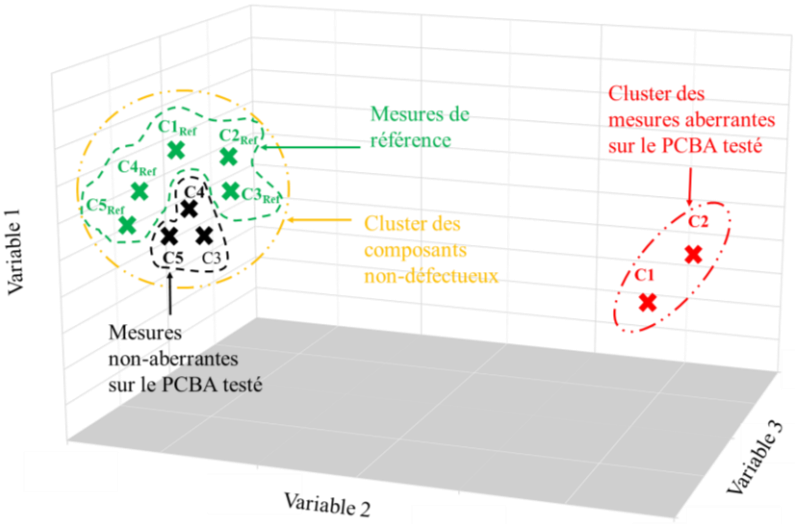


Figure 4. 47. Résultat d'un algorithme de détection de valeurs aberrantes montrant la détection de deux clusters de composants défectueux et non-défectueux sur le PCBA testé

La figure 4.48 décrit un exemple de procédés d'intégration d'un algorithme de détection de valeurs aberrantes lors du processus industriel d'assemblage d'un PCB.

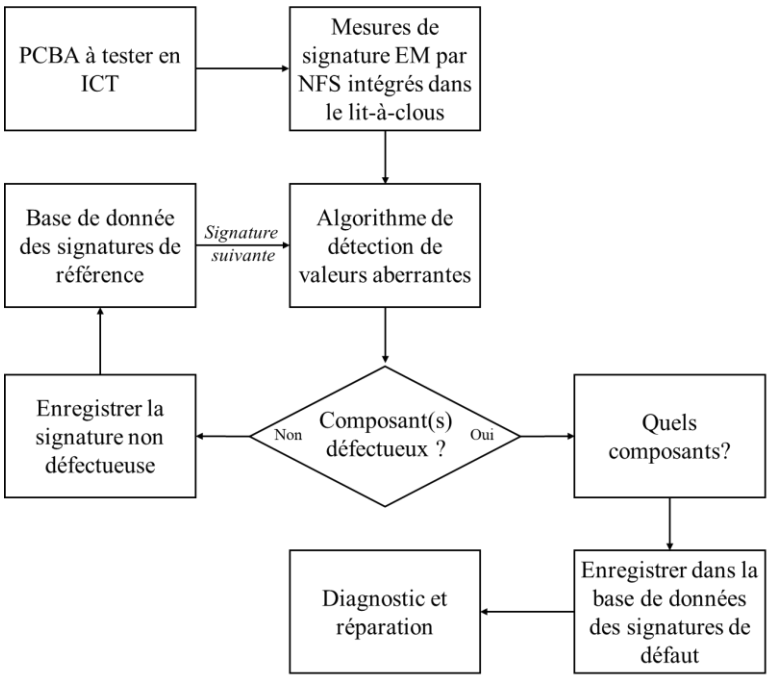


Figure 4. 48. Algorithme de détection des valeurs aberrantes dans le processus de production de PCBA

Dans la section suivante nous discuterons les méthodes les plus utilisées dans la littérature pour la détection d'éléments aberrants.

6.1. DETECTION DES VALEURS ABERRANTES

Dans le processus de collecte, de traitement et d'analyse des données de mesures pour le test dans un environnement industriel, les valeurs aberrantes peuvent provenir de nombreuses sources sans compter le ou les composants à l'origine du défaut comme nous l'avions discuté dans la section 5. C'est la raison pour laquelle la détection des valeurs aberrantes est d'une importance capitale pour assurer la discrimination des vrais défauts d'assemblage, défaut de valeurs de composants montés sur le PCB par exemple, des autres variations de mesures dues au processus de mesure et de fabrication. Un algorithme de détection robuste face à ces conditions est donc important afin d'assurer la qualité des produits.

Il existe plusieurs méthodes de détection des valeurs aberrantes disponibles dans la littérature [132], [133], [134], [135]:

- Des méthodes paramétriques (tel que : l'analyse des valeurs extrêmes, le Z-score, ANOVA…) basés sur la modélisation probabiliste et statistique. Bien qu'elles soient utiles lorsque la distribution des valeurs mesurées dans l'espace formé par les variables du système, appelé espace objet dans le jargon, est bien connue (système paramétrique), elles ne tiennent toutefois pas compte de la corrélation entre ces variables, ce qui les rend inutiles dans notre cas (cf. Annexe IV.C) [132].
- Des méthodes non-paramétriques telles que la méthode « *Density Based Spatial Clustering of Applications with Noise* » (DBscan) et la méthode « *Isolation Forest* » (IF). Ce sont des méthodes de regroupement « *Clustering* » puissantes pour traiter une grande densité de données, mais néanmoins faibles lorsque les amas de points, représentant les données collectées, ou les clusters présentent de grandes différences de densités (cf. Annexe IV.C) [134].

- Les modèles de régression linéaire qui incluent des méthodes de projection telles que l'analyse en composantes principales « *Principal Component Analysis* » (PCA) et l'algorithme de carte auto-adaptative « *Self-Organizing Map* » (SOM). Ces algorithmes réduisent la dimension des données à l'aide de corrélations linéaires. Ces méthodes de projection sont relativement simples à appliquer et mettent rapidement en évidence les valeurs aberrantes (cf. Annexe IV.C) [135].

L'analyse en composantes principales, par exemple, est l'une des méthodes de projection qui prennent en compte la corrélation entre les variables pour réduire les dimensions de l'espace objet (espace formé par les variables du système). Elle permet également d'analyser l'influence de la variation de chaque variable, ce qui est très intéressant dans notre application afin de déterminer quelles composantes sont les sources des valeurs aberrantes [136].

6.2. DETECTION DES VALEURS ABERRANTES A L'AIDE DE L'ANALYSE EN COMPOSANTES PRINCIPALES

De manière analogue au domaine statistique, notre système de mesure a :

- Des variables indépendantes (IV), qui sont les composants testés sur les PCB.
- Des variables dépendantes (DV), qui sont les signatures EM mesurées au-dessus de chaque composant, correspondant aux dérivées des courants dans la simulation. Comme nous l'avons expliqué précédemment, le même groupe de condensateurs peut comporter plusieurs défauts, ce qui signifie que plusieurs signatures s'écartent des signatures de référence simultanément. De ce fait, notre système statistique aura de multiples variables dépendantes pouvant présenter un certain degré de corrélation entre elles. Ce système est appelé multivarié « *Multivariate* » dans le jargon.

Dans notre cas, ne disposant pas d'un nombre suffisant d'échantillon pour connaître la distribution des données mesurées ou simulées, nous supposerons que le système est non-paramétrique.

En appliquant notre approche de test dans une chaîne de production de PCBA, nous serons en présence de bases de données contenant un grand nombre de variables, dont certaines pourraient être corrélées. Cette corrélation entre les variables entraîne une redondance d'informations dans l'ensemble de données traitées et augmente significativement leur taille. Ainsi, afin de réduire la taille des données, les complexités de calcul et leurs coûts, nous proposons d'utiliser la méthode d'analyse en composantes principales (PCA).

PCA, aussi connue sous le nom de transformée de Karhunen–Loève [137, Sect. 7.3], [138, Chap. 3], est une technique bien établie pour la réduction de dimensionnalité et l'analyse multivariée [139]. Des exemples de ses nombreuses applications incluent la compression de données, le traitement d'images, la classification des données multidimensionnelles, l'analyse exploratoire de données et la reconnaissance de formes [139]. Une discussion complète de PCA peut être trouvée dans les ouvrages [136], [140]. Il s'agit d'une approche à la fois statistique (recherche d'axes indépendants expliquant au mieux la variabilité - la variance - des données) et géométrique (les variables étant représentées dans un nouvel espace, selon des directions d'inertie maximale) [137, Sect. 7.3].

Cette méthode transforme les variables corrélées en un ensemble de composantes non corrélées, dont chacune est une combinaison linéaire des variables d'origine. Les composantes décorrélées extraites sont appelées composantes principales ou axes principaux (PC) et sont calculées à partir des vecteurs propres de la matrice de covariance des variables d'origine.

Nous présentons ci-dessous un exemple simple d'application de la méthode PCA que nous avons simulé sous Matlab [141]. Dans cet exemple, simple, nous considérons des mesures réalisées par simulation sur 20 PCB différents :

- Ces PCB se composent d'une source de courant produisant un courant $I_0 \pm 10\%$. Ce courant passe dans N_{res} résistances en parallèle, pouvant avoir des valeurs différentes.
- Nous introduisons un défaut de valeur sur une ou plusieurs résistances dans 5 PCB différents
- Nous mesurons le courant passant dans chacune des résistances pour les 20 PCB.

Le but de cette simulation est de vérifier si PCA permet de détecter efficacement les PCB qui présentent au moins un défaut.

La matrice à injecter dans l'algorithme aura la forme suivante, avec $X_{i,j}$ les mesures de courant dans chaque résistance pour chaque PCB différent :

$$\begin{array}{cc} & \begin{array}{ccc} PCB_j & \dots & PCB_{Npcb=20} \end{array} \\ \begin{array}{c} Ri \\ \vdots \\ R_{Nres=10} \end{array} & \begin{bmatrix} X_{i,j} & \dots & X_{i,Nres} \\ \vdots & \ddots & \vdots \\ X_{Npcb,j} & \dots & X_{Npcb,Nres} \end{bmatrix} \end{array} = M$$

Si nous traçons par exemple la variable R1 (mesures de courant sur R1 dans chaque PCB) en fonction de R2 et R3 (mesures de courant dans R2 et R3 respectivement dans chaque PCB), nous obtenons un nuage de points dans lequel nous ne pouvons pas discriminer le PCB contenant le défaut. En alimentant l'algorithme PCA avec la matrice de mesure [M], l'algorithme calcule les axes principaux pour toutes les variables à partir des vecteurs propres de la matrice de covariance des données Cov(M) et les place au centre de gravité des données. Nous représentons ces composantes principales par les vecteurs PC1, PC2 et PC3 sur la figure 4.49. Ces composantes correspondent aux directions de variation maximale des données dans leur espace d'origine.

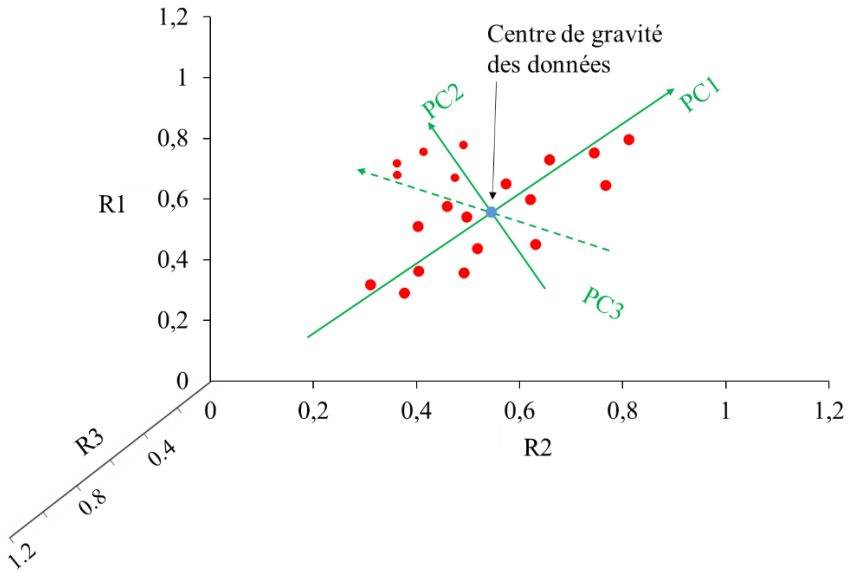


Figure 4. 49. Les directions de variation maximale des données représentées par les composantes principales.

En projetant les données d'origine sur ce nouveau système de coordonnées formé par les PC « *Principale Components* », nous obtiendrons une représentation plus claire qui nous permet d'identifier les éléments aberrants, ou en d'autres termes, les PCBA défectueux. La figure 4.50 montre la représentation des données dans le nouveau repère PCA.

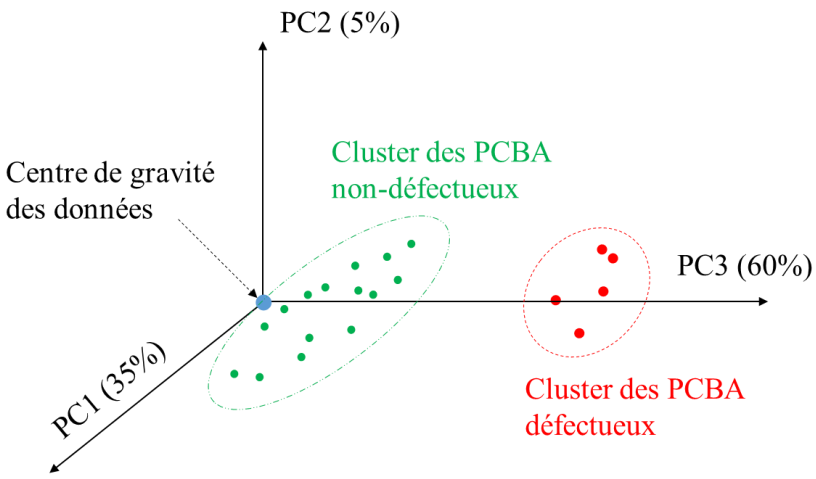


Figure 4. 50. Représentation des données dans le nouveau repère PCA.

L'algorithme calcule également les taux de variation des données projetées suivant chaque PC que nous reportons sur la légende de chaque axe sous forme de pourcentage de variation (5%, 35%, 60%). Sur ce graphique nous pouvons distinguer la répartition des données en deux clusters différents. Connaissant le nombre de PCBA défectueux que nous avons introduit dans notre système, nous pouvons clairement conclure que le premier cluster « vert » regroupe les PCBA non-défectueux, et le deuxième en rouge les PCBA défectueux.

Le calcul mené sous Matlab donne des résultats instantanés, puisqu'il s'agit d'une décomposition de la matrice de covariance en valeurs/vecteurs propres ne nécessitant pas beaucoup d'itérations dans notre cas, et donc pas beaucoup de temps de calcul. Cette décomposition est ensuite complétée par une détection d'une valeur aberrante, passant par un calcul de distance, ce qui n'est pas lourd en termes de capacité de calcul. En comparaison avec d'autres algorithmes nécessitant un temps d'apprentissage préalable conséquent, la méthode PCA permet un gain de temps important quand il s'agit de traitement de données de petite à moyenne taille [138, Chap. 3].

L'utilisation de la méthode d'analyse en composantes principales dans notre étude nous permet donc, d'éliminer rapidement et efficacement les corrélations entre les signatures EM, et facilite le regroupement des données selon un critère de ressemblance que nous pouvons définir nous-même.

Dans la section suivante, nous allons générer à partir du modèle du convertisseur DC/DC dévolteur (cf. section 3), des données de mesures intégrant les incertitudes discutées dans la section 5 et simulant des combinaisons de défauts de valeurs assez compliquées à reproduire en expérimentation. Nous allons ensuite appliquer l'algorithme PCA sur ces données et analyser les résultats dans la section 8.

7. CONFIGURATION DE LA SIMULATION

En utilisant le modèle de simulation de notre convertisseur, 6 PCBA non-défectueux sont générés avec des différences sur les valeurs de composants électroniques. Elles varient de manière aléatoire dans leurs plages de tolérance en utilisant une simulation de Monte-Carlo uniforme. Nous insérons parmi ces PCBA, un PCBA défectueux avec un ou plusieurs défauts de valeur dans le bloc de condensateurs de découplage. Nous avons également ajouté une petite variation aléatoire de la tension d'alimentation d'entrée, notée V1 sur la figure 4.29.

L'algorithme d'analyse en composantes principales a été appliqué aux données de simulations à l'aide de la boîte à outils *Statistics and Machine Learning* de Matlab [142]. Ces données sont des vecteurs contenant la transformée de Fourier rapide (FFT) des dérivées des courants traversant chaque condensateur de découplage sur une fréquence spécifique (cf. tableau 4.9).

Tableau 4. 9. Structure des données insérées dans l'algorithme PCA

	PCB1	…	PCB6
C1	[FFT(I'_{C1_PCB1}(f))]	…	[FFT(I'_{C1_PCB6}(f))]
C2	[FFT(I'_{C2_PCB1}(f))]	…	[FFT(I'_{C2_PCB6}(f))]
C3	[FFT(I'_{C3_PCB1}(f))]	…	[FFT(I'_{C3_PCB6}(f))]
C4	[FFT(I'_{C4_PCB1}(f))]	…	[FFT(I'_{C4_PCB6}(f))]

La fonction PCA traitant des données brutes implémentées dans Matlab effectue les opérations suivantes :

- Centrer les variables en soustrayant leur valeur moyenne.
- Créer l'espace vectoriel du nouveau système de coordonnées en calculant les PC à partir des vecteurs propres de la matrice de covariance.
- Projeter les données de mesure d'origine sur l'espace vectoriel PC en multipliant la matrice de données, par les vecteurs propres. En conséquence, nous obtenons une matrice appelée « *PC-scores* » qui représente les nouvelles coordonnées de chaque point de données dans le nouveau système de coordonnées PC.
- Les valeurs propres calculées à partir de la matrice de covariance des données représentent la variance calculée pour chaque composante principale.
- Calculer la matrice « *Coeff* » qui contient les coordonnées du nouveau repère PCA dans le repère d'origine des données [143] Cette matrice est appelée « *Loadings* » dans le jargon et se calcule par la formule suivante :

$$Loadings = Eigenvectors \,.\sqrt{Eigenvalues} \tag{9}$$

  Les vecteurs propres (Loadings) et les valeurs propres (Eigenvalues) sont calculés à partir de la matrice de covariance des mesures.

Savoir comment représenter graphiquement ces informations et les interpréter est essentiel pour déterminer quel PCB est défectueux et encore plus quel composant est responsable du défaut.

Dans notre cas, nous avons une matrice de données contenant les FFT des dérivées de courants circulant dans les quatre condensateurs testés. Graphiquement, nous ne pouvons pas visualiser les points correspondant aux valeurs de cette matrice dans un repère à quatre dimensions, afin de les classifier. Ainsi, la méthode PCA calcule quatre composantes principales et les organise dans un ordre décroissant de variance. En gardant la même représentation graphique, nous pouvons à nouveau visualiser les données de notre matrice comme des points dans un repère constitué d'une base formée par les trois composantes principales de variances les plus élevées, ce qui facilite leur regroupement et classification.

Dans les résultats suivants, nous avons choisi les trois PC ayant la variance la plus élevée comme repère afin de tracer la matrice de données transformée (PC-scores) dans un graphique 3D par souci de clarté.

8. RESULTATS

8.1. SCENARIOS DE DETECTION

Pour être sûr que la méthode PCA puisse détecter plusieurs défauts sur le même bloc de condensateurs, plusieurs cas de défauts possibles dans les blocs de condensateur de découplage ou du filtre de sortie ont été testés. Ces cas de défauts sont résumés dans le tableau 4.10. Seuls les résultats des scénarios de défauts N°1 et N°2 sont présentés, les autres cas ont donné des résultats similaires.

Tableau 4. 10. Scénarios de défauts simulés

N°	Scénarios de défauts	Détails
1	Un condensateur de valeur erronée	**a**. La valeur erronée est inférieure à la référence **b**. La valeur erronée est supérieure à la référence
2	Tous les condensateurs de valeurs erronées	**c**. Toutes les mauvaises valeurs sont inférieures à la référence **d**. Toutes les mauvaises valeurs sont plus élevées que la référence **e**. Au moins une valeur erronée est inférieure à la référence **f**. Au moins une valeur erronée est supérieure à la référence
3	Deux condensateurs de valeurs erronées	**g**. Première valeur erronée est plus élevée que la référence, et la deuxième est inférieure à la référence **h**. Les deux valeurs erronées sont plus élevées que la référence **i**. Les deux valeurs erronées sont inférieures à la référence
4	Trois condensateurs de valeurs erronées	**j**. Toutes les mauvaises valeurs sont plus élevées que la référence **k**. Toutes les mauvaises valeurs sont inférieures à la référence **l**. Au moins une valeur erronée est supérieure à la référence **m**. Au moins une valeur erronée est inférieure à la référence

8.2. COMPOSANTE FREQUENTIELLE DE DETECTION

Contrairement à la méthode de détection rapportée précédemment dans la section 4.1.3, la fréquence sur laquelle nous allons détecter les variations de signature n'apparaît pas à la première vue. Une plage de fréquences dans laquelle le rapport signal sur bruit (SNR) était au maximum pour toutes les mesures a été sélectionnée, et une analyse PCA a été exécutée sur les dix premières fréquences du spectre de la FFT du courant pour chaque scénario de défauts. Une référence croisée entre tous les résultats obtenus a montré que la détection est toujours significative pour les multiples pairs de la fréquence $f_{détection}$ = 250 kHz. Cette fréquence est donc choisie pour exécuter une analyse PCA. Dans un cas d'application plus général, cette fréquence doit être définie en amont avec le concepteur du PCB.

8.3. DETECTION DE PCBA DEFECTUEUX

Une présentation graphique des PC-scores montre clairement quels PCBA sont défectueux et les considère comme des valeurs aberrantes (cf. figure 4.51).

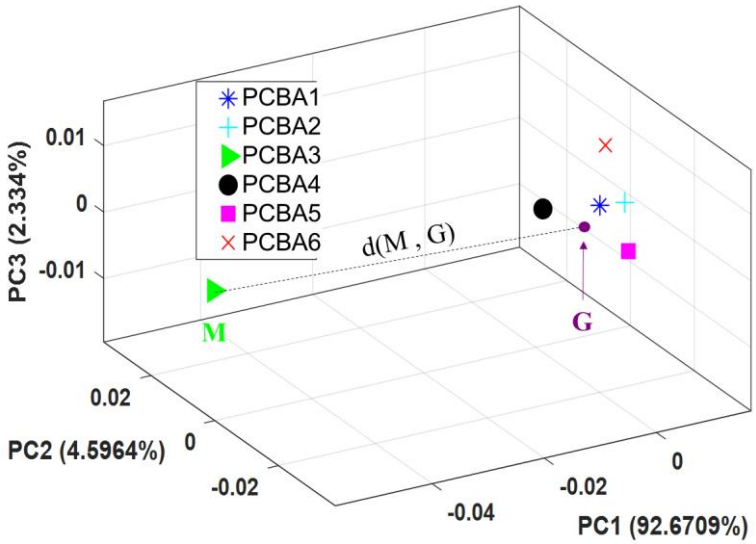


Figure 4. 51. Résultats d'une analyse PCA portant sur 6 PCBA avec un PCBA défectueux : PCBA3

La première composante principale (PC1) capture la plus grande variation des données - 92,67% - qui est le rapport entre la valeur propre associée à PC1 et la somme de toutes les valeurs propres. Ce rapport décrit la contribution d'un PC particulier à la dispersion des données.

Cependant, une question se pose : quelle métrique utiliser pour caractériser la détection de cette valeur aberrante sur ce diagramme ?

Une quantité caractéristique d'un point aberrant (*M*) dans le diagramme des PC-score est sa distance d(*M*,G) par rapport au centre de gravité G(pc1', pc2', pc3') de l'amas des PCBA non-défectueux. Les coordonnées de ce barycentre sont calculées par les équations ci-dessous (cf. équations (9)).

Équations (9) :

$$\begin{cases} G(\text{pc1'},0,0) = \dfrac{PCBA1(pc1,0,0) + PCBA2(pc1,0,0) + PCBA4(pc1,0,0) + PCBA5(pc1,0,0) + PCBA6(pc1,0,0)}{5} \\ G(0,\text{pc2'},0) = \dfrac{PCBA1(0,pc2,0) + PCBA2(0,pc2,0) + PCBA4(0,pc2,0) + PCBA5(0,pc2,0) + PCBA6(0,pc2,0)}{5} \\ G(0,0,\text{pc3'}) = \dfrac{PCBA1(0,0,pc3) + PCB2(0,0,pc3) + PCBA4(0,0,pc3) + PCBA5(0,0,pc3) + PCBA6(0,0,pc3)}{5} \end{cases}$$

La combinaison de cette distance avec l'écart type du cluster des PCBA non-défectueux peut définir un seuil de détection d'un point de données aberrant.

Une quantité statistique qui peut être utilisée dans ce cas est le Z-score. Il décrit de combien d'écart-type (σ) une mesure *M*(pc1, pc2, pc3) s'écarte du point G(pc1', pc2', pc3')(cf. l'équation (10)).

$$Z_{score} = \frac{d(M,G)}{\sigma} \qquad (10)$$

Pour définir un seuil de détection des valeurs aberrantes viable, un scénario de détection des pires cas de défauts de valeurs a été adopté.

Ce scénario consiste à choisir des valeurs erronées de condensateurs de 0.1 à 4µF avec un pas égale à peu près à ±10%, qui est la tolérance des condensateurs utilisés, et à évaluer le comportement du Z-score. Les cas de test sont présentés dans le tableau 4.11 et les résultats correspondants dans la figure 4.52.

Tableau 4. 11. Simulation des pires cas des valeurs de défauts d'un condensateur

Valeurs erronées (µF)	Détails
4 3.5 3.06 2.84 2.62	Valeurs plus élevées que les valeurs de référence
2.42 2.2 (C_{ref}) 1.98	Valeurs dans la plage de tolérance
1.76 1.54 1.32 1 0.1	Valeurs inférieures aux valeurs de référence

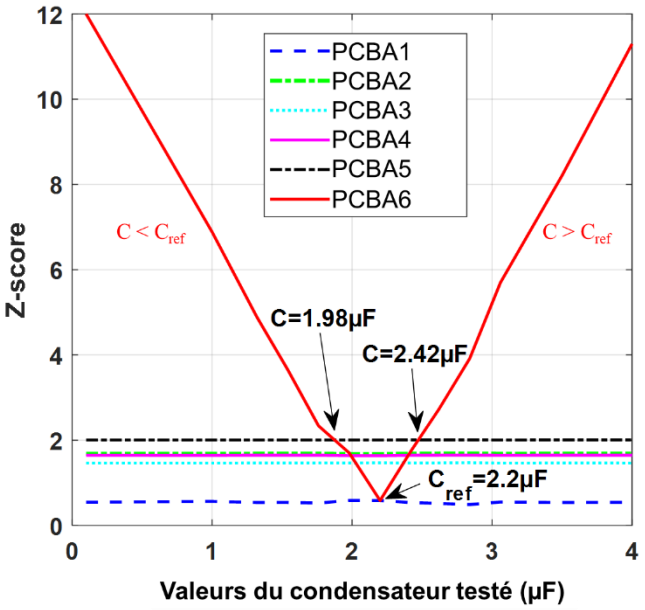


Figure 4. 52. Evolution du Z-score de tous les PCBA pour différentes valeurs du condensateur testé dans PCBA6

Dans la figure 4.52, les courbes en pointillés correspondent aux valeurs de Z-score des PCBA de référence (PCBA1, PCBA2, PCBA3, PCBA4, PCBA5). La courbe rouge correspond à l'évolution du Z-score du PCBA défectueux (PCBA6) quand nous faisons varier la valeur d'un condensateur de découplage suivant les valeurs annoncées dans le tableau 4.11. Cette figure permet de déterminer un seuil de Z-score afin d'assurer la détection

d'une valeur aberrante (PCBA défectueux). En effet, nous remarquons qu'une fois que la valeur du condensateur défectueux sort de la marge de tolérance [1.98µF, 2.42µF] la valeur du Z-score du PCBA6 prend des valeurs supérieures à une valeur seuil égale à 2. En d'autres termes, la distance calculée par rapport au centre de gravité du groupe de PCBA non-défectueux doit être supérieure à deux fois l'écart-type de ce groupe afin d'assurer une bonne détection des PCBA défectueux. Le comportement symétrique de l'évolution de la courbe rouge est expliqué par le fait que nous avons choisi un pas de valeurs de défaut égale à 10% (-10% pour les valeurs inférieures à la référence et +10% pour les valeurs supérieures). Ce scénario étant le pire cas de défauts de valeurs possible, la détection utilisant ce critère est toujours vraie pour tous les autres scénarios de défauts mentionnés dans le tableau 4.10.

8.4. DETECTION DE COMPOSANTS DEFECTUEUX

Comme mentionné précédemment, les PC-scores sont les nouvelles coordonnées de la matrice de données dans le système de coordonnées PCA défini par les vecteurs PC. La matrice des *Loadings* (Coeff), comme définie auparavant, est une matrice carrée contenant les coordonnées des vecteurs PC dans l'ancien repère des données. La transposition de cette matrice donne les coordonnées des vecteurs du repère initial (*Ri*) dans le système des coordonnées PCA. Ces vecteurs projetés sur le repère PCA fournissent des informations sur les directions dans lesquelles les données sont dispersées, ainsi que sur la contribution de chaque composante principale dans la dispersion des données. Cette information peut nous aider à mieux détecter quel(s) composant(s) est à l'origine du PCBA défectueux.

Ceci sera démontré à travers les cas de défauts présentés ci-après, lorsque nous tracerons la transposition de la matrice *Ri* = Loadings^T : *Ri1*, *Ri2*, *Ri3* et *Ri4* dans le repère PCA.

– Scénario de défaut N°1: Détection d'un seul condensateur de valeur erronée :

Une matrice de données a été générée en appliquant au condensateur C8 du PCBA6 une valeur erronée C8=0.1µF (au lieu de C_{ref}= 2.2µF). Après avoir exécuté une analyse PCA sur ces données, les résultats pour les deux cas *a* et *b* (cf. tableau 4.10) montrent que PCBA6 est isolé du cluster des PCBA non-défectueux, comme le montre les figures 4.53 et 4.54. Comme les valeurs de Z-score calculées dans les deux cas sont supérieures au seuil, le point correspondant au PCBA6 est considéré comme une valeur aberrante, donc un PCBA défectueux.

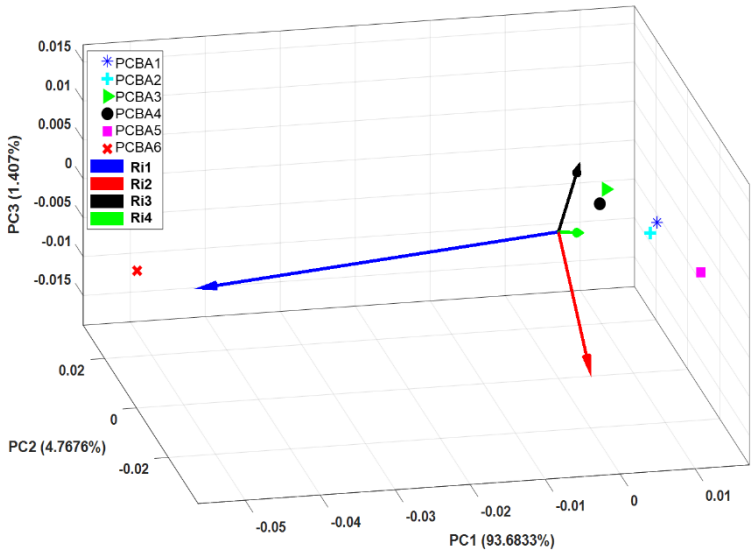


Figure 4. 53. Cas *a* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : condensateur de valeur erronée inférieure à C_{ref} (C8 = 0,1 µF); Z-score = 12,38

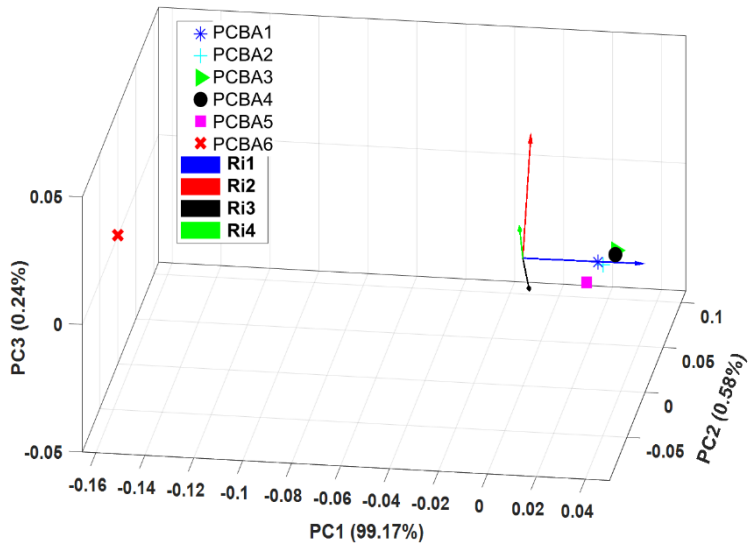


Figure 4. 54. Cas *b* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : condensateur de valeur erronée supérieure à C_{ref} (C8 = 8 µF); Z-score = 12,39

Pour le premier cas où C8 a une valeur inférieure à la référence (C_{ref} = 2.2µF): les vecteurs *Ri* montrent que seul *Ri1*, qui est la projection correspondant au premier vecteur du repère initial, pointe vers le plan de défaut qui est le plan contenant le PCBA défectueux (cf. figure. 4.53). Contrairement au second cas où C8 a une valeur supérieure à C_{ref}, le vecteur *Ri1* pointe dans le sens opposé au plan du défaut (cf. figure. 4.54).

– Scénario de défaut N°2 : Détection de quatre condensateurs de valeurs erronées :

De la même manière que dans les cas *a* et *b*, lorsque tous les condensateurs de valeurs erronées ont des valeurs inférieures à la référence (cas *c*), tous les *Ri* pointent vers le plan des défauts (cf. figure 4.55). La figure 4.56 montre que des valeurs supérieures à la référence (cas *d*) conduisent également à des *Ri* pointant dans le sens opposé au plan contenant le PCBA défectueux.

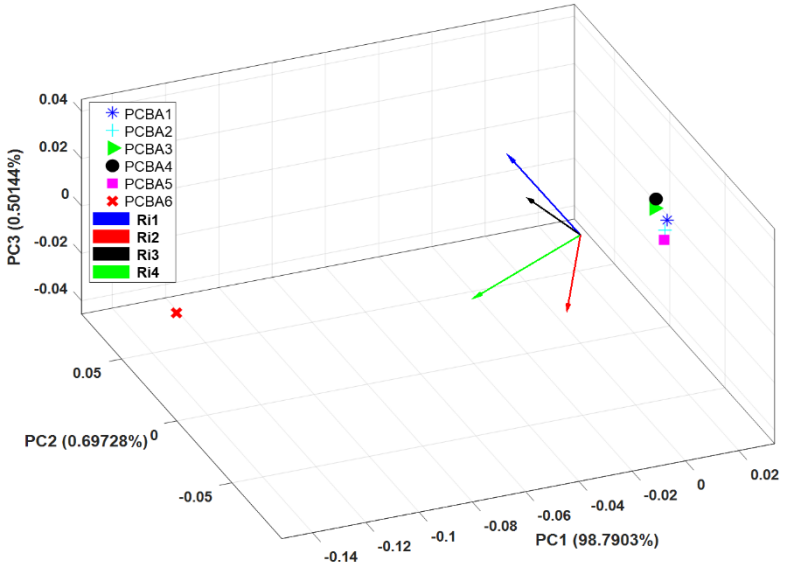


Figure 4. 55. Cas *c* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : tous les condensateurs de valeurs erronées inférieures à C_{ref}: C8 = 0,2µF, C9 = 0,5µF, C10 = 0,3µF et C11 = 0,1µF / Z-score = 33,22

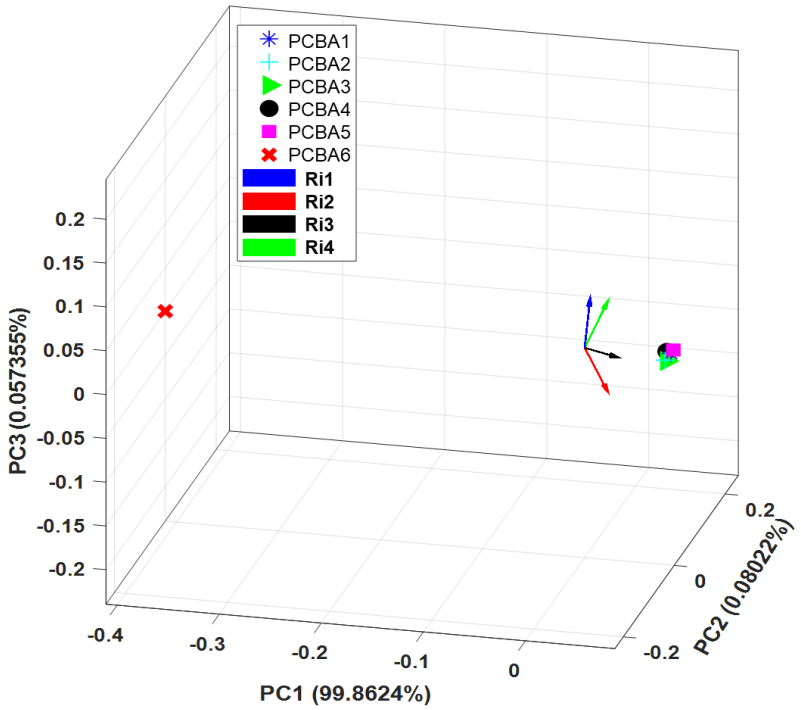


Figure 4. 56. Cas *d* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : tous les condensateurs de valeurs erronées supérieures à C_{ref} : C8 = 22µF, C9 = 33µF, C10 = 40µF et C11=10µF / Z-score = 81,58

Dans le cas *e*, seul le condensateur C9 a une valeur erronée inférieure à la référence. Les autres ont des valeurs plus élevées. *Ri2*, correspondant à la FFT de la dérivée du courant dans le condensateur C9 du PCBA6, pointe vers le plan de défaut (cf. figure 4.57).

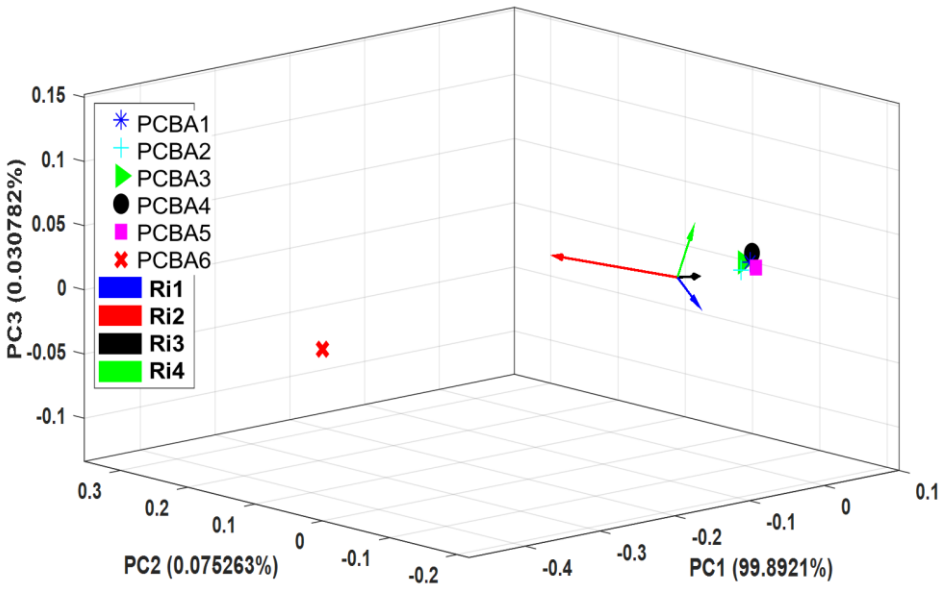


Figure 4. 57. Cas *e* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : tous les condensateurs sont défectueux, et C9 a une valeur inférieure à C_{ref} ; C8 = 22µF, C9 = 1µF, C10 = 40µF et C11 = 10µF / Z-score = 104,42

Dans le cas *f*, seul le condensateur C10 a une valeur erronée supérieure à la référence. Les autres ont des valeurs inférieures. *Ri1*, *Ri2*, et *Ri4* correspondant aux condensateurs C8, C9 et C11 dont les valeurs erronées sont inférieures à la référence, pointent directement vers le plan contenant le PCBA défectueux. *Ri3* correspondant à C10 de valeur supérieure à la référence pointe dans le sens opposé au plan de défaut (cf. figure 4.58).

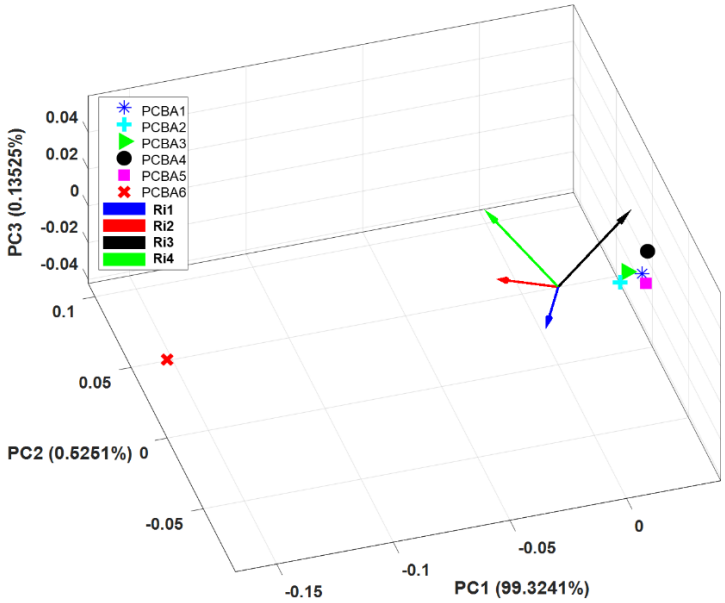


Figure 4. 58. Cas *f* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause de défaut : tous les condensateurs sont défectueux, et C10 a une valeur supérieure à C_{ref} ; C8 = 0,2µF, C9 = 0,5µF, C10 = 5µF, et C11 = 0,1µF / Z-score= 38,56

Les PCBA défectueux ont toujours un Z-score supérieur au seuil. Ils font partie du plan de défauts formé par les axes PC2 et PC3 à la coordonnée pc1 correspondant au PCBA défectueux. Les vecteurs *Ri* pointant vers ce plan correspondent à des condensateurs défectueux dont la valeur est inférieure à celle de référence. Ceux qui pointent dans le sens opposé au plan de défaut correspondent, soit à des condensateurs de valeurs erronées dont les valeurs sont supérieures à la référence (cf. figure 4.57), soit à des condensateurs non-défectueux (cf. figure 4.53). Nous illustrons ce dernier cas dans la figure 4.59, dans laquelle nous nous mettons dans le cas de défaut suivant : C8 et C9 sont défectueux et ont une valeur inférieure à la référence, C10 n'est pas défectueux, C11 est défectueux et a une valeur supérieure à la référence.

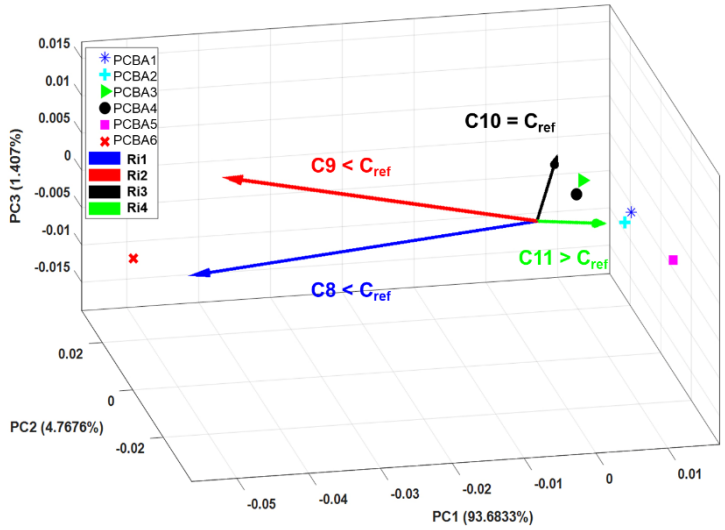


Figure 4. 59. Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause de défaut : trois condensateurs sont défectueux, et C11 a une valeur supérieure à C_{ref}; C8 = 0,2µF, C9 = 0,5µF, C10 = C_{ref} et C11 = 8µF / Z-score = 40,65

Les vecteurs correspondant aux condensateurs C10 et C11 pointent dans le sens opposé au plan de défaut. Ce cas particulier peut prêter à confusion, car on pourrait juger que les deux condensateurs C10 et C11 sont défectueux et ont une valeur supérieure à la référence, ou penser que les deux sont non-défectueux. Sachant qu'un opérateur doit intervenir pour corriger les composants défectueux indiqués par les vecteurs *Ri* pointant vers le plan de défaut, une vérification rapide des composants correspondant aux autres vecteurs est donc nécessaire.

8.5. DISCUSSION

L'investigation de l'approche présentée dans cette partie a pour objectif de proposer une amélioration des testeurs ICT en remplaçant certaines sondes classiques du lit-à-clous (tout en gardant celles non remplacées en complément). Ces sondes sont utilisées pour effectuer des tests électriques des composants montés sur la carte, par des sondes sans contact intégrant des capteurs magnétiques qui mesurent le champ EM dans la région champ proche au-dessus des composants permettant ainsi, à travers une analyse appropriée de ces mesures, la détection des défauts d'assemblage en production.

Les principaux avantages de cette approche sont :

- Accorder une accessibilité physique aux composants montés sur le PCB en utilisant un minimum de points de test
- Réduire la surface utilisée par les points de test sur le PCB
- Abaisser le nombre de sondes par contact dans le lit-à-clous de l'ICT
- S'affranchir de l'influence parasite de la sonde classique (clous) sur le signal mesuré

Les considérations à prendre en compte lors de l'utilisation de cette technique sont les suivantes :

- Alimenter le bloc testé pour obtenir des signatures magnétiques mesurables au-dessus des composants
- Choisir les composants à tester : seuls les composants ayant une émission de champ EM importante dans le champ proche sont testables.
- Etablir des règles DFT (Design For Test) en amont avec les concepteurs de PCB afin de déterminer les conditions d'alimentation des blocs de composants à tester.

Du point de vue économique, l'utilisation de sondes intégrant des capteurs magnétiques sera rentable en complément de l'utilisation des sondes classiques, en termes de nombre de sondes utilisées et de la surface économisée sur le PCB. Néanmoins, une étude détaillée du retour sur investissement doit être réalisée afin de quantifier ce bénéfice.

9. CONCLUSION

Nous avons présenté la possibilité d'utiliser des signatures du champ magnétique pour diagnostiquer des composants défectueux sans contact sur un PCBA à accès physique limité. Cette approche, proposée pour surmonter les limites des testeurs ICT, utilise un algorithme de détection basé sur l'analyse en composantes principales et le Z-score pour renforcer la détection des défauts et détecter les composants défectueux.

Dans la première partie du document, nous avons validé le principe de notre approche de mesure proposée en testant les composants de filtrage d'un convertisseur DC/DC dévolteur. Des sondes de champ proche miniatures et des capteurs GMR ont été utilisés pour mesurer le champ magnétique au-dessus des composants émettant un champ EM pour donner un aperçu de la valeur du composant et de l'état de son contact avec le PCB (soudure). La charge électrique du BUT a été spécifiquement choisie pour améliorer la sensibilité des mesures EM.

Ces premiers résultats expérimentaux démontrent que l'approche de test par champ magnétique peut fournir une option viable pour détecter des défauts spécifiques au niveau du composant et réduire le nombre de points de test traditionnels tout en garantissant l'accessibilité au test. Cependant, la mesure de la signature EM doit s'aider d'une méthode de post-traitement robuste.

La méthode de détection des valeurs aberrantes utilisée dans la première partie de ce chapitre consistait en un simple indicateur statistique (RMSD) comparant les écart-types des mesures autour des signatures de référence. Cela s'est révélé peu significatif dans les scénarios de défauts complexes pouvant exister dans un PCBA industriel.

Constatant les faiblesses de la méthode basée sur RMSD, nous avons introduit la méthode d'analyse en composantes principales dans la section 6. Son objectif est non seulement de détecter les PCBA défectueux, mais également d'identifier les composants responsables du défaut. L'utilisation des données issues de simulations Monte-Carlo effectuées sur notre modèle de convertisseur DC/DC dévolteur, a démontré que cet algorithme peut donner d'excellents résultats en ce qui concerne la détection des PCBA défectueux et critiquables concernant les composants responsables de ces défauts.

La limitation de cet algorithme dans l'identification des composants défectueux peut apparaître dans certaines combinaisons particulières de composants comme présenté dans la figure 4.59. Cependant, même dans ce cas, l'algorithme identifie avec succès le PCBA défectueux, ce qui facilitera le travail de l'opérateur qui doit intervenir dans tous les cas de défauts pour corriger les composants défectueux.

Dans le but d'une intégration complète dans les testeur ICT, des travaux supplémentaires pour l'amélioration de la technique de mesure et de la méthode de détection doivent être menés. Les perspectives de ce travail incluent :

- L'application de cette approche de test sur d'autres types de circuits afin de déterminer tous les cas possibles d'application.
- L'amélioration de la sensibilité de mesure et la fiabilité de la détection.
- L'association de la méthode de détection à un algorithme d'apprentissage automatique permettant au testeur ICT de mieux détecter les défauts tout au long du test d'une série d'un même produit.

CHAPITRE V : APPROCHE DE TEST PAR IMAGERIE INFRAROUGE

1. INTRODUCTION

Comme nous l'avons vu dans les trois premiers chapitres de ce manuscrit, les stratégies classiques des tests d'assemblage de PCB comprennent le test in-situ, l'inspection visuelle automatique ou manuelle, l'inspection aux rayons-X et le test fonctionnel. Ces techniques sont utilisées pour assurer la qualité du produit final, à travers la détection et localisation des défauts afin de pouvoir les corriger et empêcher leur occurrence dans les prochains produits. L'accélération de la défaillance de certains composants sur-stressés à travers les tests « *overdrive* » peut également être utilisée dans certains cas de produits critiques afin de détecter des défauts sous-jacents.

Les techniques d'inspection qui utilisent la lumière visible (AOI) ou les rayons-X sont les plus répandues dans les lignes de production. Elles sont privilégiées pour leur capacité à effectuer des tests physiques non-destructifs de manière automatique. Elles peuvent facilement identifier une fracture dans la soudure, un composant mal placé ou une soudure manquante. En revanche, des défauts tels qu'un composant trop vieilli, un circuit qui surchauffe ou des composants de valeurs erronées sans marquage à la surface, resteront tous non détectés [9, Chap. 3].

L'imagerie thermique est une technique issue du domaine d'analyse de fiabilité et de défaillance des PCB qui est moins présente dans les tests en production et qui peut identifier ce type de défaut. C'est une technique d'inspection visuelle dans l'infra-rouge (IR) capable de localiser des courts-circuits et des composants surchargés ou stressés excessivement sous forme de points chauds dans un PCB alimenté [9, Chap. 3], [96], [144]. Nous montrerons par la suite qu'elle est également capable de détecter des composants de valeurs erronées montés sur un PCB, à travers leurs signatures thermiques.

Afin de prouver l'efficacité de cette approche dans la détection des défauts de valeurs de composants montés sur un PCB, nous avons choisi une carte d'évaluation d'un convertisseur DC/DC Boost [145] comme cas d'étude. Dans cette étude, nous n'avons pris en compte que les signatures thermiques correspondant aux condensateurs de découplage et de filtrage en sortie du convertisseur.

L'objectif principal de l'étude menée dans ce chapitre est de présenter une approche basée sur la mesure et l'analyse des signatures thermiques des composants montés sur un PCB. Ceci sera proposé comme piste possible de test non-intrusif et sans contact de PCBA en production.

L'organisation du chapitre est la suivante :

- Le concept de signature thermique infrarouge et son analyse pour la détection d'un PCBA sont présentés dans la section 2.
- Le module d'évaluation du convertisseur DC/DC Boost et le banc de test expérimental sont décrits dans la section 2.2.
- La section 3 décrit les résultats expérimentaux obtenus pour des cas de défauts simples et leur analyse en utilisant l'écart quadratique moyen (RMSD).
- La simulation de détection de défauts complexes a été modélisée en exploitant les résultats de simulations électriques et multiphasiques en utilisant la méthode PCA dans la section 4.

2. CONCEPT DES SIGNATURES THERMIQUES INFRAROUGES

Dans cette section, nous présentons le concept d'utilisation de signatures thermiques infrarouges de composants montés sur un PCB afin d'identifier les défauts liés à leurs valeurs.

Les composants que nous avons choisis de tester dans cette étude sont les condensateurs de découplage en entrée et les condensateurs de filtrage en sortie d'un convertisseur DC/DC Boost, car ces composants sont cruciaux pour assurer un bon fonctionnement, une bonne fiabilité et le respect des contraintes CEM (Compatibilité Electro-Magnétique). De plus, ces blocs demandent généralement beaucoup de points de test et par conséquent une surface supplémentaire de PCB pour pouvoir les tester, en particulier lorsqu'ils sont assemblés en parallèles de plusieurs valeurs différentes.

Tester ces composants d'une manière non-intrusive et sans contact à l'aide de leurs signatures thermiques pourrait augmenter la testabilité des cartes et optimiser la qualité des PCB assemblés.

2.1. PRINCIPE

La signature thermique infrarouge [146], [147] est constituée de l'onde rayonnée (Φ_c) dans le spectre infrarouge en lien avec la température d'un composant (cf. équation (1)) monté sur un PCB en réponse à un stimulus électrique. Le rayonnement de l'onde infrarouge est tridimensionnel dont une partie est captée par une caméra infrarouge (cf. figure. 5.1).

$$\Phi_c = \varepsilon . \sigma . T_c^4 . S_C \qquad \text{(Équation (1))}$$

Avec :

S_C	:	surface émettrice du flux thermique (surface du composant testé) [m²]
σ	:	constant de Stefan-Boltzmann [W/m²K⁴]
ε	:	émissivité dans l'air
T_C	:	Température du composant testé

La caméra infrarouge que nous utilisons est basée sur un capteur InSb (composé semi-conducteur III-V à gap étroit) [148]. Elle est calibrée pour une utilisation dans notre environnement de test afin de capturer les profils thermiques de chaque composant du BUT sur une durée bien définie. Ainsi, les signatures thermiques infrarouges sous forme d'évolution de température en fonction du temps sont obtenues. Nous appellerons ces signatures « *InfraRed Thermal Signature* » (IRTS).

La comparaison des IRTS mesurées pour chaque composant avec les signatures de références des PCBA non-défectueux, permet de juger de l'état de défaut du PCBA. Un écart qui dépasse un certain seuil par rapport à l'IRTS de référence d'un composant est un signe d'occurrence de défaut de celui-ci.

Dans cette preuve de concept présentée dans ce chapitre, le stimulus utilisé pour déclencher les IRTS est une alimentation standard du BUT.

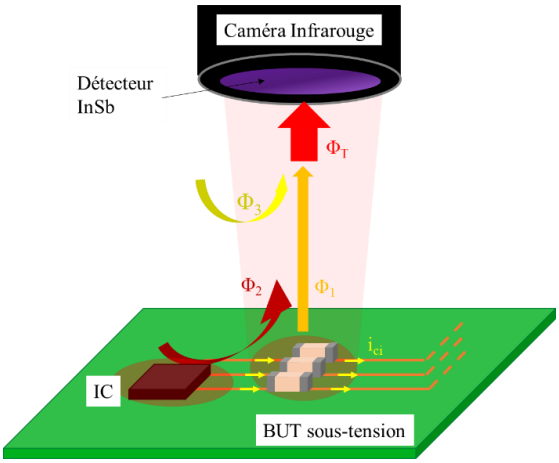


Figure 5. 1. Mesure du rayonnement infrarouge d'un groupe de condensateurs; avec Φ_1 : le flux rayonné des composants testés, Φ_2 : le flux rayonné des composants adjacents, Φ_3 : le bruit thermique environnant, Φ_T : le flux rayonné mesuré par la caméra.

2.2. DESCRIPTION DU CAS D'ETUDE ET DU BANC DE TEST

La technique a été testée sur deux cartes d'évaluation de convertisseur DC/DC avec des topologies différentes : un convertisseur DC/DC Buck et un convertisseur DC/DC Boost. Les résultats de détection étaient similaires dans les deux cas. Par conséquent, et par soucis de concision, seuls les résultats du convertisseur DC/DC Boost (TPS61088EVM-677) [145] sont présentés. Une image du BUT et de son schéma de simulation électrique simplifié montrant les composants à tester sont présentés respectivement dans les figures 5.2 et 5.3. Le tableau 5.1 résume les conditions de fonctionnement du BUT et ses caractéristiques électriques.

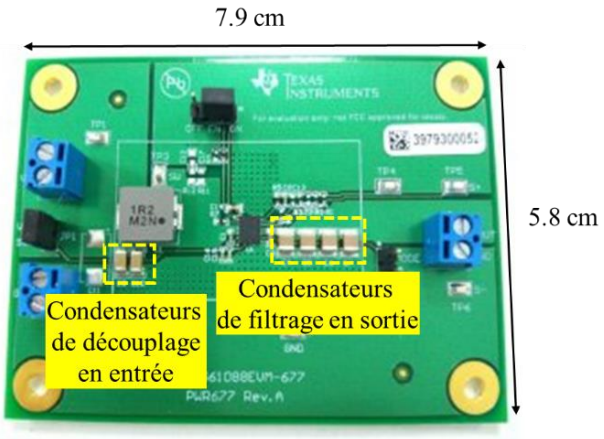


Figure 5. 2. Photo du convertisseur DC/DC Boost (TPS61088EVM-677) montrant les condensateurs testés

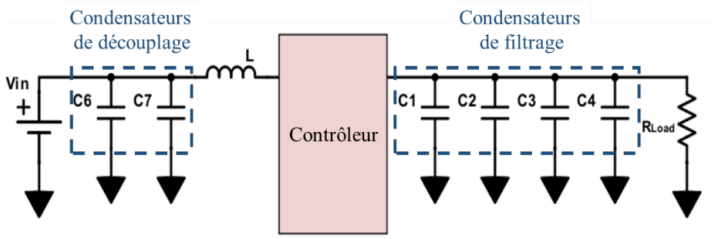


Figure 5. 3. Schéma de simulation électrique simplifié du convertisseur DC/DC Boost (TPS61088EVM-677) montrant les condensateurs testés.

Tableau 5. 1. Conditions de fonctionnement

Tension d'entrée (V_{in})	3.6V
Tension de sortie (V_{out})	9V
Courant d'entrée (I_{in})	2.5A
Fréquence de commutation (f_{sw})	170 kHz
Charge résistive à la sortie (R_{load})	10Ω
Température de la salle de caractérisation	24 °C

Le banc de test utilisé pour prouver le concept de cette technique est illustrée dans la Figure 5.4. Une caméra infrarouge FLIR X6580sc [148] équipée d'un détecteur *InSb* refroidi avec un système Stirling, d'une résolution inférieure à 25 mK et d'une gamme spectrale de 1.5 à 5 µm est utilisée. La caméra produit des mesures de température d'une précision de ± 1% fixée lors de sa calibration, et offre une large plage de température (allant jusqu'à 3000°C) automatiquement ajustée pour s'adapter au mieux à la scène thermique. Un objectif grand angle (MW50MM) [149] est fixé à la caméra pour obtenir le champ de vision nécessaire.

Le temps d'intégration est le temps nécessaire pour capturer une seule image infrarouge [150], tout en reproduisant au mieux le comportement thermique transitoire des composants testés et en gardant la meilleure sensibilité (un bon rapport signal sur bruit) dans la gamme de température de mesure. Ce temps est estimé via le mode auto-exposition dans la configuration de la caméra thermique, ce qui a donné dans notre cas un temps d'intégration égal à 20µs.

La caméra thermique mesure l'évolution de la température des condensateurs d'entrée et de sortie dans les conditions normales de fonctionnement du convertisseur résumées dans le tableau 5.1. Ces IRTS propres à chaque condensateur seront exploités par la suite afin de détecter des anomalies liées aux valeurs de ces composants.

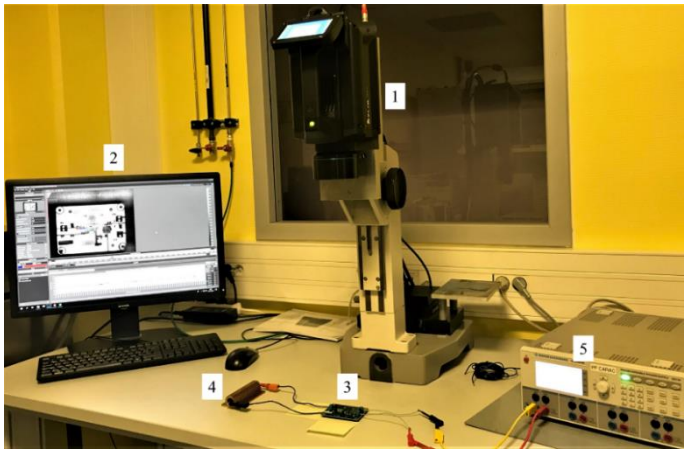


Figure 5. 4. Banc de test de l'approche de détection de défauts par IRTS, 1: caméra IR FLIR X6580sc, 2: «*ResearchIR*» logiciel d'acquisition des données de mesure propre à la caméra FLIR, 3: BUT, 4: charge résistive de 10Ω, 5: alimentation du BUT

2.3. PROCEDURE DE TEST

La procédure de test utilisée pour prouver le concept de la technique de test utilisant les IRTS, appelée dorénavant IRTST « *InfraRed Thermal Signature Test* », est illustrée dans la Figure 5.5.

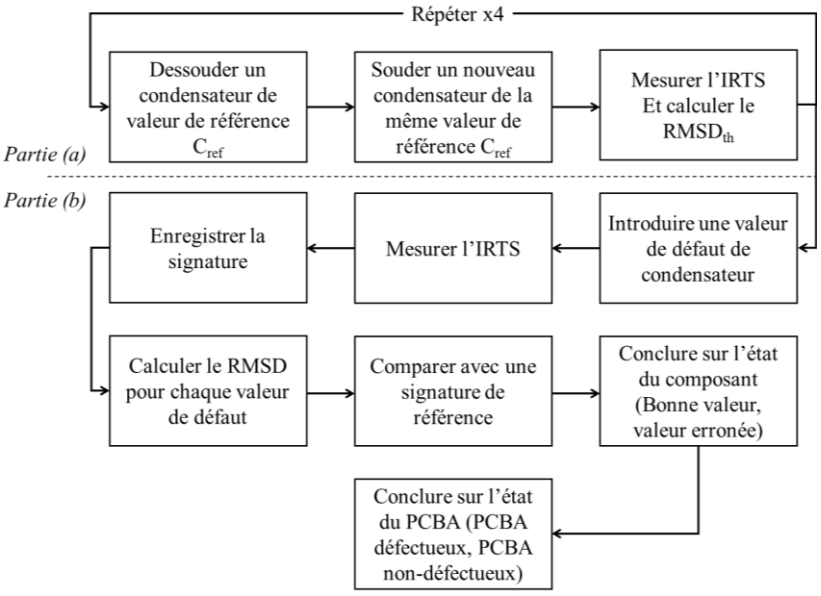


Figure 5. 5. Procédure de test utilisée pour prouver le concept de la technique IRTST.

L'objectif de la première partie de la procédure (*Partie(a)*), est de prouver la répétabilité des mesures et l'indépendance des variations de l'IRTS de la quantité de soudure utilisée. Des condensateurs de valeur de référence ont été dessoudés et soudés de manière répétitive tout en mesurant l'IRTS du condensateur avant chaque opération. Une valeur seuil du RMSD ($RMSD_{th}$) a été calculée à partir des résultats de cette première partie que nous présentons dans la section 3.1.

Pour la deuxième partie de la procédure de test (*Partie (b)*), des condensateurs non-défectueux ont été dessoudés et remplacés par des condensateurs de valeurs erronées (4.7µF, 15µF, 33µF). Nous avons pris le soin de choisir des condensateurs ayant la même technologie diélectrique que les condensateurs de référence (cf. tableau 5.2) afin de limiter les écarts dus à la tolérance de valeur et à la dérive des coefficients de température.

Tableau 5. 2. Caractéristiques des condensateurs testés

	Valeurs des condensateurs C1 et C4 (µF)	**Technologie**	**Boîtier**	**Tolérance**
Valeur de référence	22	X7R	1210	10%
Valeurs erronées	4.7	X7R	1210	10%
	15	X7R	1210	10%
	33	X7R	1210	10%

Ensuite, nous avons mesuré les IRTS de tous les condensateurs d'entrée et de sortie pour chaque valeur de défaut inséré. Les résultats de mesure d'IRTS pour trois valeurs erronées des condensateurs C1 et C4 sont présentés dans la section suivante.

Enfin, nous avons calculé le RMSD par rapport à l'IRTS de référence pour chaque condensateur testé. Des conclusions sur l'état du condensateur testé (non-défectueux ou défectueux) ont été faites sur la base de cette comparaison.

3. RESULTATS EXPERIMENTAUX ET ANALYSE

La méthode exposée se résume à la mesure de la température des condensateurs à tester. Cette température est liée par l'équation de Stefan-Boltzmann (cf. équations (2)), au flux rayonné (Φ_1) qui est lié à son tour à la puissance dissipée par le condensateur. La puissance dissipée par le condensateur varie linéairement en fonction de la valeur de la résistance série équivalente (R_{ESR}) et du carré du courant efficace (i_{cRMS}) traversant le condensateur testé (équation (3)) et qui dépend à son tour de la capacité (C) de ce composant via l'équation (4) (voir Annexe V.A pour le détail de calcul de cette équation).

Sachant que nous gardons le même boîtier du composant, et que la quantité de soudure utilisée est conforme aux normes en vigueur (IPC-A-610), une variation de la puissance dissipée détectée par la caméra infrarouge, dans des conditions de test bien contrôlées (perturbations thermiques externes prises en compte dans la calibration de la caméra), est un indicateur de défauts liés à la valeur ou à la présence du composant sur le PCB (composant présent ou manquant). Si un condensateur de valeur erronée est placé sur le PCB, la puissance dissipée par ce dernier ne sera pas la même que celle dissipée par un condensateur de référence avec le même boîtier, parce que le courant (i_{cRMS}) qui le traverse ne varie qu'en fonction de sa valeur, la pulsation (ω) est constante et ne dépend que de la fréquence de commutation du BUT, la résistance série équivalente ne dépend que de la fréquence et de la valeur du condensateur [151, p. 216] (cf. Annexe V.A) et la tension v_{cRMS} est égale à la tension efficace de sortie du convertisseur régulée par la boucle d'asservissement afin de garder une valeur constante bien définie. Cette variation de la puissance dissipée due à la variation de i_{cRMS} induit une variation du flux détecté par la caméra, indiquant la présence d'un défaut. La même chose dans le cas d'absence totale du composant : l'absence d'un composant implique l'absence du flux rayonné dans son emplacement prévu ce qui indique un défaut.

$$\Phi_1 = \varepsilon.\sigma.T_c^4.S_C \quad \text{et} \quad T_c \propto (P_d, t) \qquad \text{(Équation (2))}$$

$$P_d = R_{ESR}\,.\,{i_{cRMS}}^2 \qquad \text{(Équation (3))}$$

$$i_{cRMS} = \sqrt{\frac{(C.\omega)^2}{1+(C.\omega.R_{ESR})^2}}\,v_{cRMS} \qquad \text{(Équation (4))}$$

Avec :

S_C	:	surface émettrice du flux thermique (surface du condensateur testé) [m²]
σ	:	constant de Stefan-Boltzmann [W/m²K⁴]
ε	:	émissivité dans l'air
v_{cRMS}	:	tension aux bornes du condensateur testé [v]
ω	:	pulsation [rad/s]

3.1. RESULTATS EXPERIMENTAUX

Le logiciel d'acquisition des données de la caméra FLIR « *ResearchIR* » fournit différents curseurs effectuant la moyenne sur un nombre de pixel que nous choisissons afin de mesurer l'évolution de la température sur l'image infrarouge capturée par la caméra. Un curseur moyennant 3×3 pixels utilisé afin de réduire le bruit de mesure a été placé sur chaque condensateur testé comme le montre la figure 5.6. Sur cette figure il faut noter que l'émissivité a été corrigée pour les composants testés tenant compte du matériau ($\varepsilon_{céramique}$= 0.9).

Les résultats de la *partie (a)* de la procédure de test sont présentés dans la figure 5.7.

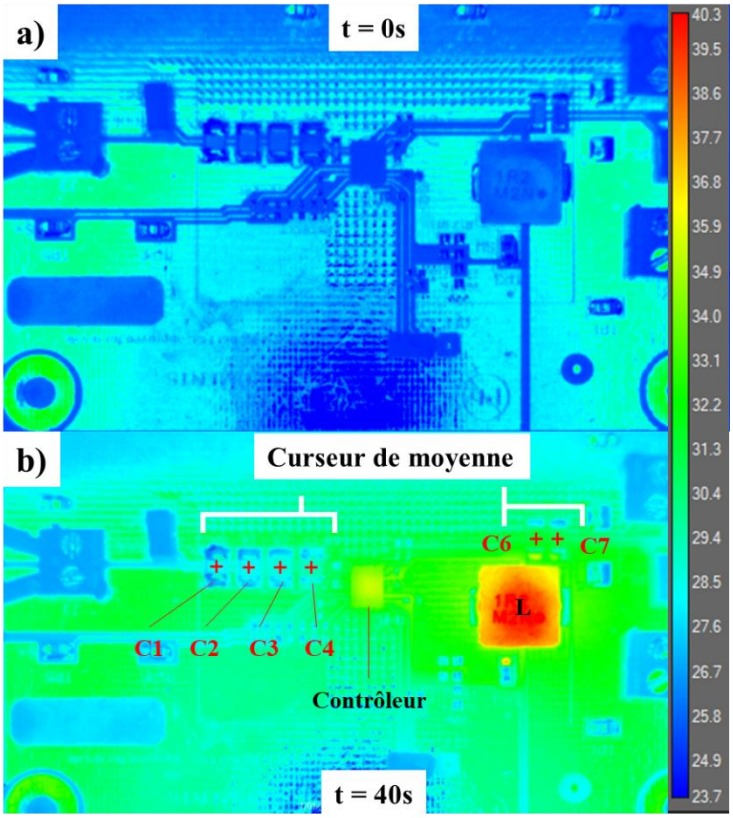


Figure 5. 6. Image infrarouge du BUT (TPS61088EVM-677), a): BUT non alimenté à la température ambiante; b): image prise après 40s de fonctionnement, BUT alimenté.

Les variations de l'IRTS montrées dans la figure. 5.7 sont principalement dues aux incertitudes liées au processus de soudure, la position et aux marges de tolérance des condensateurs testés. Le calcul du RMSD de ces variations d'IRTS de référence pour chaque condensateur testé donne les valeurs seuil ($RMDS_{th}$) présentées dans le tableau 5.3. Ces valeurs serviront de seuil de comparaison des RMSD calculés dans chaque cas de défaut afin de détecter la présence d'un condensateur de valeur erronée.

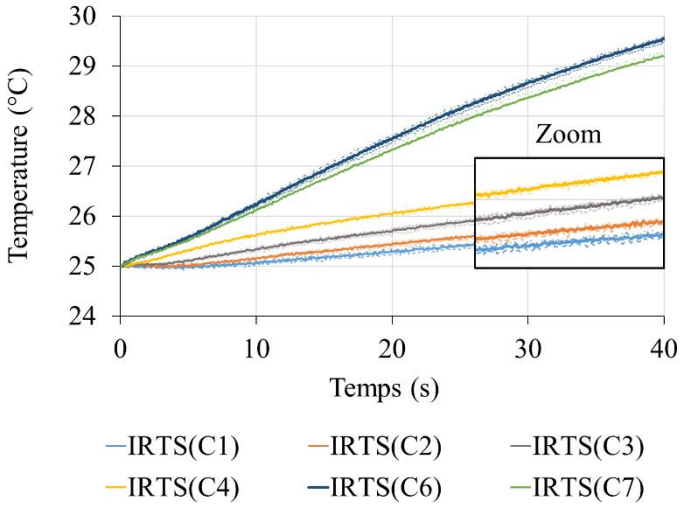


Figure 5. 7. Variation des IRTS (lignes pointillées) des condensateurs testés lors du remplacement répétitif de $C1=C_{ref}$ avec des condensateurs de technologie (X7R) du même boîtier et de valeur (C_{ref}) similaire

Tableau 5. 3. $RMDS_{th}$ calculé à partir des variations des IRTS de référence pour chaque condensateur testé

Condensateurs de filtrage en entrée et sortie testés	$RMSD_{th}$
C1	0,05
C2	0,05
C3	0,05
C4	0,05
C6	0,15
C7	0,22

3.1.1. Signatures thermiques infrarouges de référence

La moyenne des quatre mesures d'IRTS présentées dans la figure 5.7 pour chaque condensateur testé est reportée sur la figure 5.8. Ces moyennes représentent les IRTS de référence des condensateurs non-défectueux.

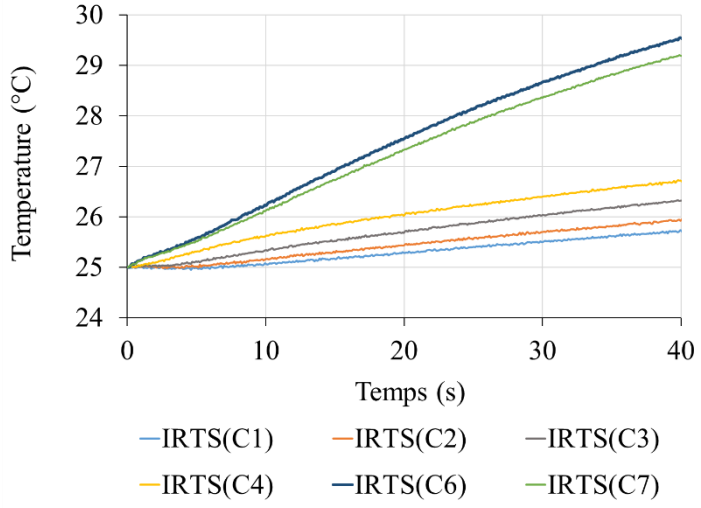


Figure 5. 8. IRTS de référence pour les condensateurs d'entrée/sortie testés

Dans cette preuve de concept de la technique IRTST, nous avons choisi, dans un premier lieu, un temps suffisamment grand (t_{mesure} = 40s) pour pouvoir observer l'évolution de la température dans les composants testés. Ce temps de mesure dépend principalement de deux éléments :

- Temps nécessaire pour que le composant testé ait un échauffement mesurable.
- Stimulus utilisé pour exciter les composants testés : dans une carte complexe intégrant des éléments logiques ou des modules de communication (microcontrôleurs, mémoire, Wifi, GPS, ...), il faudra un temps plus important pour l'établissement des signaux dans les composants testés. Dans le cas de faibles échauffements, nous comptons principalement sur la sensibilité importante de la caméra infrarouge. C'est la raison pour laquelle l'optimisation de ce temps dépendra de chaque produit testé.

Dans notre cas d'étude, et pour les conditions de stimulus du BUT que nous avons choisies (cf. tableau 5.1), nous avons trouvé que le temps de mesure d'IRTS minimal pour avoir des signatures de défaut significatives pour les condensateurs C4 et C1 est t_{mesure} = 5s. Ces signatures seront présentées et analysées dans la section suivante.

3.1.2. Défauts de valeur au niveau des condensateurs de sortie C4 et C1

Comme indiqué dans le deuxième paragraphe de la section 2.3, trois valeurs erronées de condensateurs ont été testées pour les condensateurs C4 et C1.

3.1.2.1. Condensateur C4 défectueux

Les résultats reflétant la variation de IRTS de C4 (IRTS(C4)) sont présentés dans la figure 5.9. Une comparaison des RMSD relatifs ($RMSD_r(C_i) = \frac{RMSD(C_i)}{RMSD_{th}(C_i)}$) calculés pour chaque condensateur pour deux temps de mesure d'IRTS t_1 = 5s et t_2 = 40s est présentée sous forme d'histogramme dans les figures 5.10.a et 5.10.b respectivement.

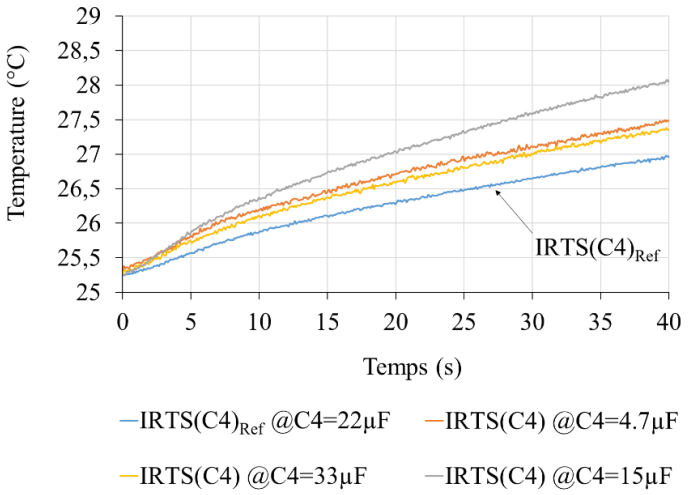


Figure 5. 9. Comparaison des signatures thermiques infrarouges du condensateur C4 pour trois valeurs erronées (C4=4.7µF, C4= 15µF, C4= 33µF) par rapport à sa signature de référence $IRTS(C4)_{Ref}$.

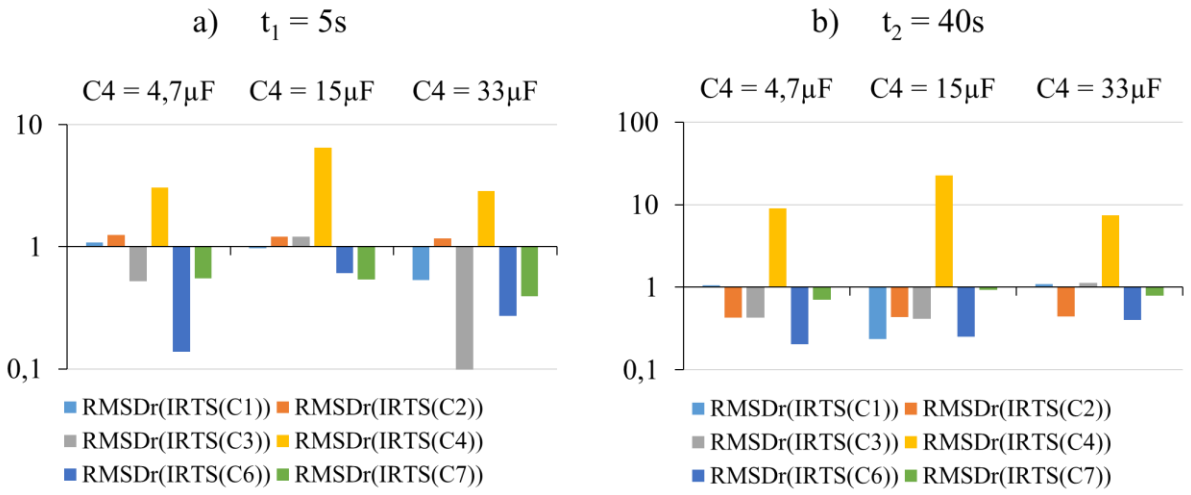


Figure 5. 10. $RMSD_r$ calculé pour chaque condensateur d'entrée/sortie pour trois valeurs erronées du condensateur C4 et pour deux temps de mesure t_1=5s et t_2=40s

Comme nous l'avons évoqué dans le chapitre précédent, le RMSD est utilisé pour quantifier la dispersion des signatures IRTS de chaque condensateur testé autour d'une signature de référence à un certain instant *t*. Nous utilisons le $RMSD_r$ dans ce chapitre afin de normaliser la variation des IRTS par rapport au $RMSD_{th}$. Un $RMSD_r \leq 1$ indique que les signatures ont tendance à être proches de la signature de référence, tandis qu'un $RMSD_r > 1$ indique qu'elles sont réparties sur une large plage de valeurs. Les graphiques de la figure 5.10 montrent que les signatures les plus dispersées autour de la référence ($RMSD_r >> 1$) sont celles du condensateur pour lequel la valeur a été modifiée, en d'autres termes, le condensateur défectueux. À t_2=40s, nous arrivons facilement à détecter le condensateur C4 en tant que défectueux pour les 3 valeurs de défaut choisies. Tandis qu'à t_1=5s, cette détection reste juste mais avec moins de marge de confiance, car nous remarquons qu'il y a des condensateurs non défectueux (C2 et C3) qui ont eu un RMSD légèrement supérieur à leurs $RMSD_{th}$ pour les valeurs de défaut 4.7µF et 15µF.

Le choix donc reviendra à l'utilisateur de cette technique, en prenant en considération les éléments discutés dans la section 3.3.1, pour choisir ce temps de mesure.

3.1.2.2. Condensateur C1 défectueux

Nous trouvons des résultats similaires aux précédents pour le condensateur de filtrage C1.

La figure 5.11 reflète la variation de la signature thermique infrarouge correspondant au condensateur C1 quand nous le substituons par trois condensateurs différents de valeurs erronées (C1= 4.7µF, C1= 15µF, C1= 33µF,).

La figure 5.12 présente une comparaison entre les $RMSD_r$ calculés pour chaque condensateur à 5 et 40 secondes de fonctionnement du BUT. Cette comparaison permet d'identifier clairement le condensateur C1 comme défectueux puisqu'il présente un $RMSD_r$ supérieur à 1 alors que les $RMSD_r$ calculés pour les autres condensateurs non-défectueux ont une valeur largement inférieure à 1.

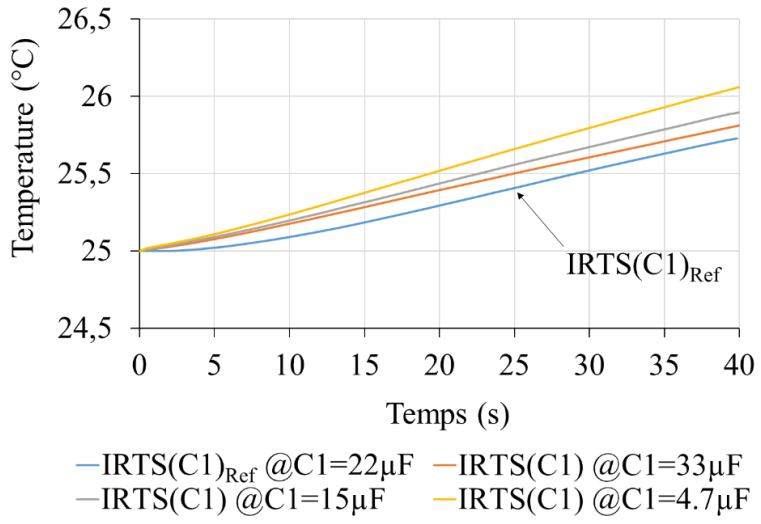


Figure 5. 11. Comparaison des signatures thermiques infrarouges du condensateur C1 pour trois valeurs erronées (C1=4.7µF, C1= 15µF, C1= 33µF) par rapport à sa signature de référence $IRTS(C1)_{Ref}$.

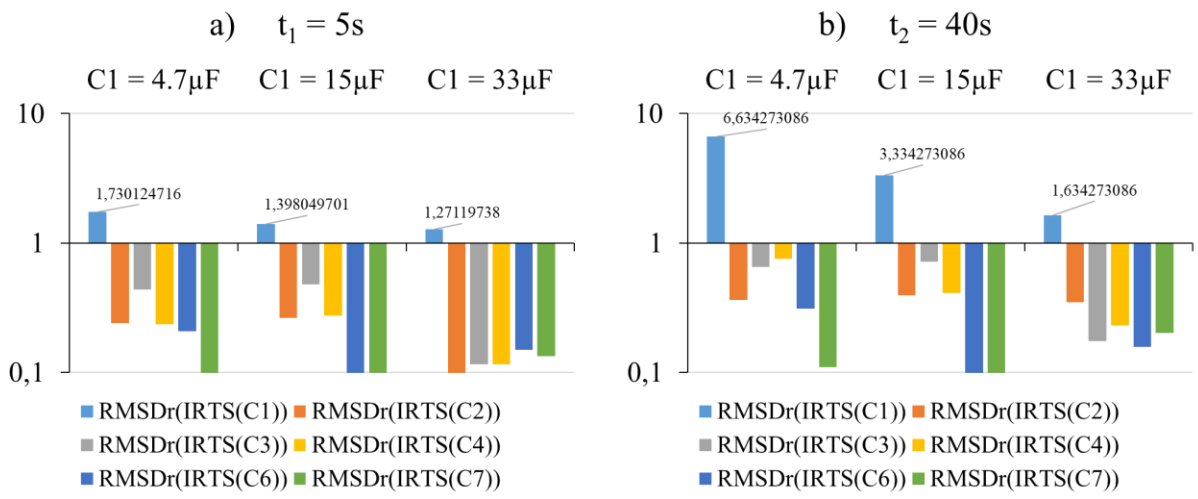


Figure 5. 12. $RMSD_r$ calculé pour chaque condensateur d'entrée/sortie pour trois valeurs erronées du condensateur C1 et pour deux temps de mesure t_1=5s et t_2=40s

3.2. ANALYSE / DISCUSSION

Dans la section 3, un indicateur statistique simple basé sur l'écart quadratique moyen a été utilisé pour prouver la détection des défauts de valeurs de composants placés sur un PCB par notre approche de test (IRTST). Nous avons montré que la dispersion de l'IRTS du condensateur défectueux autour de sa signature de référence dans un scénario de défaut simple (l'introduction d'un seul composant de valeur erroné par compagne de mesure) est plus élevée qu'une valeur seuil ($RMSD_{th}$) calculée à partir des variations d'IRTS de ce composant sans introduction de défaut, ce qui fait que son $RMSD_r$ est largement supérieur à 1, alors que les $RMSD_r$ des autres condensateurs non-défectueux sont, dans la plupart des cas, largement inférieurs à 1.

Pour une utilisation de l'IRTST dans un contexte industriel, et plus particulièrement le test en production dans l'industrie d'assemblage de cartes électroniques, nous devons prouver notre solution face à des scénarios de défauts complexes intégrant des défauts de valeur simultanés. Pour ce faire, un modèle multi-physique du BUT permettant la simulation de multiples scénarios de défauts en un temps beaucoup plus court que l'expérimentation est présenté dans la section suivante.

Pour faire de la simulation multi-physique, nous devons connaître toutes les caractéristiques thermiques du BUT (matériaux et géométrie), ce qui n'est pas toujours possible. Pour surmonter cela, les paramètres inconnus ont été estimés pour calibrer le modèle afin d'avoir un comportement thermique similaire à celui de notre cas d'étude.

4. RESULTATS DE SIMULATION MULTI-PHYSIQUE ET ANALYSE

4.1. CONFIGURATION DE LA SIMULATION

Tout d'abord, nous avons fait une simulation du circuit électrique du BUT sous Allegro Design Entry [127] en utilisant le modèle PSPICE du contrôleur fourni par le fabricant (Annexe V.B : Schéma détaillé de la simulation électrique). Les éléments parasites des condensateurs ont été extraits à l'aide de leurs références sur le logiciel d'aide à la conception « *SimSurfing* » du fabricant [152], et ceux propres à l'inductance ont été extraits de sa fiche technique. Les effets électriques des pistes n'ont pas été pris en compte dans le modèle.

Ensuite, nous avons effectué plusieurs simulations paramétriques avec des valeurs différentes pour chaque condensateur de sortie (cf. tableau 5.2). Les résultats de cette simulation paramétrique sont des valeurs de courant efficaces(i_{cRMS}) que nous utilisons pour calculer la puissance moyenne dissipée par effet joule pour chaque composant testé (cf. équation (3)). Ces valeurs de puissance sont ensuite intégrées dans un modèle thermique du BUT afin de calculer l'évolution de la température correspondant à chaque composant testé.

4.2. DESCRIPTION DU MODELE THERMIQUE DU BUT

Nous avons réalisé un modèle thermique 3D simplifié du BUT à l'aide du simulateur multi-physique COMSOL [153]. La figure 5.13 montre une illustration de ce modèle en état de fonctionnement (figure 5.13.a) et en état d'arrêt (figure 5.13.b).

Les composants que nous avons modélisés sont les condensateurs, le contrôleur et l'inductance de filtrage. Chaque condensateur est modélisé sous forme d'un bloc en céramique avec une métallisation nickel sur les deux électrodes. Les pistes de cuivre reliant les composants sont également représentées par leurs dimensions réelles [145]. Le substrat du PCB est modélisé sous forme d'une couche FR4 d'épaisseur égale à celle du BUT. Quant à l'inductance, nous n'avons considéré que l'effet de dissipation de chaleur par conduction sur la surface du PCB, et donc l'avons modélisé sous forme de puissance dissipée (simulation électrique P_L = 37mW) uniformément sur deux pads aux dimensions réelles issues de la fiche technique de l'inductance [154]. Il en va de même pour le contrôleur. Sa puissance dissipée (datasheet : P_{IC}= 200 mW) a été distribuée sur son pad thermique central et ses pins de puissance [155]. Dans l'annexe V.C nous reportons les caractéristiques physiques de chaque matériau utilisé dans la modélisation du BUT.

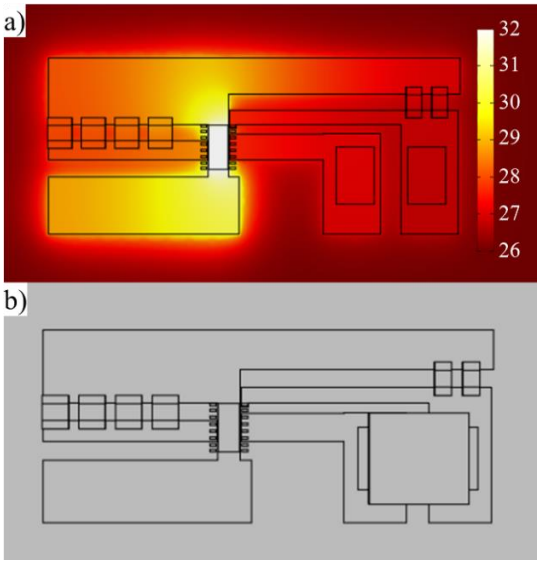


Figure 5. 13. Modèle thermique 3D simplifié du BUT.
a) : état de fonctionnement, b) état d'arrêt

Nous avons appliqué les conditions aux limites suivantes afin de modéliser, le plus simplement possible, les échanges de chaleur entre le BUT et l'environnement :

- Convection avec l'air ambiant à 23 °C au-dessus et en dessous du BUT. Les coefficients de transfert thermique h_{Top} et h_{Bot} ont été calibrés conformément au montage expérimental et aux mesures de référence de l'évolution de la température des composants. Nous avons obtenu les valeurs suivantes pour ces coefficients : h_{Top} = 30 W/m²/K et h_{Bot} = 5 W/m²/K.
- Côtés adiabatiques du PCB, ce qui revient à dire que le transfert de chaleur par convection sur les bords du PCB a été négligé (vu le rapport entre les surfaces d'échanges principales et les surfaces latérales).

La figure 5.14 illustre ces conditions.

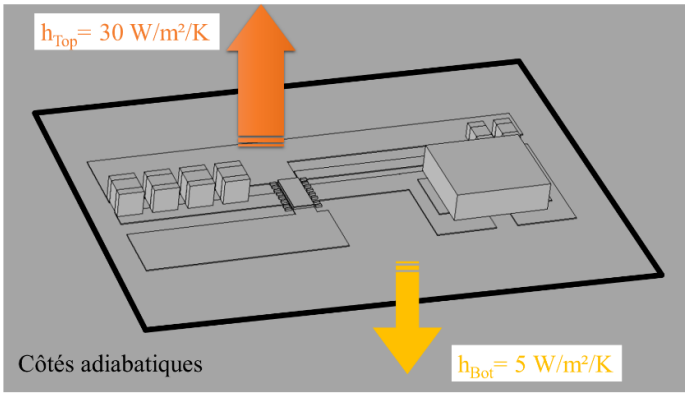


Figure 5. 14. Conditions aux limites du modèle thermique du BUT

La figure 5.15 présente une comparaison entre les IRTS de référence mesurés (a) et simulés (b) des condensateurs C1, C2, C3 et C4. Nous pouvons constater que les distributions et les écarts des évolutions de températures sont similaires entre les mesures et les simulations.

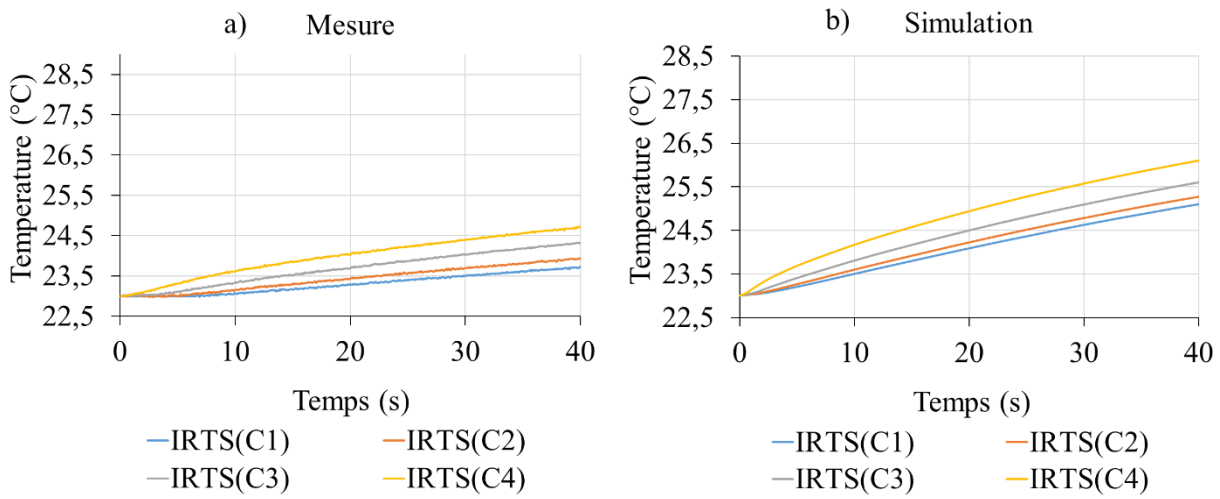


Figure 5. 15. IRTS de référence issus des mesures (a) et de la simulation multi-physique (b) pour les condensateurs de sortie C1, C2, C3, C4.

Ce modèle 3D simplifié simule avec une précision satisfaisante le comportement thermique du BUT.

La différence entre les mesures et les simulations que nous constatons au niveau des évolutions de la température de chaque composant testé est due aux éléments suivants :

- Approximations faites concernant la structure des composants testés,
- Composants présents sur le BUT et non modélisés
- Conditions appliquées aux limites estimées,

Quant aux allures des réponses thermiques, elles restent similaires à la mesure. Notre modèle simule des IRTS reproduisant les mêmes tendances thermiques des condensateurs de sortie observées dans l'expérimentation.

Dans la figure 5.16 nous comparons les IRTS simulés du même groupe de condensateurs de sortie dans un cas de défaut de valeur au niveau de C2 (C2=4.7µF au lieu de 22µF) aux IRTS de référence simulés. Les résultats sont similaires aux mesures. L'IRTS du condensateur de valeur erronée, dans ce cas $IRTS(C2)_{Défaut}$, dévie significativement de la référence, ce qui le rend facilement identifiable. Nous obtenons les mêmes résultats pour les autres condensateurs C1, C3 et C4 quand nous introduisons un défaut à leur niveau.

Le modèle reproduit donc bien le comportement thermique du BUT ce qui le rend fiable pour simuler des cas de défaut plus complexes.

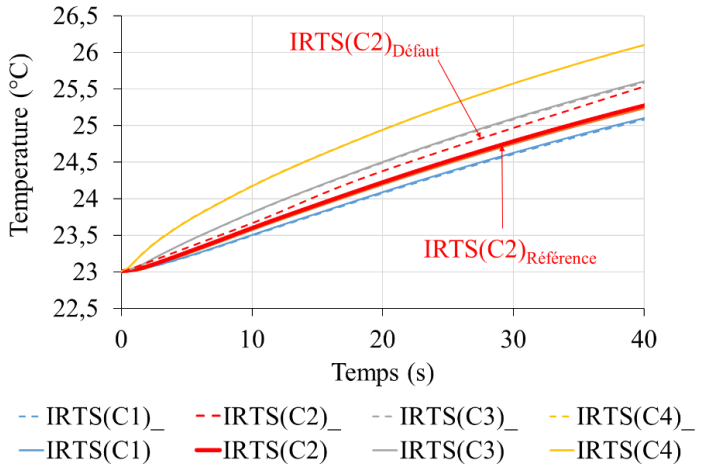


Figure 5. 16. IRTS simulés correspondant aux condensateurs de sortie C1, C2, C3, C4 dans le cas d'une valeur erronée au niveau de C2.

4.3. ANALYSE DES RESULTATS DE SIMULATION

4.3.1. Détection de défauts par la méthode PCA

Comme pour la détection de défauts à base de signatures électromagnétiques que nous avons traité dans le chapitre IV, vérifier expérimentalement la détection d'une combinaison complexe de défauts de valeur de composants montés sur un BUT est très fastidieux. De plus, comme pour les signatures EM, les IRTS mesurés sont partiellement corrélés, surtout dans le cas de plusieurs défauts de valeur simultanés. Ces corrélations sont difficiles à prévoir, ce qui rend un indicateur de défaut basé uniquement sur le RMSD insuffisant pour prendre en compte ces corrélations.

Nous avons donc décidé d'inclure, dans notre simulation électrique, les incertitudes relatives au courant, à la position et à la tolérance des composants placés sur le PCB afin d'obtenir des réponses thermiques fidèles à l'expérimentation. Nous avons généré une base de données d'IRTS composée de 6 PCBA non-défectueux prenant en compte ces incertitudes, et nous avons simulé des combinaisons de défauts de valeur au niveau des condensateurs de sortie du BUT que nous avons intégrées aléatoirement dans l'un de ces six PCBA. Ces

données sont ensuite analysées par l'algorithme PCA (cf. chapitre IV – section 6), afin de détecter le PCBA défectueux ainsi que le composant responsable du défaut.

4.3.2. Scénarios de détection de défauts

En utilisant le modèle multi-physique de notre convertisseur DC/DC Boost, nous avons généré six PCBA non-défectueux qui varient de façon aléatoire selon les plages de tolérance de leurs composants. Nous insérons ensuite un ou plusieurs défauts de valeur dans l'un de ces PCBA (PCBA6) selon les scénarios décrits dans le tableau 5.4.

Les valeurs erronées des condensateurs testés sont supérieures ou inférieures à la valeur de référence et sont en dehors de la plage de tolérance, qui est de 22µF ± 10%. L'entrée de l'algorithme PCA est une matrice 6x4. Les colonnes représentent les valeurs de la température à l'instant t_{5s} = 5s issues des signatures thermiques infrarouges simulées pour chaque condensateur de sortie (IRTS(C1) $|_{t5s}$, IRTS(C2) $|_{t5s}$, IRTS(C3) $|_{t5s}$, IRTS(C4) $|_{t5s}$). Les lignes correspondent aux différents PCBA générés.

Tableau 5. 4. Scénarios de défauts de valeur simulés

N°	Scénarios de défauts	Détails
1	Un condensateur de valeur erronée	**a**. La valeur erronée est inférieure à la référence **b**. La valeur erronée est supérieure à la référence
2	Deux condensateurs de valeurs erronées	**c**. Première valeur erronée est plus élevée que la référence; la deuxième est inférieure à la référence **d**. Les deux valeurs erronées sont plus élevées que la référence **e**. Les deux valeurs erronées sont inférieures à la référence
3	Tous les condensateurs défectueux	**f**. Toutes les mauvaises valeurs sont inférieures à la référence **j**. Toutes les mauvaises valeurs sont plus élevées que la référence

4.3.3. Résultats de détection des défauts

Pour la totalité des résultats présentés dans cette section, nous avons choisi les deux premières composantes principales (PC) calculées par le PCA (PC1 et PC2) car elles présentent une variance beaucoup plus élevée que les deux autres PC (PC3: 0.00002%, PC4 : 0.00001%) et donc reflètent au mieux la variabilité des données. Un graphique 2D est donc suffisant pour représenter les résultats obtenus par cette analyse.

Dans la figure 5.17, une représentation graphique des PC-scores, qui sont les coordonnées des points de données projetés dans le repère PCA, nous permet d'identifier deux clusters de points différents. Le premier amas contient les PCBA de référence PCBA1, PCBA2, PCBA3, PCBA4 et PCBA5 qui sont moins dispersés par rapport au centre de gravité (G) suivant l'axe PC2 et beaucoup plus dispersés suivant PC1. Le point correspondant au PCBA défectueux PCBA6, est quant à lui beaucoup plus éloigné par rapport au point G suivant PC2 et moins suivant PC1.

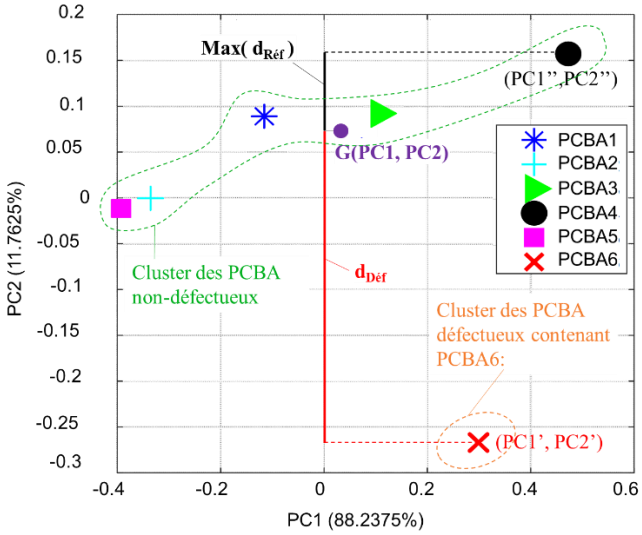


Figure 5. 17. Résultats de l'analyse PCA pour 6 PCBA avec un PCBA défectueux : PCBA6

Nous pouvons donc conclure que la distance des points de données par rapport au centre de gravité suivant l'axe PC2, peut être considérée comme indicateur de détection d'un défaut de valeur au niveau d'un condensateur testé. Cet indicateur peut donc être écrit comme une mesure de distance suivant l'axe PC2 entre le point G et le point correspondant au PCBA défectueux :

$$d_{Déf} = \left| G(0, PC2) - PCBA_{défectueux}(0, PC2') \right| \qquad \text{(Équation (5))}$$

Pour un PCBA non-défectueux cette distance est définie comme :

$$d_{Réf} = \left| G(0, PC2) - PCBA_{non-défectueux}(0, PC2'') \right| \qquad \text{(Équation (6))}$$

La condition de détection d'un PCBA défectueux peut donc être écrite sous la forme suivante :

$$d_{Déf} > MAX\ (d_{Réf}) \qquad \text{(Équation (7))}$$

Nous présentons dans la figure 5.18 une comparaison entre une détection de défauts avec la méthode PCA utilisant la condition mentionnée dans l'équation (7), et une détection utilisant uniquement la comparaison des $RMSD_r$ des composants testés. Le PCBA défectueux à détecter est PCBA6 dans lequel nous avons inséré un défaut de valeur au niveau des condensateurs C2, C3 et C4 avec (C2=15µF, C3=4.7µF et C4=33µF).

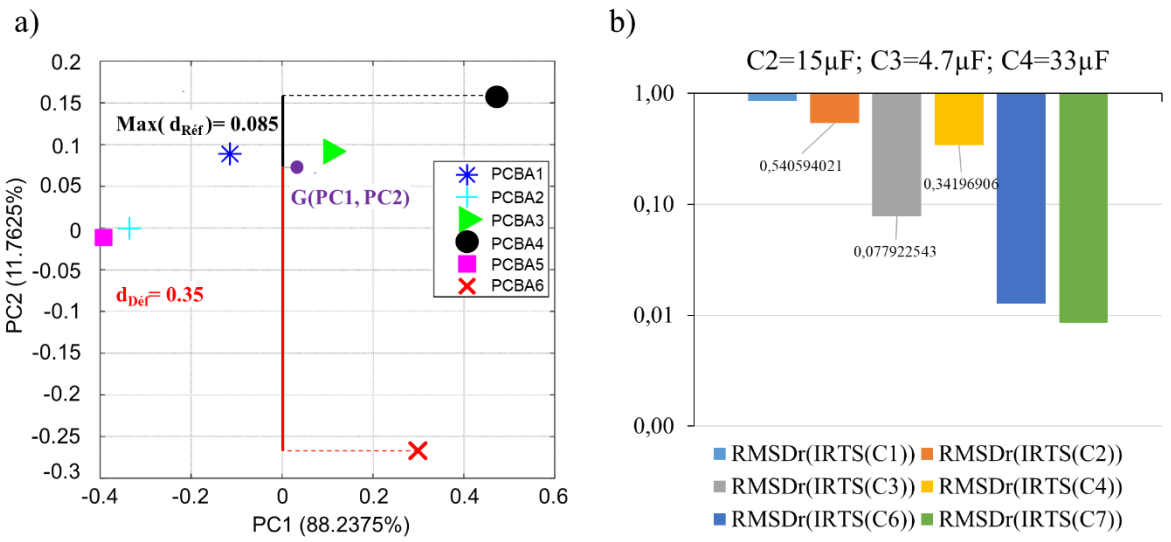


Figure 5. 18. a). Résultats de l'analyse PCA pour 6 PCBA avec un PCBA défectueux : PCBA6 contenant 3 condensateurs de valeurs erronées (C2=15µF, C3=4.7µF et C4=33µF); b) comparaison des $RMSD_r$ pour ce cas de défauts

Dans le graphe (b) de la figure 5.18, les valeurs de $RMSD_r$ calculées pour chaque condensateur testé sont inférieures à 1, indiquant ainsi qu'il n'y a aucun défaut de valeur au niveau de C2, C3 et C4, ce qui signifie que PCBA6 n'est pas défectueux. Cette conclusion erronée démontre la limitation de cet outil statistique face à la détection de multiple défauts de valeurs.

Dans le graphique (a) de cette figure, présentant une détection avec la méthode PCA, $d_{Déf}$= 0.35 est supérieur à MAX($d_{Réf}$)= 0.085, ce qui identifie clairement PCBA6 comme un PCBA défectueux.

4.3.3.1. Détection des composants défectueux :

Comme nous l'avons expliqué dans la section 8.4 du chapitre IV, et comme l'ont montré les résultats d'analyse PCA sur les signatures EM, la projection du repère initial des coordonnées sur le nouveau repère PCA fournit des informations sur les directions de dispersion des données, ainsi que la contribution de chaque composante principale à cette dispersion. Cette information nous a aidé à mieux détecter le(s) composant(s) à l'origine du PCBA défectueux, dans le cas de signatures EM (Chapitre IV, section 8.4).

Nous avons appliqué le même principe avec les signatures thermiques infrarouges. Chaque vecteur du repère initial (*Ri*) contient une information correspondant à la variation d'une signature IRTS simulée d'un condensateur testé :

$$Ri1 \rightarrow IRTS(C1)|_{t5s}$$
$$Ri2 \rightarrow IRTS(C2)|_{t5s}$$
$$Ri3 \rightarrow IRTS(C3)|_{t5s}$$
$$Ri4 \rightarrow IRTS(C4)|_{t5s}$$

4.3.3.2. Scénario de défaut N° 1: Détection d'un seul condensateur de valeur erronée:

Une matrice de données a été générée en appliquant au condensateur C1 du PCBA6 une valeur erronée (C1=4.7µF). Après avoir exécuté une analyse PCA sur ces données, les résultats pour les deux cas *a* et *b* (cf. tableau 5.4) montrent que PCBA6 est isolé du cluster des PCBA non-défectueux, comme le montre les figures 5.18 et 5.19. La condition de détection (cf. équation (7)) est vérifiée pour ces deux cas de défauts, ce qui permet d'identifier le PCBA6 comme défectueux dans ces deux cas.

Pour le premier cas où C1 a une valeur inférieure à la référence (C_{ref} = 22µF): les vecteurs *Ri* correspondant au PCB6 montrent que seul *Ri1*, qui est la projection correspondant au premier vecteur du repère initial, pointe vers le plan de défaut, qui contient le PCBA défectueux et qui est parallèle au plan des PCBA de référence (cf. figure. 5.19). Contrairement au second cas où C1 a une valeur supérieure à C_{ref} (C1 = 33 µF), le vecteur *Ri1* pointe dans le sens opposé au plan du défaut (voir figure. 5.20).

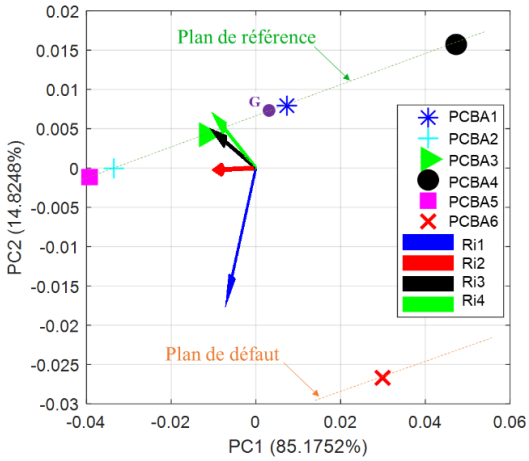


Figure 5. 19. Cas *a* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : condensateur de valeur erronée inférieure à C_{ref} (C1=4.7 µF)

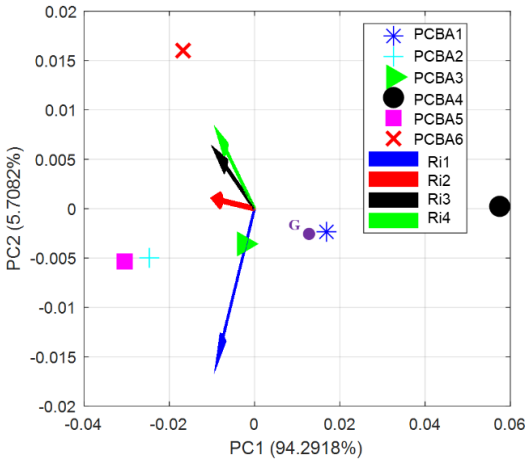


Figure 5. 20. Cas *b* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : condensateur de valeur erronée supérieure à C_{ref} (C1 = 33 µF)

4.3.3.3. Scénario de défaut N° 2: Détection de deux condensateurs de valeurs erronées:

Dans la figure 5.21, le vecteur *Ri4* correspondant au condensateur C4, qui a une valeur inférieure à la référence, pointe directement vers le plan de défaut. Le vecteur *Ri1* correspondant à C1, qui a une valeur supérieure à la référence, pointe dans le sens opposé au plan de défaut. Les deux autres vecteurs *Ri2* et *Ri3* correspondant aux condensateurs non-défectueux C2 et C3 gardent une position plus ou moins neutre par rapport au plan de défaut, en comparaison avec *Ri1* et *Ri4*. Signifiant ainsi, une contribution très légère au défaut détecté dans le PCB6, ce qui est logique vu la variation des signatures IRTS(C2) et IRTS(C3) due à la variation des valeurs de C2 et C3 dans leur marge de tolérance.

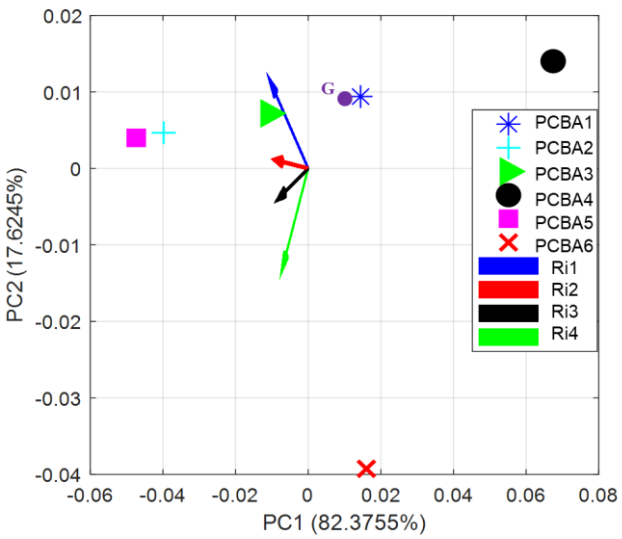


Figure 5. 21. Cas *c* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : deux condensateurs de valeurs erronées : C4 < C_{ref} (C4 = 4.7µF) et C1 > C_{ref} (C1 = 33 µF)

Dans le cas présenté dans la figure 5.22, les condensateurs C1 et C4 sont défectueux et ont des valeurs supérieures à la référence (C1 = 33 µF et C4 = 47µF). Les vecteurs *Ri* correspondant à ces condensateurs (*Ri4* et *Ri1*) pointent dans le sens opposé au plan du défaut, alors que les deux autres pointent vers le plan du défaut même s'ils sont non-défectueux. Nous remarquons le même comportement dans la figure 5.23 présentant un cas de défaut similaire avec des valeurs inférieures à la référence (C_{ref} = 22µF).

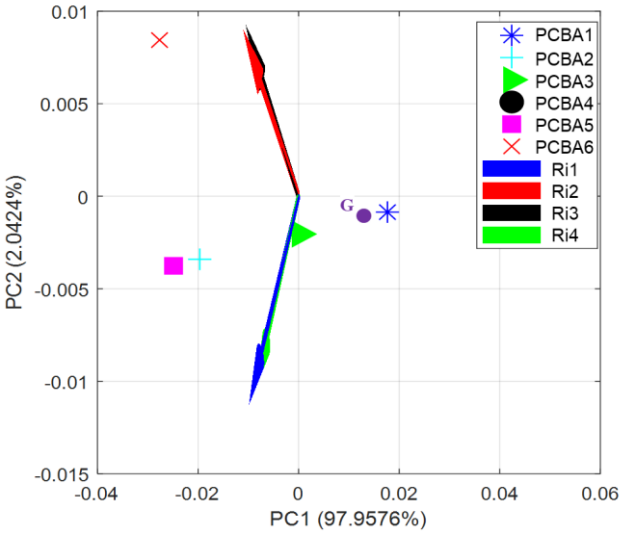


Figure 5. 22. Cas *d* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : deux condensateurs de valeurs erronée : C4 > C_{ref} (C4 = 47µF) et C1 > C_{ref} (C1 = 33 µF)

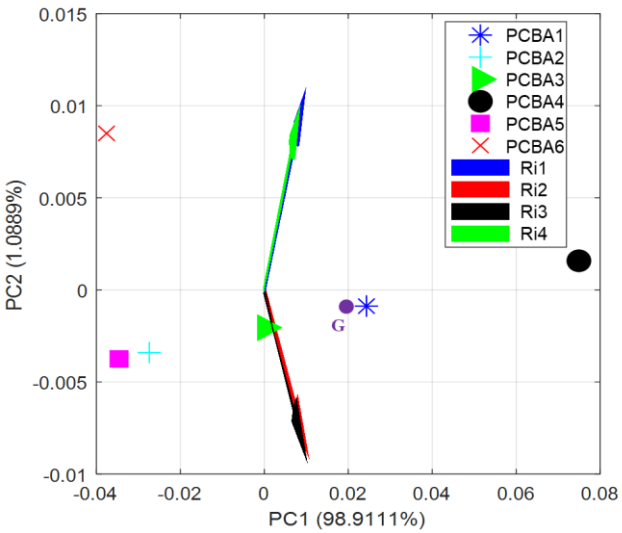


Figure 5. 23. Cas *e* : Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux, cause du défaut : deux condensateurs de valeurs erronée : C4 < C_{ref} (C4 = 15µF) et C1 < C_{ref} (C1 = 4.7 µF)

4.3.3.4. Scénario de défaut N° 3: Détection de 4 condensateurs de valeurs erronées:

Dans le cas présenté dans la figure 5.24.a, tous les condensateurs sont défectueux et ont des valeurs supérieures à la référence (C1=C2=33µF, C3=C4=47µF). Les vecteurs *Ri* correspondant à ces condensateurs (*Ri1, Ri2, Ri3, Ri4*) pointent dans le sens opposé au plan de défaut.

Dans le deuxième cas de la figure 5.24.b, tous les condensateurs sont défectueux et ont des valeurs inférieures à la référence (C1=C2=4.7µF, C3=C4=15µF). Les vecteurs *Ri* pointent vers le plan de défaut.

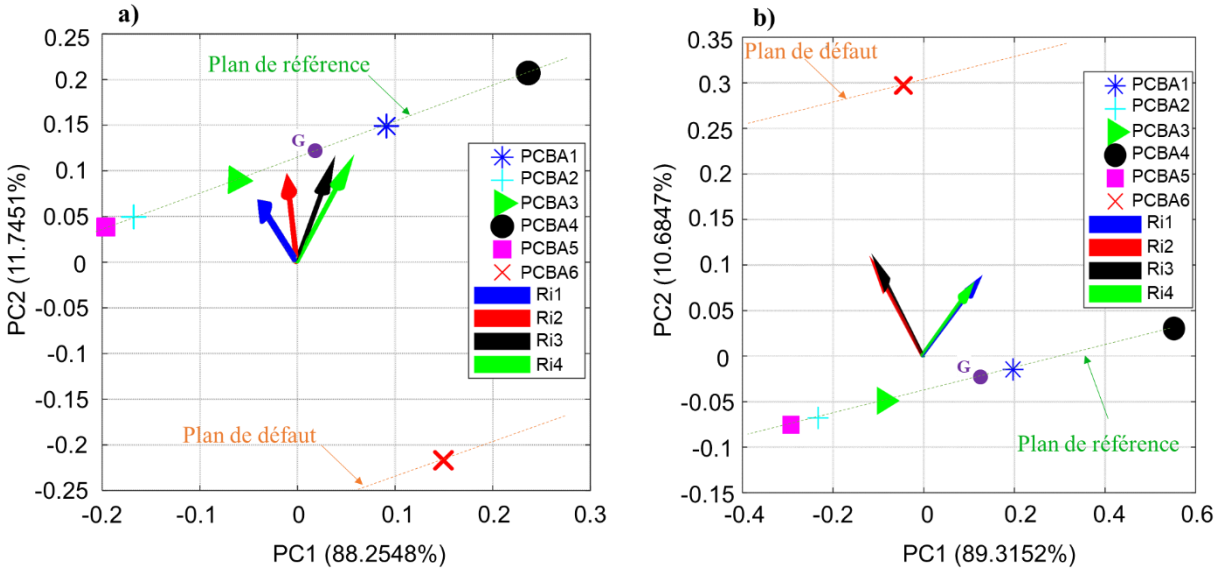


Figure 5. 24. Résultats d'analyse PCA pour 6 PCBA avec PCBA6 défectueux :
a) *cas j* : tous les condensateurs ont des valeurs erronées supérieures à C_{ref}
b) *cas f* : tous les condensateurs ont des valeurs erronées inférieures à C_{ref}

Ces deux figures confirment les constatations suivantes :

- Tous les condensateurs sont défectueux et ont des valeurs inférieures à la référence : Les vecteurs Ri correspondant à ces condensateurs pointent toujours vers le plan de défaut.

- Tous les condensateurs sont défectueux et ont des valeurs supérieures à la référence : Les vecteurs Ri correspondant à ces condensateurs pointent vers le plan de référence.

Le tableau 5.5 résume toutes les conclusions que nous pouvons émettre par rapport à l'identification des condensateurs de valeurs erronées contribuant à la détection d'un PCBA défectueux.

Tableau 5. 5. Identification des condensateurs défectueux selon le cas de défaut

Vecteurs Ri correspondant au condensateur testé	Conclusions
- Tous les Ri pointent vers le plan de défaut	- Tous les condensateurs sont défectueux et ont des valeurs erronées inférieures aux valeurs de référence
- Tous les Ri pointent vers le plan de référence	- Tous les condensateurs sont défectueux et ont des valeurs erronées supérieures aux valeurs de référence
- Un ou plusieurs Ri pointent vers le plan de défaut Et : - Un ou plusieurs Ri pointent vers le plan de référence Et : - Un ou plusieurs Ri sont neutres	- Les condensateurs correspondant aux Ri pointant vers le plan de défaut ont des valeurs erronées inférieures à la référence - Les condensateurs correspondant aux Ri pointant vers le plan de référence ont des valeurs erronées supérieures à la référence - Les condensateurs correspondant aux Ri neutres sont non-défectueux
- Un ou plusieurs Ri pointent vers le plan du défaut Et : - Un ou plusieurs Ri pointent vers le plan de référence	Trois cas nécessitant la vérification par un opérateur : 1. Les condensateurs correspondant aux Ri pointant vers le plan de défaut ont des valeurs erronées inférieures à la référence et les autres Ri pointant vers le plan de référence correspondent à des condensateurs de valeurs erronées supérieures à la référence. 2. Les condensateurs correspondant aux Ri pointant vers le plan de défaut ont des valeurs erronées inférieures à la référence et les autres Ri pointant vers le plan de référence correspondent à des condensateurs non-défectueux. 3. Les condensateurs correspondant aux Ri pointant vers le plan de défaut sont non-défectueux et les autres Ri pointant vers le plan de référence correspondent à des condensateurs de valeurs erronées supérieures à la référence.

Ce dernier cas particulier (3ème cas de la dernière ligne du tableau 5.5) peut prêter à confusion, l'algorithme ne peut pas identifier automatiquement les composants défectueux ainsi que la nature du défaut de valeur (inférieure ou supérieure à la valeur de référence). Il reste cependant capable de détecter sans ambiguïté le PCBA défectueux. Sachant que dans tous les cas, un opérateur doit intervenir pour corriger le PCBA défectueux détecté, l'algorithme fournit une aide précieuse afin de cerner son périmètre de vérification suivant les trois cas mentionnés dans la dernière ligne du tableau précédent, ce qui permet de gagner énormément en temps de diagnostic. Pour tous les autres cas de défauts, l'algorithme permet de détecter facilement le PCBA défectueux et localiser les composants responsables du défaut ainsi que la nature de leur contribution (Valeur erronée supérieure ou inférieure à la référence).

5. CONCLUSION

Dans ce chapitre, nous avons présenté la validation du concept d'utilisation des signatures thermiques infrarouges pour détecter d'une manière non-intrusive et sans contact, des condensateurs de valeurs erronées montés sur un PCB avec une accessibilité de test limitée. Cette approche propose de surmonter les limitations des techniques d'inspection classiques, qui se limitent à fournir un test physique (présence et qualité de soudure) de certains composants montés sur le BUT, ce qui n'est pas toujours satisfaisant pour assurer la qualité des cartes électroniques assemblées.

Les premiers résultats expérimentaux ont montré que l'approche IRTST peut fournir une alternative satisfaisante pour détecter des défauts de valeurs au niveau des composants testés et diminuer le nombre de points de test traditionnels tout en offrant une accessibilité améliorée pour le test.

Basé sur le concept d'une imagerie thermique infrarouge, l'IRTST est capable de détecter, en plus des défauts de valeurs des condensateurs, des défauts d'assemblage tels que la présence du composant, sa polarité, et les défauts liés à sa soudure (court-circuit et circuit-ouvert), ce qui permet d'identifier rapidement un PCBA défectueux.

La méthode de détection d'anomalie au niveau des IRTS utilisée dans la première partie de ce chapitre consistait en l'utilisation d'un simple indicateur statistique comparant les écart-types des mesures autour des signatures de référence. Cela s'est révélé peu significatif dans des scénarios de défauts complexes pouvant exister dans un PCBA industriel. La méthode PCA qui a prouvé son efficacité dans l'analyse des signatures EM dans le chapitre précédant, a été donc privilégiée pour assurer une détection robuste des PCBA défectueux.

Le principal inconvénient de cette approche est le temps conséquent que prennent les tests en raison des constantes de temps importantes des phénomènes thermiques. De plus, selon les cartes testées, ces constantes de temps peuvent varier de façon significative ce qui oblige l'opérateur à changer le temps de saisie de la réponse thermique transitoire. Dans notre cas d'étude, nous avons montré qu'une durée de 5 secondes était suffisante pour détecter simultanément des défauts de valeurs au niveau des condensateurs de découplage/filtrage d'un convertisseur DC/DC de type « *boost* ». Connaissant le takt-time typique dans une chaine d'assemblage de PCB qui peut aller de quelques dizaines de secondes à quelques minutes, ce temps reste prometteur pour une intégration possible de cette technique dans une stratégie de test en production. Néanmoins, il peut rapidement devenir fastidieux si le stimulus du BUT n'est pas choisi d'une manière optimisée pour obtenir un rayonnement infrarouge significatif.

Les perspectives de ce travail comprennent :

- Utilisation de l'IRTST pour tester des PCBA plus denses et plus complexes afin d'optimiser le temps de test face à différents types de stimulus.
- Association de la méthode de détection à un algorithme d'apprentissage automatique, ce qui permettra :
    - L'enrichissement des bases de données des signatures de référence de défauts,
    - L'optimisation des marges de détection afin de garantir une identification robuste et rapide des défauts récurrents,
    - La minimisation du taux d'erreurs de détection de défauts,
    - Une meilleure détection des défauts tout au long du test d'une série du même produit.

CHAPITRE VI : PROPOSITION D'UNE NOUVELLE TECHNOLOGIE DE SONDES A MICRO-ACCES

1. INTRODUCTION

Dans le contexte industriel de densification et miniaturisation des PCBA traité dans cette thèse, il est pratiquement impossible de placer des pastilles de test de 0.9 mm (35 mils) ou même de seulement 0.5mm (20 mils) de diamètre sur des assemblages à haute densité d'intégration avec des largeurs de pistes conductrices de l'ordre de 76µm (3 mils) et un espacement de moins de 100µm entre ces pistes [103].

Dans les cas où il y a de l'espace pour placer des points de test, la capacité ajoutée à l'emplacement du point d'accès réduit l'impédance caractéristique d'une ligne de transmission à grande vitesse à cet endroit particulier [103]. Pour la transmission de signaux à haute vitesse, les changements d'impédance des pistes provoquent des réflexions ou d'autres effets indésirables qui interfèrent avec l'intégrité du signal [103], [156]. En conséquence, les pastilles de test peuvent limiter la vitesse des signaux transmis sur une piste dont l'impédance caractéristique a été altérée, et donc perturber le fonctionnement souhaité d'un PCBA qui a été conçu pour fonctionner à des vitesses élevées.

Une variété de technologies de micro-accès a été discutée dans le chapitre III, y compris la technologie de sonde à billes (Bead Probe Technology) d'Agilent [157], les points de soudure de Rex Waygood (Rex Waygood solder bumps) [98, p. 28], les points de soudure de Prasad (Prasad solder bumps) [99, p. 332], le composant d'accès au test (TAC) [101] et la technique d'accès de Vaucher [102], qui offrent toutes une alternative pour conserver l'accès électrique sur des assemblages de circuits imprimés à haute densité d'intégration. Toutes ces techniques présentent néanmoins des limitations que nous avons discutées dans la section 6.6 du chapitre III.

Dans le cas où le test sans contact avec les méthodes altérnatives présentées précédemment devient impossible ou compliqué, comme par exemple pour un bloc que nous ne parvenons pas à stimuler pour obtenir les caractéristiques d'émission électromagnétique (composants blindés) ou présentant un rayonnement électromagnétique ou thermique perturbant les mesures EM ou infrarouges, une technique alternative de test par contact devient donc indispensable afin de garantir l'accessibilité au test électrique sur un PCBA à haute vitesse.

La solution que nous proposons dans ce chapitre, contrairement à celle brevetée par C.Vaucher [102] qui a été introduite pour remplacer les points de test et les sondes classiques de l'ICT, vise à tester des assemblages de PCB dans l'objectif principal de :

- S'affranchir des problèmes d'intégrité de signal lors de la mesure
- Minimiser l'espace occupé par les points de test classiques
- Effectuer des mesures sur plusieurs pistes simultanément.
- Complémenter une stratégie de test utilisant des techniques sans contact

Pour ce faire, nous avons conçu une sonde spéciale que nous avons baptisée « *Anisotropic Conductive Ruber Probe* » (ACR-P) qui sera présentée dans les sections suivantes.

Dans la suite de ce chapitre, nous allons présenter et détailler les points suivants:

- Les faiblesses des points de test classiques qui nous poussent à leur trouver une solution alternative,
- Le principe de la technique ACR-P,
- La quête du marché des matériaux anisotropes candidats à une utilisation dans l'ACR-P,
- Les résultats des caractérisations du matériau choisi,
- La modélisation de la sonde ACR-P
- La réalisation du prototype

2. CONTRAINTES LIEES A LA CONCEPTION ET AU PLACEMENT DES POINTS DE TEST CLASSIQUES

Les règles génériques de conception de PCB sont regroupées dans la norme IPC-2221 [25]. Dans ce document nous retrouvons les différentes informations portant sur les dimensions, distances de séparation, et de disposition des différents éléments sur un PCB. Pour le cas des points de test ou « *Test Pads* » (TP), nous trouvons dans cette norme un ensemble de conditions qui régissent leurs dimensions et les distances minimales de séparation entre ces points de test et d'autres éléments du PCB. Nous reportons dans la section suivante quelques cas de figure afin de démontrer le grand avantage que présente notre technique par rapport à celle basée sur les points de test classiques.

2.1. DISTANCES DE SEPARATION ET DIMENSIONS DES POINTS DE TEST

L'espacement minimal de centre à centre entre les points de test dépend du processus de gravure utilisé pour la fabrication du PCB, ainsi que des limitations de pas entre les sondes de test par contact de l'ICT et les tolérances de fabrication des fixations de ce dernier (détails reportés dans l'Annexe VI.A).

Dans la mesure du possible, il faut maintenir la distance entre les points de test à un minimum de 2.09 mm (cf. tableau 6.A.1, Annexe VI.A), afin que des sondes standard de 2.54mm puissent être utilisées. Lorsque cela ne peut pas être réalisé, il existe des sondes plus petites jusqu'à 1.27mm de diamètre pouvant être utilisées qui permettent un contact sur une surface encore plus étroite. Cependant, il a été démontré que plus la sonde est petite, plus la probabilité de problèmes de contact et de réduction de fiabilité de ces sondes à long terme est grande [158]. Une autre limitation relative à ces sondes réside dans leur coût plus élevé, ce qui rend leur taux de rentabilité très faible.

Quant aux dimensions des points de test, ces derniers doivent, de préférence, avoir un diamètre entre 0.9 et 1.2mm (cf. tableau 6.A.2, Annexe VI.A) selon la face testée du PCB, mais peuvent être réduits si cela est absolument nécessaire en utilisant des outillages personnalisés de fabrication de PCB qui sont généralement plus coûteux que les standards et qui engendrent par la suite une nécessité de remise à niveau des fixations ICT.

2.2. DISPOSITION DES POINTS DE TEST SUR UN PCB

Dans un cas idéal, les points de test doivent être répartis uniformément sur une seule surface [159], *Top* ou *Bottom*, du PCB, mais souvent, nous en trouvons sur les deux faces, avec la face *Bottom* contenant le plus grand nombre de points de test.

La création de zones contenant une forte densité de points de test doit être évitée car cela peut provoquer une déformation du PCB ce qui peut endommager (arracher ou fissurer) les composants par flexion. S'il existe des zones à haute densité, la carte doit être repensée afin de respecter la limite de flexion du PCB lors du test, qui est fixée à 500µm/m.

Dans le cas d'un test de la face *Bottom* d'un PCBA, les pastilles de test doivent avoir un diamètre d'au moins 0.9mm, et doivent être éloignées d'au moins 1.905mm des autres points de test sur la surface testée du PCB. Une distance d'au moins 0.5mm doit être respectée entre le centre de la pastille de test et tous composants adjacents, ainsi que du bord du PCB. Ces distances respectives sont illustrées dans la figure 6.1.a pour la face *Top* et la figure 6.1.b pour la face *Bottom*. Ces règles sont issues du cahier de conception d'ACTIA Automotive (P600423-A12) est représentent une adaptation de la norme IPC-2221 [25] suivant le processus d'assemblage utilisé.

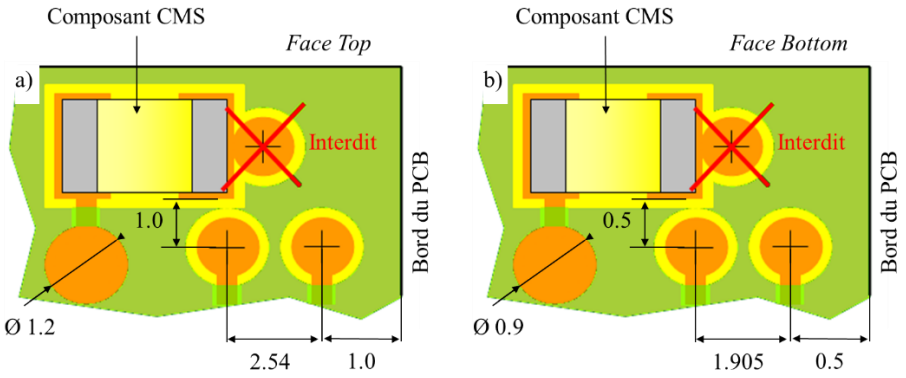


Figure 6. 1. Diamètre et distance minimales pour le placement des points de test
a) Face *Top*, b) Face *Bottom* – source : cahier de conception ACTIA Automotive -

Ces dimensions deviennent trop larges et peuvent, dans certains cas, nécessiter le re-routage des pistes de signal, comme le montre la figure 6.2. Ces points de test peuvent également introduire une impédance parasite qui peut atteindre à l'intégrité du signal de haute fréquence transmis sur une piste, comme a été démontré dans [156] et [157]. Un autre effet possible, est l'augmentation de la dispersion des temps de propagation entre les signaux propagés, qui peut avoir des conséquences majeures pour l'intégrité du signal (par exemple : si un signal est retardé par rapport à son horloge).

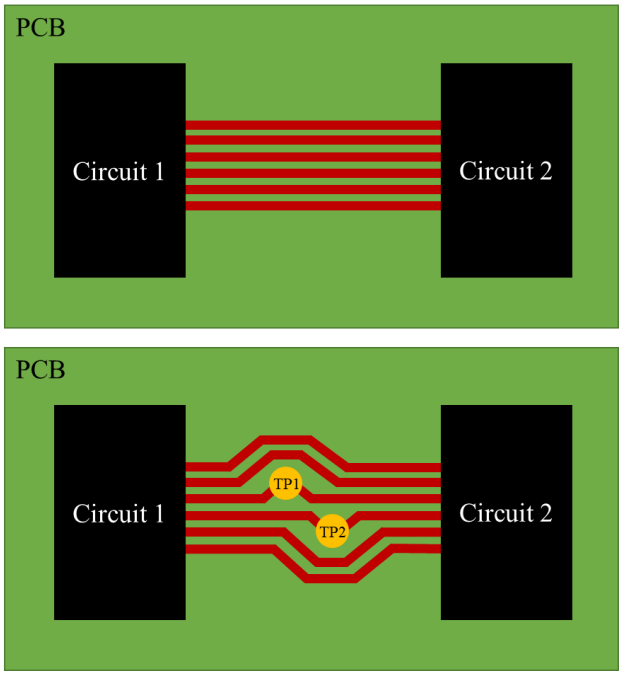


Figure 6. 2. Re-routage des pistes lors de l'ajout de points de test standards 1.25 mm

La technique que nous proposons dans ce chapitre permettra de s'affranchir de ces problématiques d'intégrité de signal ainsi que du temps et des efforts nécessaires afin d'ajouter des points de test en refaisant le routage partiel ou complet du PCB, ce qui peut s'avérer compliqué et très long à réaliser. Le principe de cette technique est présenté dans la section suivante.

3. PRINCIPE DE LA TECHNIQUE ACR-P

Le problème du test ICT classique, dans un contexte de miniaturisation, réside dans la nécessité d'augmentation de la densité des points sur le PCB à tester. La solution que nous proposons évacue ce problème de densification car les points de test encombrants et perturbants ne sont plus sur la carte, mais dans la sonde ACR-P.

Nous utilisons un matériau isolant déformable (ACR) dans lequel est insérée une matrice de fils conducteurs très fins avec un pas très réduit (état de l'art : 0.05 × 0.05 mm) pour faire le lien entre le BUT et les points de mesure à l'intérieur de la sonde. La conduction électrique se fait uniquement suivant l'axe Z de la sonde, d'où la propriété d'anisotropie de ce matériau. Ce contact est réalisé à travers des ouvertures sur la couche du vernis, plus petites qu'un point de test, que nous appellerons « *Window Openings* » (WO).

Le conducteur exposé en-dessous de ces ouvertures, est mis en contact avec la pointe de la sonde ACR-P constituée du matériau ACR, ce qui permet d'accéder directement aux pistes de signal de la face supérieure « *Top* » et inférieure « *Bottom* » sans avoir à utiliser des points de tests trop encombrants sur le PCB.

La figure 6.3 illustre le principe de cette technique.

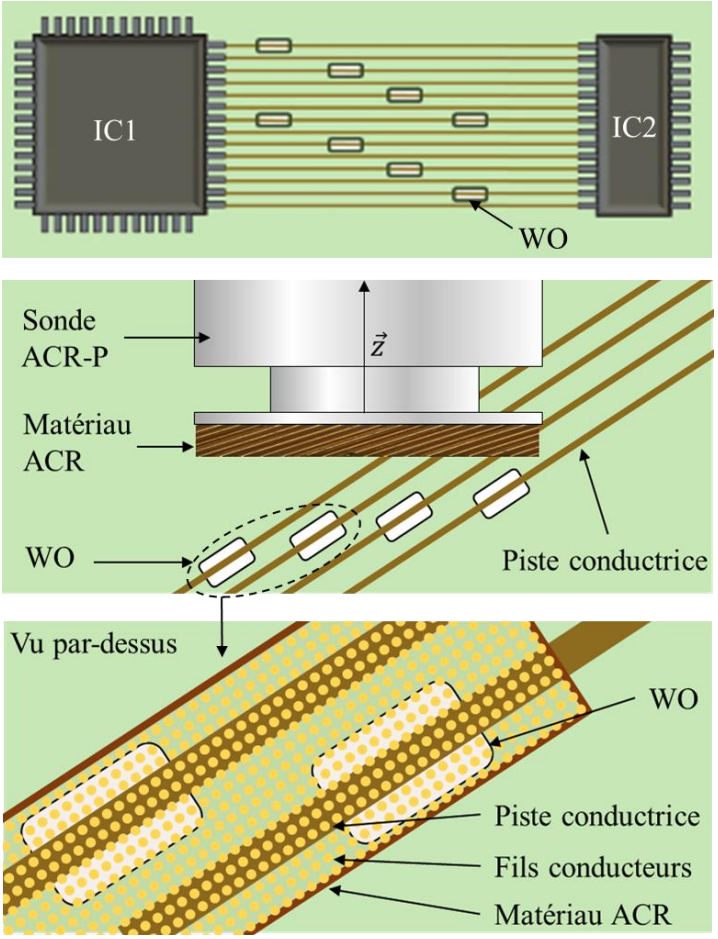


Figure 6. 3. Principe de fonctionnement de la technique ACR-P

En pratique, une pression suffisante (Annexe VI.C) est exercée sur la pointe de la sonde pour se déformer partiellement, pénétrer dans le WO et établir un contact électrique avec la piste exposée en dessous. La déformation (concave ou convexe) typique d'un matériau ACR peut atteindre les 30% de son épaisseur. Si nous prenons par exemple un matériau d'épaisseur de 1mm (épaisseur du matériau que nous avons choisi d'utiliser par la suite), nous pouvons atteindre une déformation convexe de 0.3mm, ce qui est suffisant pour

assurer le contact avec la piste en dessous (épaisseur typique du vernis 25 à 50µm). La taille minimale des WO dépend de la densité en fils conducteurs du matériau ACR, et du nombre de fils que nous souhaitons mettre en contact avec la piste afin d'assurer un bon contact électrique. Ce point sera traité dans la section 5.2.

L'autre côté de la pointe est connecté à la sonde de test via une matrice de pads pour maintenir le chemin électrique. La géométrie de la pointe de la sonde est déterminée selon les dimensions des pistes testées et des WO afin d'augmenter la précision du dispositif de test. La piste exposée est généralement d'une finition « *Electroless, Nickel, Immersion Gold* » (ENIG) ou argent chimique « *Immersion Silver* » (IS) pour minimiser l'effet de l'oxydation de la piste en cuivre [5, Sect. 32.3]. La protubérance des fils conducteurs du matériau ACR lors de l'application d'une pression suffisante permet de s'affranchir de cet effet, car ces derniers pénètrent la couche d'oxyde sous l'effet de la pression et assurent un bon contact électrique avec la piste conductrice.

3.1. AVANTAGES DE LA TECHNIQUE

- Un avantage majeur de cette technique de test réside dans le fait d'alléger les contraintes de routage liées à l'ajout d'un nouveau point de test. Seule une ouverture sur le vernis d'épargne au-dessus d'une piste est nécessaire afin de faire une mesure non-intrusive du signal,

- L'utilisation des WO permet de s'affranchir des problèmes d'intégrité du signal introduits par les points de test classiques [103].

- Un autre avantage est la minimisation du nombre de clous de test utilisé dans le test ICT, en utilisant une seule sonde ACR-P pour tester plusieurs signaux qui transitent dans des pistes parallèles.

- L'utilisation de la sonde peut inclure également : les points de test classiques et les vias (traversant et borgnes).

3.2. DEFIS DE LA TECHNIQUE

Les défis de cette technique se résument dans les caractéristiques propres au matériau qui composent la pointe de la sonde :

- Le matériau ACR doit être choisi de sorte à avoir une matrice de fils conducteurs uniforme avec des caractéristiques électriques satisfaisantes à la fréquence des signaux mesurés.

- Les ouvertures rectangulaires au-dessus des pistes de signal impliquent deux contraintes qui peuvent altérer la prise de contact :
    - Possibilité de dépôt d'impuretés sur les pistes conductrices si l'environnement de test n'est pas propre.
    - Oxydation accrue de la surface exposée des pistes si les conditions de stockage des PCBA avant le test ne sont pas contrôlées.

- Le coût de l'ACR est relativement élevé, mais nous estimons que le coût d'une sonde ACR-P complète serait équivalent à celui de plusieurs sondes classiques de l'ICT (nous pourrions remplacer plusieurs sondes classiques de l'ICT par une seule sonde ACR-P comme nous le présentons dans la section 5).

Les fils conducteurs de la sonde doivent donc être pressés suffisamment contre la surface des pistes afin de pouvoir pénétrer la couche d'oxyde ou les impuretés qui peuvent être déposées sur la surface des conducteurs lors du processus d'assemblage. Le contrôle de la propreté des PCBA ainsi que la pression mécanique de l'ACR-P contre les WO, sont donc importants afin de garantir la fiabilité des mesures effectuées avec notre technique.

4. DISPONIBILITES D'APPROVISIONNEMENT EN MATERIAUX ANISOTROPES

Pour bien maîtriser les différentes contraintes des matériaux caoutchouteux conducteurs, une recherche bibliographique portant sur deux grandes familles de conducteurs élastiques a été faite : les polymères conducteurs et les élastomères conducteurs anisotropes.

La première famille présente l'avantage d'être moins coûteuse que la deuxième, mais présente un grand défi pour trouver l'équilibre entre la conductivité électrique et l'élasticité [100]. La conductivité est généralement accomplie en intégrant du carbone ou d'autres particules conductrices à travers la matière première (silicone) [160]. Une meilleure conductivité implique moins d'élasticité, ce qui rendra la prise de contact sur des WO très difficile vu le manque de flexibilité de la surface. En outre, cette famille de matériau n'est pas anisotrope, ce qui veut dire que le matériau sera conducteur dans toutes les directions, et ne pourra donc tester qu'une seule ouverture à la fois, ce qui va à l'encontre du principe de minimisation du nombre de sonde utilisées dans cette technique. La figure 6.4 montre une vue sous microscope d'un échantillon de matériau conducteur élastique fabriqué par la société Shin-Etsu [161].

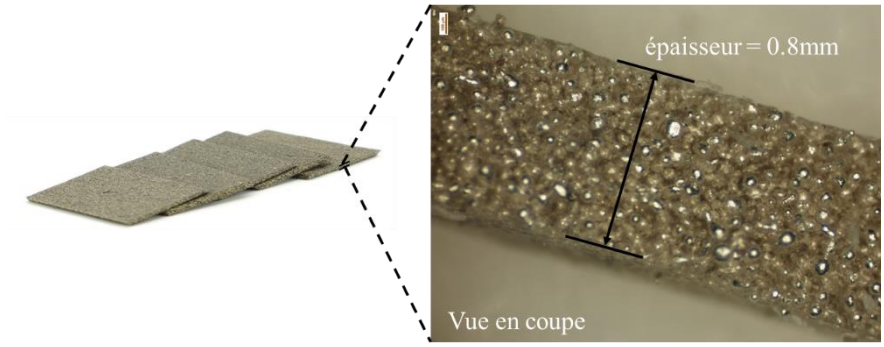


Figure 6. 4. Matériau conducteur élastique fabriqué par la société Shin-Etsu

La deuxième famille d'élastomère conducteur anisotrope (ACR) présente le grand avantage d'être élastique et conductrice dans l'unique sens vertical [162] ce qui permettra le test au-dessus de plusieurs WO simultanément.

La structure du matériau que nous avons choisi est illustrée dans la figure 6.5. C'est un matériau ACR de type MT-4X fabriqué par Shin-Etsu [163]. Il est principalement utilisé comme interposeur dans les sockets de test des circuits intégrés (boîtiers BGA, QFP, SOP, Flip-Chip) ou même des wafers, et se compose de rangées parallèles de fils de nickel (ou cuivre) plaqués or dans une feuille en silicone souple. Les fils sont positionnés sous un angle de ~60° (nous avons mesuré un angle de 63° sur les échantillons reçus) pour faciliter la compression et améliorer la durée de vie. Un bon contact électrique est assuré par des forces de compression de 0.2 à 0.5 N. Ces valeurs varient en fonction de la taille et de la forme du contact [163]. Tous les fils incorporés dans le silicone dépassent de la surface de la feuille quand une pression suffisante est appliquée sur le matériau ce qui facilite la prise de contact électrique sur les surfaces planes.

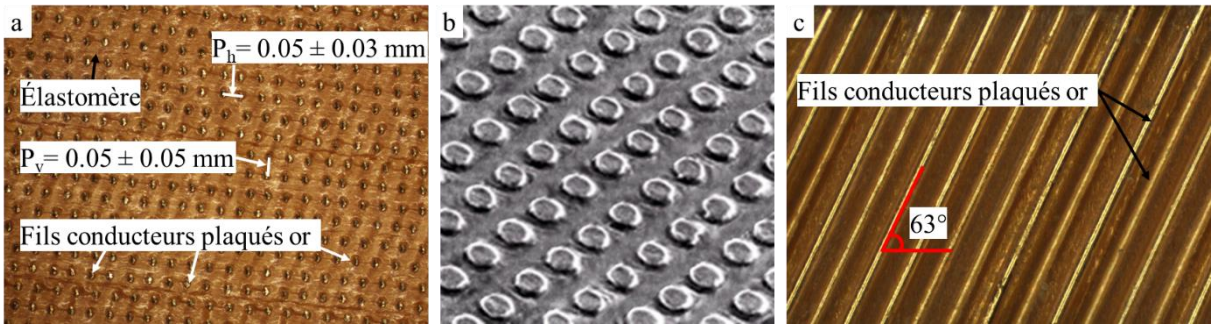


Figure 6. 5. Structure d'un matériau ACR de type MT-4X, épaisseur 0.5mm, fabriqué par Shin-Etsu. a) vue de dessus, b) fils conducteurs dépassant de la surface de la feuille, c) vue de section

Le matériau ACR est commercialisé pour des applications d'alignement des interconnexions, de test des semi-conducteurs et de blindage EMI (*ElectroMagnetic Interference*) et n'a jamais été commercialisé pour le test des PCBA en production.

Les fournisseurs qui ont été identifiés pour cette famille de matériau sont les suivants : Hollandshielding [164] et Tespro Japan [165], Shin-Etsu [163] et Paricon [166]. Une comparaison entre les matériaux issus de ces différents fabricants est présentée dans l'annexe VI.B. Vu le prix du mm² de ce matériau qui est très élevé, nous n'avons pu avoir que des échantillons de petites dimensions pour notre preuve de concept. Le fabricant qui nous a fourni des échantillons est la société Shin-Etsu, les résultats de caractérisation du matériau ne porterons donc que sur le matériau ACR fabriqué par cette entreprise. D'autres matériaux de la même famille issus d'autres fabricants avec de meilleures caractéristiques restent aussi valables pour être intégrés dans la sonde ACR-P.

4.1. RESULTATS DE CARACTERISATION DU MATERIAU ACR

Toutes les caractéristiques électriques (résistance de contact en fonction de la pression, de la taille des électrodes et de l'épaisseur de la feuille du matériau) sont disponibles sur le site du fabricant [163]. Ces résultats sont résumés dans le tableau 6.1. Nous avons effectué une caractérisation du paramètre de transmission S21 pour le type MT-T pour des fréquences qui dépassent la limite pour laquelle ce dernier était caractérisé par le fabricant. Les autres caractéristiques (pression, résistance de contact, courant maximal, tension de claquage, résistance d'isolation) n'ont pas pu être testées.

Tableau 6. 1. Résumé des principales caractéristiques physiques de l'ACR choisi (MT-4X, épaisseur = 0.5mm)

Propriété	Unité	Valeur
Résistance de contact minimale (R_{Cmin})	mΩ	≈ 17
Pression à appliquer sur l'ACR afin d'obtenir R_{Cmin}	N/mm²	0.5
Capacité de courant par fil conducteur	mA/fil	50
Tension de claquage diélectrique	kV/mm	23 ~ 27
Résistance d'isolation entre fils conducteurs (@500V DC)	MΩ	> 10^3
Plage de température de fonctionnement	°C	-35 ~ 100

4.1.1. Mesure du paramètre S21

Nous avons utilisé le banc de test présenté dans la figure 6.6 pour effectuer une mesure du paramètre S21 du matériau. Cette mesure permet de caractériser l'atténuation du signal transmis dans le matériau ACR en fonction de sa fréquence.

Nous avons fixé deux connecteurs SMA sur deux cylindres métalliques creux de façon à avoir une référence de masse sur le corps du cylindre et le signal radiofréquence sur les deux tiges en contact avec le matériau ACR de ses deux côtés. Les résultats de cette caractérisation sont présentés dans la figure 6.7.

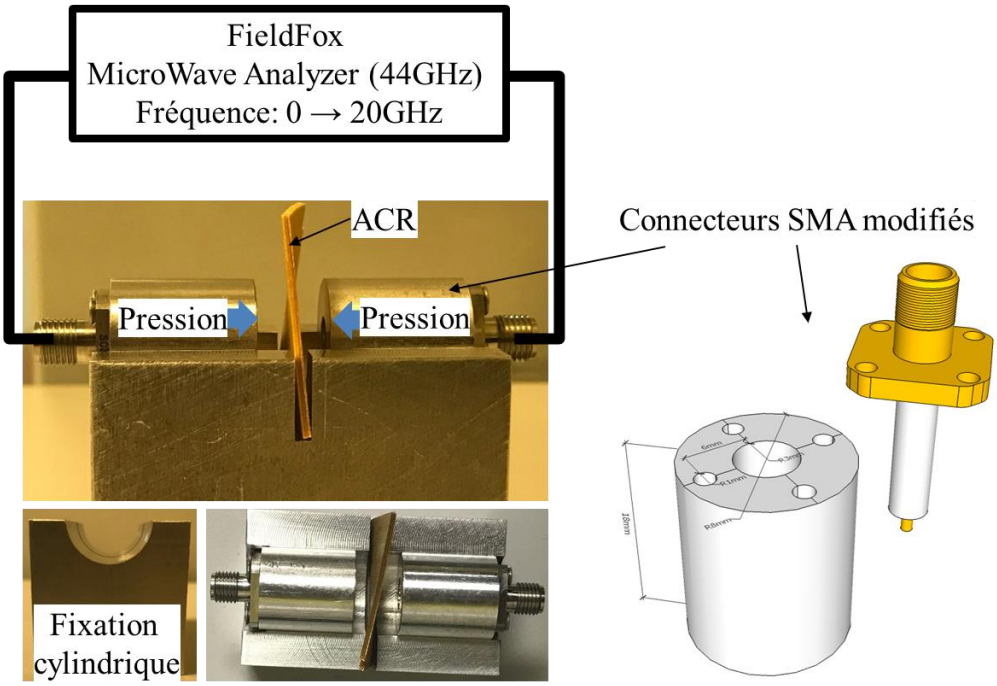


Figure 6. 6. Banc de test du matériau ACR pour la mesure du paramètre S21

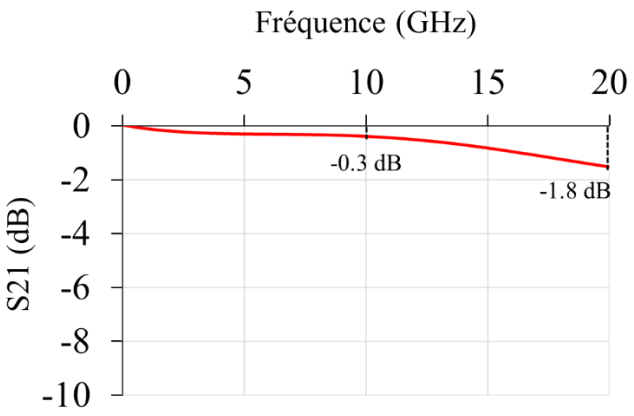


Figure 6. 7. Résultat de la mesure du paramètre S21

La caractérisation de l'ACR a montré que le matériau présente une perte de 0.3 dB à 10 GHz et de 1.8 dB à 20 GHz. Les conditions qui font chuter ce paramètre sont principalement dues à l'état de surface des connecteurs cylindrique en contact avec le matériau ACR et donc à la non-homogénéité du matériau isolant entre les deux connecteurs (air + silicone). Un dispositif plus raffiné permettra sans doute une meilleure montée en fréquence sans dégradation majeure du paramètre S21. Néanmoins, le résultat indique une dégradation négligeable du paramètre de transmission par la traversée du matériau ACR, jusqu'à 10 GHz au moins. Cela rend possible, en théorie, le test de signaux RF ou digitaux rapides (Gbits/s) à l'aide d'une sonde basée sur ce matériau.

Une comparaison entre le matériau ACR et les sondes classiques du lit-à-clous de l'ICT en fonction des dimensions, de l'inductance parasite introduite lors de la mesure et de la bande passante (minimale et maximale selon les types de sondes et du matériau ACR) est présentée dans la figure 6.8.

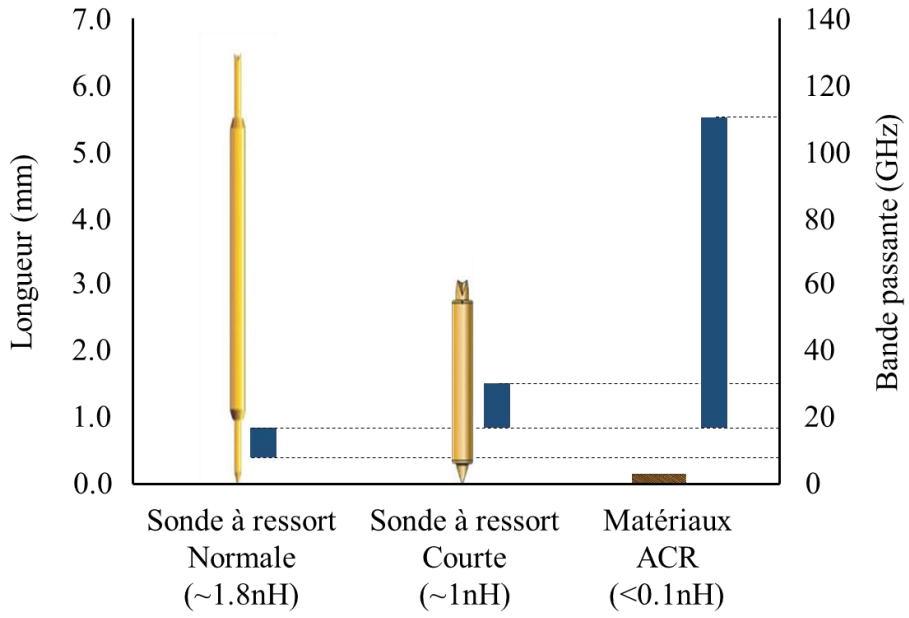


Figure 6. 8. Comparaison entre les dimensions de deux types de sonde classique du test ICT et le matériau ACR. Les barres en bleu représentent les marges de la bande passante min et max selon les types des produits comparés [166]

Il existe une variation du matériau ACR utilisant des fils conducteurs sous forme de billes superposées qui a été conçue pour monter jusqu'à des fréquences supérieures à 100 GHz [166], [167]. Les signaux à mesurer pour le test des produits d'ACTIA Automotive (produits télématiques par exemple) fonctionnent à des fréquences inférieures à 10GHz, ce qui rend le comportement en haute fréquence du matériau que nous avons choisi largement suffisant pour assurer l'intégrité du signal lors de la mesure.

5. CONCEPT DE LA SONDE ACR-P

Le concept de la sonde ACR-P (ACR Probe) consiste à remplacer plusieurs sondes classiques de l'ICT par une sonde intégrant le matériau ACR dans sa pointe afin de tester des pistes de signal de haute fréquence se situant dans la couche *Top* ou *Bottom* d'un PCBA dense, sans avoir recours aux points de test classiques (30 mils, 40 mils, 60 mils ou 80mils) intrusifs à la mesure des signaux de haute fréquence.

Une illustration issue de la conception CAO de la sonde sous l'environnement SketchUp3D [168] est présentée dans la figure 6.9. Le format de cette sonde est choisi pour être adapté sur un lit-à-clous. Celle-ci devrait pouvoir s'utiliser en parallèle de sondes de test classiques de l'ICT.

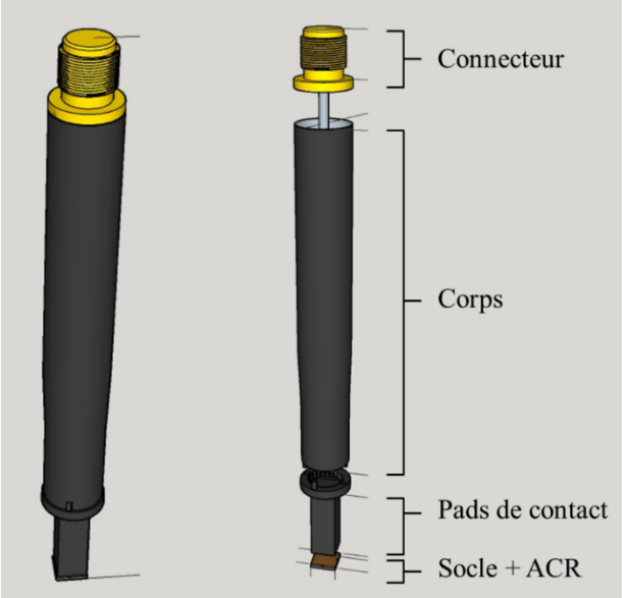


Figure 6. 9. Conception CAO de la sonde ACR-P sous SketchUp3D avec 3 parties amovibles

Cette sonde comme nous l'avons imaginé, se composera de 3 parties essentielles, décrites dans les parties suivantes.

5.1. CORPS

Il s'agit d'une partie cylindrique blindée contre les interférences EM (blindage EMI) contenant une carte électronique miniaturisée (PCB-MUX) pour le multiplexage des signaux mesurés sur plusieurs WO en parallèle. La figure 6.10 représente un diagramme en bloc décrivant un système de multiplexage qui peut être utilisé pour effectuer la mesure de N signaux en parallèle sur un BUT. Le MUX est commandé de façon à n'acheminer qu'un seul signal à la fois, car nous n'avons qu'une seule entrée d'acquisition par sonde. Le fait d'avoir des mesures décalées dans le temps permet également d'éviter la diaphonie entre les signaux HF mesurés lors de leur transmission au long des fils vers le dispositif de stockage.

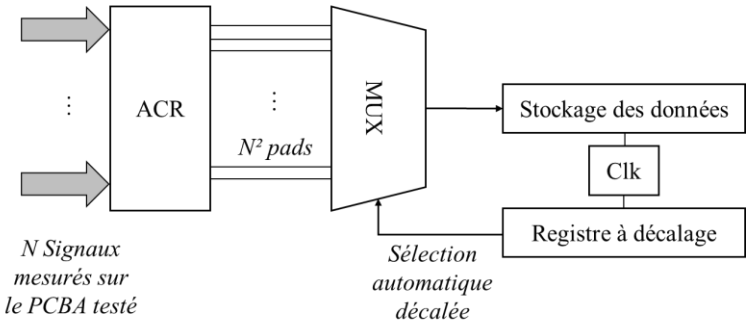


Figure 6. 10. Diagramme en bloc du système de multiplexage contenu dans le corps de la sonde

5.2. PADS DE CONTACT

C'est une partie amovible blindée contre les perturbations électromagnétiques permettant la transition entre les fils conducteurs de la face *Top* du matériau ACR avec le PCB-MUX positionné à proximité des pads dans le corps de la sonde (cf. figure 6.11). Le fait que cette partie soit amovible assure la réutilisabilité de la sonde pour différents BUT, il suffit de changer cette partie par une autre correspondant au nouveau BUT. Les éléments critiques à la conception de cette partie de la sonde sont les suivants :

- Largeur de la piste à tester (CU_w)
- Espacements entre les pistes (CU_s)
- Dimensions des WO (longueur : WO_L, largeur : WO_w)
- Espacement entre les WO
- Tolérances de la fixation ICT ($TOL_F(x,y)$)
- Tolérances du processus de gravure ($TOL_P(x,y)$)

Ces éléments, mis en évidence sur un cas d'exemple à la figure 6.12, doivent donc être connus avec précision afin de dimensionner cette partie de la sonde.

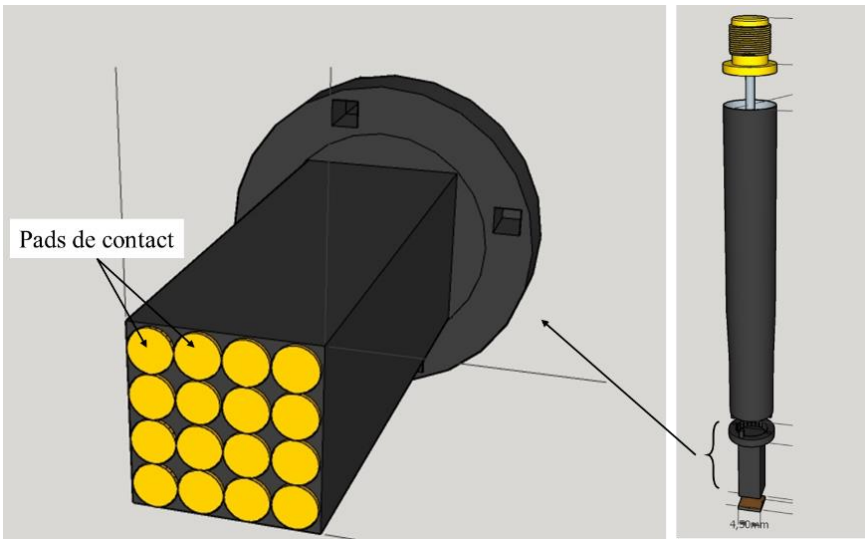


Figure 6. 11. Deuxième partie amovible de la sonde : Pads de contact

Prenons par exemple le PCB présenté dans la figure 6.12.a. Nous avons un espacement entre les pistes CU_s= 420µm, une largeur des pistes CU_w= 200µm, nous avons fixé les dimensions des ouvertures WO de sorte à avoir un minimum de N=12 fils conducteurs de l'ACR (densité typique= 400 fils/mm²) en contact avec la surface de la piste testée WO_L= 320µm et WO_w= 280µm en utilisant les équations (1, 2, 3, 4).

La tolérance maximale du processus de gravure est de 20% et la tolérance maximale d'une fixation classique ICT sur le plan (x,y) est de 50µm.

$WO_W < WO_L \leq CU_S - MAX(TOL_P(x,y))$ (équation 1)
$WO_L \geq 2 \times MAX(TOL_F(x,y))$ (équation 2)
$WO_W = CU_W + 2 \times MAX(TOL_p(x,y))$ (équation 3)
$N = WO_L \times WO_W \times$ (densité de fils/mm²) (équation 4)

Dans la figure 6.12.b nous représentons une vue de dessus de l'empilement des pads de contact avec le matériau ACR. Nous calculons le diamètre des pads (D_{pad}) et l'espacement horizontal et vertical entre les pads (respectivement S_{padX}, S_{padY}) en utilisant les équations (5, 6, 7, 8, 9, 10).

$D_{pad} < 2 \times (CU_S + CU_W - MAX(TOL_F(x,y)))$ (équation 5)
$D_{pad} = WO_L + 2 \times MAX(TOL_F(x,y))$ (équation 6)
$S_{padY} = CU_S + CU_W - D_{pad}$ (équation 7)
$S_{padY} > 100\mu m$ (limite process) (équation 8)
$S_{padX} = 3 \times WO_L - D_{pad}$ (équation 9)
$S_{padX} > 100\mu m$ (limite process) (équation 10)

Ces équations ont été établies afin de dimensionner les WO et les pads de contact de la sonde ACR-P dans le but de :

- Maximiser l'aire de contact de chaque pad avec l'ouverture de mesure dans le pire cas de tolérance : équations (2), (3) et (6)
- Maximiser le nombre de fils conducteurs de l'ACR en contact avec la piste : équation (4)
- Eviter les courts-circuits entre les WO (un même pad contactant plusieurs WO différentes) : équations (5), (7) et (9).

Nous avons choisi une forme circulaire des pads de contact afin d'alléger les contraintes de fabrication (même processus de gravure de pastilles de test classiques) et diminuer les coûts de fabrication.

En utilisant les valeurs d'espacement et de largeur de piste, ainsi que la tolérance précédemment mentionnée, l'analyse numérique donne :

$D_{pad} < 1140\ \mu m$ $(2\times420 + 2\times200 - 2\times50)$
$D_{pad} = 420\mu m$ $(320 + 2\times50)$
$S_{padY} = 200\mu m$ $(420 + 200 - 420)$
$S_{padX} = 540\mu m$ $(3\times320 - 420)$

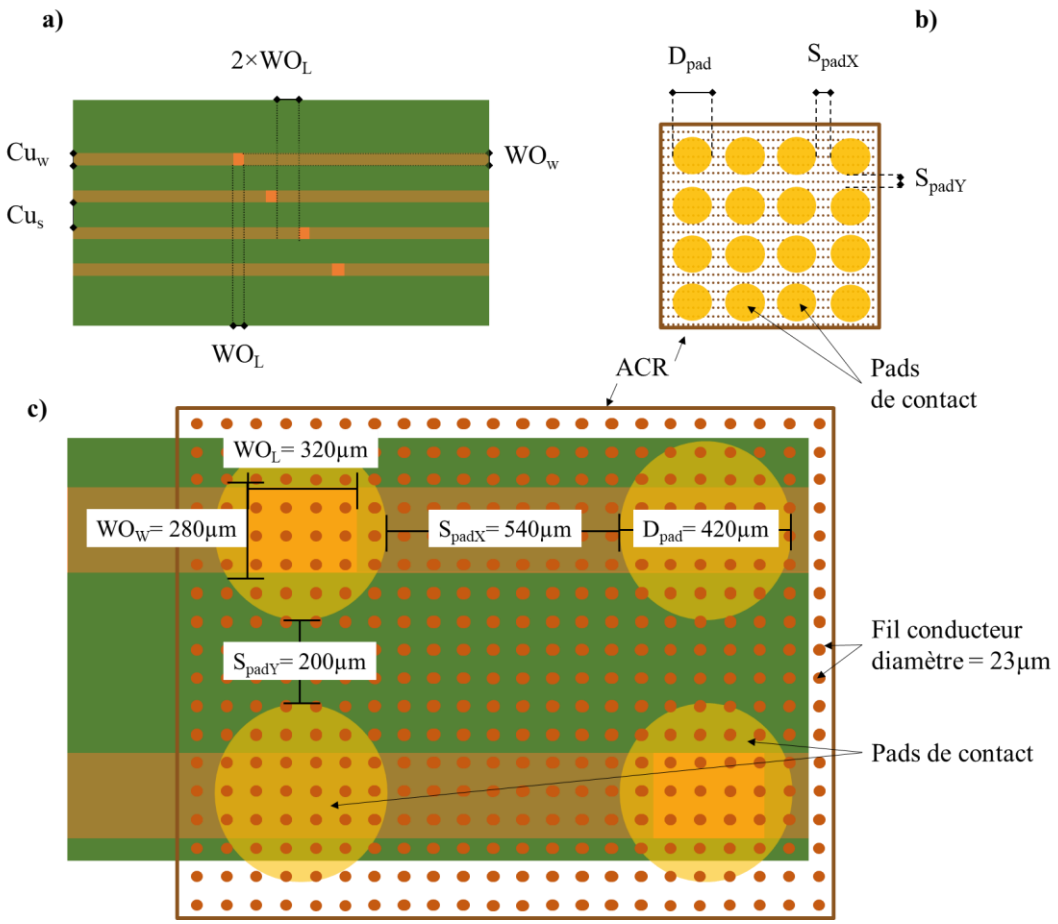


Figure 6. 12. a) PCB incluant les WO de test, b) empilement des pads de contact avec le matériau ACR, c) empilement des pads de contact avec le matériau ACR positionné au-dessus du BUT (échelle ×100)

Nous avons un minimum de 12 fils conducteurs en contact avec les WO (calculé dans le pire cas de tolérance de pas entre les fils conducteurs : 0.05mm (+0.03mm)) ce qui assure une très bonne conductivité (résistance de contact d'un fils ≈34mΩ divisée par 12 ce qui fait 2.84mΩ de résistance de contact). L'aire occupée par les WO sur le PCB est minime, puisque ces derniers se situent au-dessus des pistes conductrices.

Dans le même cas de figure, l'utilisation de points de test standards de 0.75mm aurait conduit à une nécessité de re-routage puisque les séparations entre les pistes conductrices sont inférieures au diamètre d'un point de test (CU_s= 0.62 < D_{TP}= 0.75mm). L'aire occupée par ces points de test sur dix pistes serait donc de 4.41mm² face à une surface négligeable (0.896mm²) pour les dix WO. Ce nombre peut vite augmenter dans un PCBA industriel ou l'on a besoin d'une centaine de points de test pour assurer une couverture de test satisfaisante.

5.3. SOCLE DE FIXATION DE L'ACR

Ce socle sert à fixer le matériau ACR sur les pads de contact. Il doit être conçu d'une manière à maintenir les bords du matériau afin de l'empêcher de se détacher de la sonde. La figure 6.13 illustre cette partie de la sonde.

Cette partie sera également amovible afin de garantir un démontage facile et rapide du matériau ACR afin d'en assurer le nettoyage ou le remplacement. Le matériau doit être remplacé si le nombre de cycles d'utilisation ou « *touchdown* » est atteint, ou si l'on a besoin d'un matériau avec un pitch plus ou moins élevé en fonction des dimensions des pistes à tester. L'encrassement dû au processus d'assemblage (excès de flux de soudure par exemple) doit être nettoyé à l'aide d'une solution alcoolique afin d'éviter la passivation des fils conducteurs contenus dans le matériau ACR, qui peut altérer leurs caractéristiques électriques.

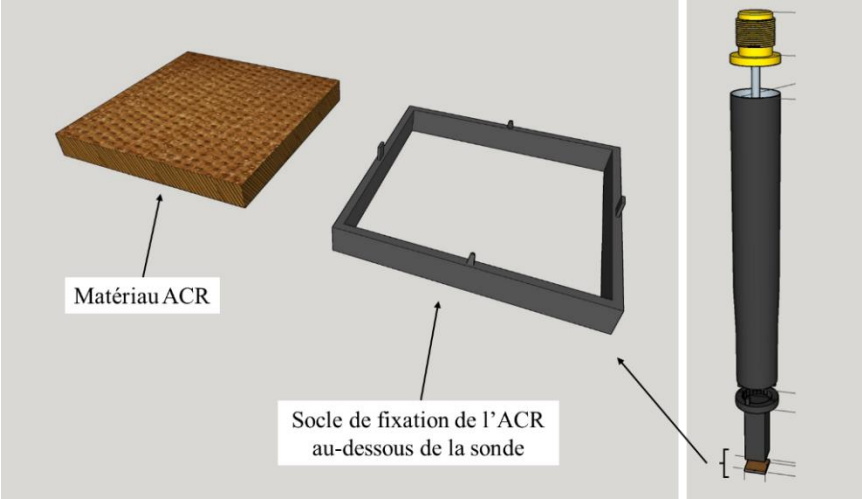


Figure 6. 13. 3ème partie de la sonde : socle de fixation du matériau ACR au-dessous de la sonde

Cette sonde présente beaucoup d'avantages ainsi que des contraintes que nous pouvons résumer dans le tableau ci-dessous :

Tableau 6. 2. Avantages et contraintes liés à l'utilisation de la sonde ACR-P

Avantages	Contraintes
✓ Mesures fiables de plusieurs signaux simultanément en utilisant des WO ou autres structures de micro-accès (*Bead-Probe*, point de soudure de Prasade, TAC)	– Système de multiplexage : doit-on privilégier un MUX local (intégré dans la sonde) ou vaut-il mieux choisir un système de multiplexage unique pour toutes les sondes ACR-P intégrées dans l'ICT ?
✓ Sonde avec des parties amovibles : ▪ Remplacement facile et rapide du matériau ACR ▪ Maintenance facile et moins chère ▪ Réutilisabilité : seule la partie 2 de la sonde doit être changée si les dimensions des pistes varient en passant au test d'un nouveau BUT.	– Coût total de la sonde reste inconnu à ce jour – Vieillissement et son effet sur les performances électriques du matériau ACR
✓ Diminution du nombre de sondes ICT ✓ Remplacement des pastilles de test classiques par des WO ✓ Augmentation d'accessibilité de test sur l'ensemble des signaux du BUT	– Trouver le bon rapport Coût/durée de vie de l'ACR par rapport à l'application envisagée

6. CONCEPTION D'UN PROTOTYPE DE DISPOSITIF DE TEST

Afin de valider le concept de la technique de test utilisant la sonde ACR (ACR-P Test), nous avons choisi de concevoir un prototype (sans se soucier des dimensions finales de la sonde) de l'ACR-P qui va servir à automatiser les cycles de prise de contact sur un BUT (PCB-A), tout en contrôlant la pression d'appui de la sonde ACR-P afin de satisfaire aux conditions nécessaires pour assurer le meilleur contact électrique entre le matériau ACR et les WO du BUT.

Un autre objectif de ce prototype de test est de tester la durée de vie du matériau ACR, et la dégradation de ses caractéristiques électriques face à la contamination de la surface du PCB avec des substances polluantes telles que le flux de soudure.

6.1. PRINCIPE DU PROTOTYPE

Le prototype présenté dans le schéma simplifié de la figure 6.14 se compose de 4 parties :

- Acquisition des données : basée sur un instrument de mesure (Pico-scope 3406D MSO) qui sert à mesurer et à stocker les mesures des signaux dans un fichier CSV.

- Mécanisme de pression : constitué d'un vérin automatisé (FESTO ESBF-LS-3250-2.5P) et d'un capteur de pression (Tecsis F1211) (cf. figure 6.15.c) permettant la réalisation de cycle de pression manuellement ou d'une manière automatisée ainsi que l'asservissement de la pression du capteur (PCB-C + PCB-B + ACR) lors du contact avec le BUT (PCB-A).

- Capteur : constitué du matériau ACR, de la carte PCB-B qui représente la partie « pads de contact » de la sonde ACR-P et de la carte PCB-C qui permet le passage d'une matrice de pads à pas très réduit à une autre à pas plus large permettant le placement de connecteurs de type fil-à-carte (cf. figures 6.15.b, 6.15.d, 6.15.e).

- BUT : PCB-A sous test qui comporte des WO au-dessus de 10 lignes microrubans adaptées 100Ω afin de mesurer 10 signaux parallèles générés par un générateur d'impulsion (HP8110A) (cf. figure 6.15.f).

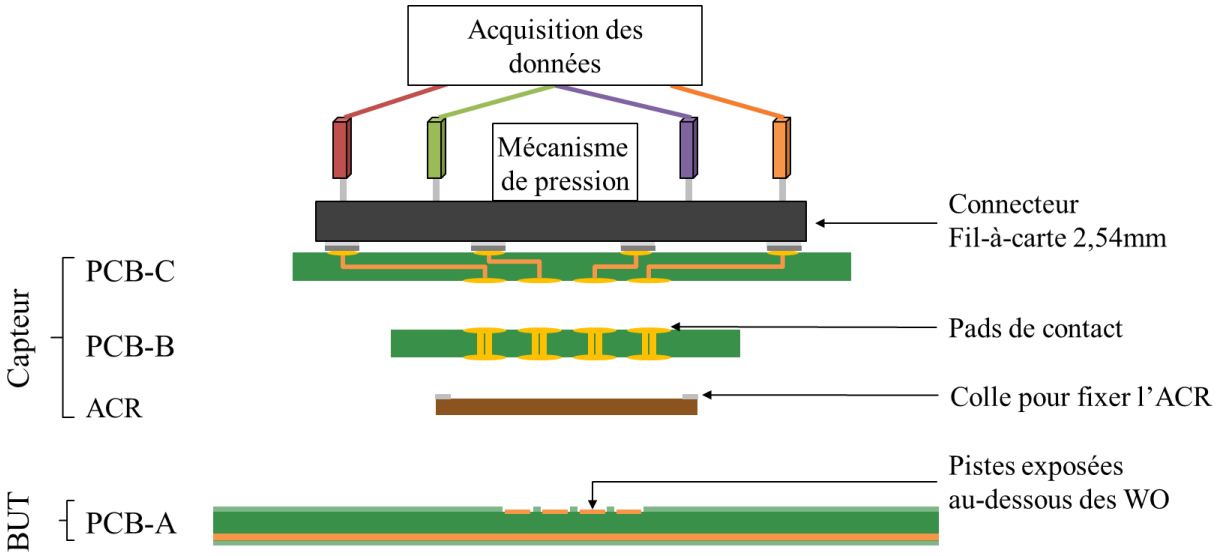


Figure 6. 14. Schéma simplifié montrant la structure verticale du prototype de la sonde ACR-P.

La figure 6.15.a présente une photo du prototype ACR-P réalisé par la société ACTIA Engineering services (AES filiale du groupe ACTIA basée à Tunis-Tunisie) suivant le cahier des charges que nous avons conçu et qui est présenté en détail dans l'annexe VI.C. La présentation détaillée de chaque PCB (PCB-A, PCB-B, PCB-C) est donnée dans l'annexe VI.D.

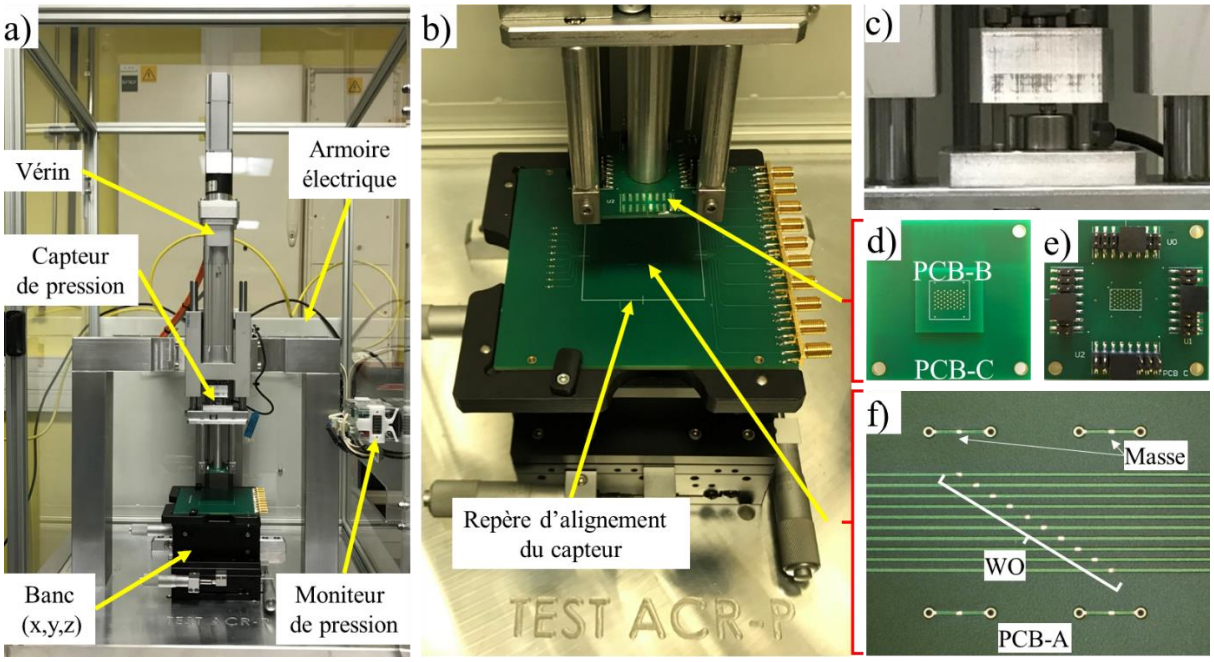


Figure 6. 15. a) prototype de la sonde ACR-P, b) zoom sur le capteur et le BUT, c) zoom sur le capteur de pression, d) Face *Bottom* du capteur : PCB-B soudé au-dessus du PCB-C, e) face *Top* du capteur avec les connecteurs fil-à-carte, f) Zoom sur le BUT : PCB-A avec 10 WO au-dessus des lignes microrubans testées

6.2. BANC DE TEST DU PROTOTYPE ACR-P

Le banc de test de ce prototype est présenté dans la figure 6.16. L'armoire électrique contient les différents blocs pour l'alimentation et la sécurité de fonctionnement électrique du vérin. Le vérin est connecté à un ordinateur via : un câble USB ou un câble Ethernet pour assurer la commande de ce dernier. Un câble RS232-DB9 est utilisé pour connecter le capteur de pression à l'ordinateur et à une interface d'affichage externe servant à suivre et à vérifier la valeur de la pression du capteur (ACR+ PCB-B + PCB-C) sur le BUT (PCB-A). Nous utilisons des câbles de type « *Jumper Wire* » pour transmettre les 10 signaux mesurés par le capteur au Picoscope qui, à son tour, est relié à l'ordinateur via une connexion USB.

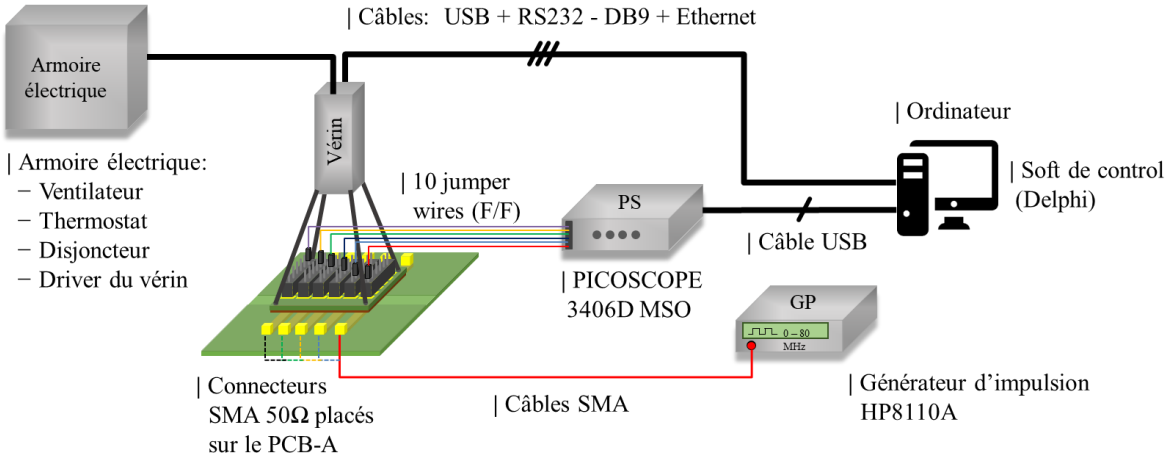


Figure 6. 16. Banc de test du prototype ACR-P

L'application « ACR – SOFT» développée par ACTIA Engineering Services permet la communication de tous ces éléments avec l'ordinateur. Cette application est destinée pour contrôler le prototype de la sonde ACR-P selon deux modes de fonctionnement : manuel et automatique.

Le premier mode de fonctionnement appelé Press/Relax, permet de contrôler la position du vérin ainsi que la pression du capteur au-dessus des WO d'une manière complètement manuelle, sans excéder une limite de pression fixée par l'utilisateur. La résolution de la course verticale du vérin est de 25µm, permettant un pas de pression de 0.1N/mm².

Le deuxième mode de fonctionnement appelé Appui répétitif, permet de lancer un nombre N de cycles de pression du capteur au-dessus du BUT. Ce mode permet également de contrôler la fréquence (Nombre de cycles par minute) et la valeur de pression que le vérin doit atteindre avant d'effectuer un nouveau cycle. Une fois la pression fixée par l'utilisateur atteinte, la mesure des signaux est déclenchée et le stockage des données sur un fichier CSV est fait en distinguant les mesures liées à chaque cycle de pression.

Le diagramme présenté dans la figure 6.17 illustre le principe de ces deux modes de fonctionnement.

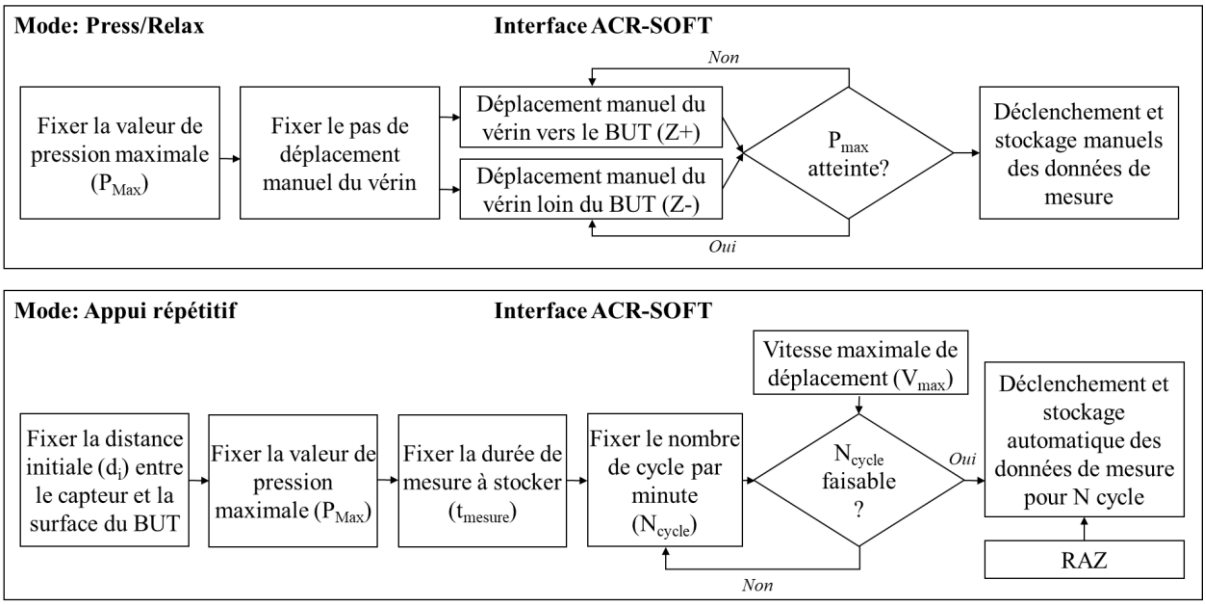


Figure 6. 17. Principe des deux modes de fonctionnement du prototype de l'ACR-P

Après la réalisation du prototype, une validation de la conformité du dispositif au cahier des charges a été réalisée. Les étapes suivies afin d'effectuer cette validation sont décrites dans le tableau 6.3.

La majorité de ces étapes de validation (étapes : 1, 3, 4, 5, 6) ont été réalisées par AES, et ont donné des résultats confirmant le bon fonctionnement du prototype. Cependant, le dispositif n'a pas pu être exploité dû à la modification du calibrage lors du transport pour la livraison. Ce problème nécessitait l'intervention sur place (au LAAS-CNRS) de l'équipe de réalisation du prototype qui n'a pas pu être réalisée dans les temps pour figurer ces résultats dans ce mémoire.

Tableau 6. 3. Étapes de validation de conformité du prototype au cahier des charges

Étape	Caractérisations	Partie(s) concernée(s)	Équipement(s)
1	- Communication vérin/ACR-SOFT - Communication Capteur de pression /ACR-SOFT - Communication Capteur de pression / interface d'affichage externe (IHM)	- Vérin - Capteur de pression - IHM - ACR-SOFT	- Ordinateur avec les drivers du vérin et du capteur de pression installés - ACR-SOFT installé
2	- Communication Picoscope / ACR-SOFT - Synchronisation de la pression/déclenchement de mesures et stockage des données	- Picoscope	- Ordinateur avec le driver du Picoscope installé - ACR-SOFT installé

3	- Calibrage du capteur de pression:
	  - Pression du capteur sur le PCB-A
	  - Vérification du pas de pression
		- Capteur de pression
		- Capteur (PCB-C + PCB-B + ACR)
			- Capteur de pression + ACR-SOFT ou IHM affichant la mesure de pression
			- Un capteur de pression calibré différent

4	- Planéité du capteur - Planéité du PCB-A sur la fixation du banc (x,y,z)	- Vérin + capteur - PCB-A + fixation du banc (x,y,z)	- Inclinomètre
5	- RAZ: arrête la course du vérin et revient à la position initiale de sécurité	- Tout le dispositif - Bouton poussoir et IHM	- Validation manuelle par appui sur le bouton poussoir - Appui sur le bouton virtuel sur l'application
6	- Arrêt d'urgence: Coupe l'alimentation du driver du vérin et entraine l'arrêt immédiat de sa course	- Tout le dispositif - Bouton poussoir	- Validation manuelle par appui sur le bouton poussoir

6.3. EXPERIENCES A REALISER

Le capteur de pression est un élément critique pour la validation du concept de cette technique. En raison de sa non-calibration nous n'avons pas pu effectuer les expériences que nous avions prévues à cette étape. Ces dernières sont décrites dans le tableau 6.4 ci-dessous. Toutes celles-ci seront indispensables pour valider complètement la faisabilité d'une sonde ACR-P et évaluer son endurance.

Tableau 6. 4. Expériences de caractérisation du prototype de l'ACR-P

Expérience	caractérisations	Équipement
1. Validation du concept de la sonde ACR-P	- Détection et mesure des signaux injectés dans les lignes microrubans du PCB-A (Type I et II) - Comparaison avec les mesures de référence réalisées sur PCB-A (Type III contenant les points de test) - Répétition des mesures pour plusieurs fréquences de signal	- Capteur de pression calibré - Picoscope - Oscilloscope
2. Caractérisation du matériau ACR: Cas (1): - Sans encrassement Cas (2): - Encrassement par flux Cas (3): - Sans encrassement + matériau et PCB vieilli Cas (4): - Encrassement par flux + matériau et PCB vieilli Cas (5): - Après nettoyage de l'encrassement sur le PCB-A et sur l'ACR	- Mesure de tension sur les 10 pistes du PCB-A et stockage des signaux mesurés par le capteur dans un fichier CSV de la forme suivante : | Cycle N° | | temps(s) | tension (mV) |	- Capteur de pression calibré - Picoscope - Oscilloscope

La première expérience a comme objectif de valider la faisabilité de mesures de signaux à travers les WO prévus à cet effet sur les BUT (PCB-A de type I et II). Ceci nécessite au moins un capteur de pression calibré afin d'atteindre la pression nécessaire (0.2 – 0.5 N/mm²) pour assurer la pénétration des fils conducteurs du matériau ACR dans les WO, et garantir le contact électrique entre ces derniers et la ligne microruban. Le PCB-A de type III sert à effectuer une mesure de signal par un oscilloscope directement sur les pastilles de test présentes sur ce PCB. Cette comparaison aurait permis la conclusion sur l'intégrité du signal mesuré par l'ACR-P, et démontré ainsi son avantage par rapport aux sondes classiques du lit-à-clous de l'ICT, et par rapport aux pastilles de test trop encombrantes et intrusives lors de la mesure de signaux de grandes vitesses.

La deuxième expérience vise à évaluer les caractéristiques électriques et mécaniques du matériau ACR en fonction de l'état des surfaces de test (oxydation et propreté de l'ACR et des pistes testées), du vieillissement de l'ACR, et du nombre de cycle de pression (appelé également nombre de « *touchdowns* »).

D'un point de vue électrique :

- Évaluer la conductivité de l'ACR face à un état de propreté altéré du BUT, qui aurait pu être causé par des résidus de flux de soudure au-dessus des WO (Cas (1) et (2)), et comparer avec les résultats obtenus après le nettoyage (cas (5)),

- Évaluer la dégradation des propriétés électriques liée à l'oxydation des surfaces des fils conducteurs du matériau ACR et des pistes en-dessous des WO. Les cas (3) et (4) permettent de tester la capacité des fils conducteurs de l'ACR à pénétrer la couche d'oxyde formée au-dessus des pistes à tester, et de relever une mesure fiable des signaux qui transitent dans ces pistes.
- Évaluer l'anisotropie du matériau en fonction du nombre des cycles de pression.

D'un point de vue mécanique :

- Explorer la dégradation des propriétés mécaniques de l'ACR (élasticité et adhésion au PCB-B) par le biais d'une utilisation répétitive.

7. CONCLUSION ET PERSPECTIVES

La solution que nous avons proposée dans ce chapitre, vise à minimiser l'espace occupé par les points de test classiques et à éliminer leur effet négatif sur l'intégrité du signal mesuré.

Cette technique utilise des sondes que nous avons appelées ACR-P intégrant un matériau ACR dans leurs pointes, qui permet l'accès aux pistes sur la surface du BUT à travers des ouvertures spéciales sur le vernis, et la mesure simultanée de plusieurs signaux transitant sur des pistes parallèles sans avoir à modifier le routage initial pour ajouter des pastilles de test.

Afin de prouver le concept de cette technique de test, nous avons conçu un prototype qui permettra de valider son potentiel ainsi que la durée de vie et les performances du matériau ACR.

Le prototype réalisé par la société AES filiale d'ACTIA Group, a été partiellement validé, mais en raison du contexte extraordinaire de 2020, il n'a pas pu être exploité. En effet, la calibration du capteur de pression a été modifiée, et une étape fondamentale à l'automatisation des mesures n'a pas été prise en compte, ce qui a rendu son exploitation impossible.

Malgré le manque de résultats de caractérisation, nous avons essayé de montrer plutôt d'une manière conceptuelle les avantages et les limitations de cette technique, ainsi que le plan que nous avions envisagé pour son évaluation et pour l'étude de la fiabilité du matériau ACR. Nous avons aussi commencé à élaborer des règles de conception des ouvertures de test pour permettre la mise en œuvre des tests électriques par les sondes ACR-P. Il s'agit d'une première proposition qui sera certainement amenée à évoluer après les phases de test et d'essais d'endurance.

Les perspectives de ce travail incluent donc :

- La validation de la mesure des signaux à travers les WO prévus à cet effet sur les BUT (PCB-A de type I et II).
- L'évaluation de la durée de vie du matériau ACR et de sa conductivité face à différents états de propreté altérée de la surface du BUT,
- L'exploration de la dégradation des propriétés mécaniques, relatives à l'élasticité du silicone, et électrique, relative à l'oxydation des surfaces des fils conducteurs, du matériau ACR lorsque ce dernier subit un vieillissement,
- L'exploration des effets de l'oxydation des pistes en-dessous des WO afin de tester la capacité des fils conducteurs de l'ACR à pénétrer la couche d'oxyde formée au-dessus des pistes à tester et de mesurer d'une manière fiable les signaux de différentes fréquences qui transitent dans ces pistes,
- La conception de la carte de multiplexage qui permettra de décaler la mesure des signaux parallèles afin d'éviter les phénomènes de diaphonie entre les fils conducteurs lors de la mesure,
- La réalisation d'une sonde conforme aux normes du test industriel et son intégration dans un testeur ICT,
- L'étude du coût total de la sonde
- Étude de l'intégration de l'ACR-P et son acceptation dans le test en production.

CONCLUSION GENERALE

Des raisons économiques, environnementales, ou liées à la sécurité ou aux performances continuent à pousser l'électronique à évoluer vers une miniaturisation accrue. Par conséquent, le test des assemblages de cartes électroniques modernes est devenu de plus en plus difficile en raison de leur forte densification et complexification.

Nous avons présenté dans les chapitres I et II de ce manuscrit les problématiques de test en production dans l'industrie électronique, et la nécessité de leur association à des méthodes de tests innovantes répondant au mieux aux contraintes du domaine d'application et aux exigences de la qualité. Ces nouvelles techniques doivent répondre à des impératifs de coût, de délai de développement, de temps de test en production, de répétabilité, de cadence de production, de diagnostic des défauts détectés et d'intégration dans le processus de production.

Dans le chapitre III, nous avons donné la définition d'une stratégie de test, et détaillé les techniques de test conventionnels utilisés dans l'industrie d'assemblage de cartes électroniques, ceci selon leurs avantages et inconvénients. Le test in-situ, cœur d'une stratégie de test industrielle réussie, a été le plus impacté par l'évolution actuelle de l'électronique. En effet, même s'il existe encore une marge pour la densification des points de test sur les cartes électroniques, le nombre de sondes disposées sur un lit à clous reste limité par la distance minimale à garantir entre les sondes. De plus, même si les concepteurs de circuits électroniques peuvent s'aider de logiciels dits de DfT (*Design For Testability*), qui leur permettent de concevoir des circuits en intégrant la problématique de testabilité, la couverture de test reste néanmoins insuffisante par manque d'accessibilité sur les circuits à forte densité d'intégration. Nous avons montré que l'utilisation de diverses stratégies combinant de nouvelles techniques de test, est devenue nécessaire en conjonction avec le test électrique afin d'améliorer la couverture de test.

Une comparaison des avantages et des inconvénients des techniques de test et d'inspection en phase de recherche a été faite afin d'identifier les pistes susceptibles d'améliorer l'accessibilité physique du test in-situ et par conséquent la testabilité des assemblages complexes.

Dans le cas où les contacts physiques ne sont pas réalisables, des solutions de test non invasives tirant profit du comportement électromagnétique et thermique des composants et des éléments conducteurs de la carte électronique ont été proposées, et ont montré un grand potentiel d'amélioration des techniques de test actuelles sans qu'aucune d'elles ne soit adoptée pour le test en production. Dans un autre cas, où le contact physique est inévitable, des techniques de micro-accès ont été présentées et analysées.

Nous avons identifié des points d'amélioration dans ces solutions de test, et présenté trois techniques répondant au mieux aux contraintes d'accessibilité de test in-situ et de testabilité de cartes électroniques en production, déclinées dans les chapitres suivants.

Dans le chapitre IV, nous avons présenté une technique (baptisée NFP-T pour *Near Field Probe Test*) qui consiste en la possibilité d'utiliser le champ magnétique comme signature pour diagnostiquer sans contact des composants défectueux stimulés (présence du composant, sa polarité, et les défauts liés à sa soudure : court-circuit et circuit-ouvert) sur une carte électronique à accès physique limité. Pour cette approche nous avons choisi d'utiliser un algorithme de détection basé sur l'analyse en composantes principales et le Z-score pour renforcer la détection des défauts et détecter les composants défectueux.

Dans la première partie de ce chapitre, nous avons validé le principe de cette approche en testant un convertisseur DC/DC dévolteur. Les premiers résultats expérimentaux démontrent que l'approche de test par champ magnétique peut fournir une option viable pour détecter les défauts des composants, et réduire le nombre de points de test traditionnels.

Nous avons utilisé les données issues de simulations électriques effectuées sur un modèle de convertisseur DC/DC dévolteur pour démontrer le grand potentiel que présente l'algorithme d'Analyse en Composantes Principales pour la détection des cartes défectueuses, ce qui facilitera le travail d'intervention de l'opérateur pour corriger les composants défectueux. De plus, cette méthode, dans certains cas, peut aussi identifier et localiser les composants responsables.

Dans le but d'une intégration complète de cette technique dans un testeur in-situ, des travaux complémentaires pour l'amélioration de la technique de mesure et de la méthode de détection doivent être menés. Les perspectives de ce travail incluent :

- L'application de cette approche de test sur d'autres types de circuits afin de déterminer son domaine de validité,
- L'amélioration de la sensibilité et la fiabilité de la détection en agissant sur :
    - La chaine d'acquisition : prévoir un filtrage adéquat,
    - Les caractéristiques du test : choisir les bons stimuli pour polariser les composants à tester,
    - La disposition des capteurs au-dessus des composants à tester : afin d'avoir la meilleure résolution spatiale de mesure champ proche.
- L'association de la méthode de détection à un algorithme d'apprentissage automatique.
- Définir les règles de DfT pour faciliter l'intégrabilité de cette approche dans un lit-à-clous ICT.

Dans le chapitre V, nous avons présenté une technique qui repose sur le concept d'utilisation des signatures thermiques infrarouges pour répondre à la problématique posée.

Nous avons montré à travers les premiers résultats expérimentaux que l'approche baptisée IRTST (InfraRed Thermal Signature Test) peut fournir une alternative satisfaisante pour détecter sans contact les défauts de valeurs de composants. Elle permet de diminuer le nombre de points de test à prévoir sur la carte, tout en offrant une accessibilité de test améliorée. Son avantage par rapport à la technique NFP-T réside dans sa capacité à inspecter une surface de PCBA plus large avec un seul capteur infrarouge.

Pour les mêmes raisons présentées dans le chapitre IV, nous avons choisi d'utiliser l'algorithme PCA pour assurer la détection des anomalies au niveau des signatures infrarouges.

Nous avons vu que le principal inconvénient de cette approche est le temps conséquent que prennent les tests en raison des constantes de temps importantes des phénomènes thermiques. De plus, selon les cartes testées, ces constantes de temps peuvent varier de façon significative ce qui nécessite l'intervention de l'opérateur. Dans notre cas d'étude, nous avons montré qu'une durée de 5 secondes était suffisante pour détecter simultanément des défauts de valeurs des composants ciblés. Connaissant le takt-time (cadence de production) typique dans une chaine d'assemblage de cartes électroniques, cette technique reste prometteuse pour une intégration possible dans une stratégie de test en production. Il faut toutefois s'assurer que le stimulus électrique de test permet d'obtenir un rayonnement infrarouge significatif.

Les perspectives de ce travail comprennent :

- Éprouver la méthode IRTST dans le cas de cartes électroniques avec des densités croissantes,
- Déterminer les conditions de test optimales afin de réduire le temps de test et assurer une détection fiable des défauts,
- Association de la méthode de détection à un algorithme d'apprentissage automatique
- Élaborer des règles de DfT afin de pouvoir intégrer cette technique dans une stratégie de test en production.

Dans le chapitre VI, nous avons présenté une technique de micro-accès qui vise à limiter l'utilisation des points de test classiques pour économiser de l'espace sur la carte électronique et diminuer les effets qui perturbent l'intégrité du signal mesuré.

Cette technique utilise des sondes que nous avons baptisées ACR-P (*Anisotropic Conductive Rubber Probes*) intégrant un matériau ACR, qui permet l'accès aux pistes à travers des ouvertures fines dans le vernis, et de mesurer simultanément plusieurs signaux dans des pistes parallèles sans avoir à prévoir des points de test supplémentaires dans le routage initial.

Afin de prouver le concept de cette technique de test, nous avons conçu un prototype qui permettra de valider son potentiel ainsi que la durée de vie et les performances du matériau ACR.

Le prototype réalisé par la société AES, a été partiellement validé, mais en raison du contexte difficile de 2020, il n'a pas pu être exploité.

Malgré le manque de résultats de caractérisation, nous avons essayé de montrer d'une manière conceptuelle les avantages et les limitations de cette technique, ainsi que le plan que nous avions envisagé pour son évaluation et pour l'étude de fiabilité du matériau ACR. Nous avons aussi commencé à élaborer des règles de conception des ouvertures de test pour permettre la mise en œuvre des tests électriques par les sondes ACR-P. Il s'agit d'une première proposition qui sera certainement amenée à évoluer après les phases de test et d'essais d'endurance.

Les perspectives de ce travail incluent donc :

- La validation de la mesure des signaux à travers les ouvertures dans la couche de vernis prévues à cet effet sur les pistes,
- L'évaluation de la durée de vie du matériau ACR (vieillissement mécanique, oxydation des fils conducteurs),
- L'évaluation de l'influence de l'état de surface des pistes testées (état de propreté, oxydation) sur la résistance de contact avec le matériau ACR,
- La conception de la carte de multiplexage permettant l'acquisition simultanée des signaux,
- La réalisation d'une sonde conforme aux normes du test industriel et son intégration dans un testeur in-situ.

Nous pouvons imaginer une combinaison des trois techniques proposées dans ce manuscrit afin de créer une stratégie de test électrique innovante. Nous pouvons donc proposer ces combinaisons comme stratégie de test en tenant compte des différentes contraintes présentes sur la carte à tester :

Stratégie de test	**Contraintes de test**
ICT + ACR-P + NFP-T	– Rayonnement EM mesurable – Absence d'interférences EM – Images IR difficilement exploitables (exemple présence d'une source IR parasite à proximité)
ICT + ACR-P + IRTST	– Présence d'interférences EM – Impossibilité de mesurer le rayonnement EM (Composants blindés) – Images IR exploitables
ICT + ACR-P	– Impossibilité d'alimentation des composants à tester – Activation des composants à tester trop longue à mettre en place – Présence d'interférences EM – Images IR difficilement exploitables
ICT + NFP-T + IRTST	– Signaux routés dans des couches enterrées de la carte à tester – Images IR exploitables – Rayonnement EM mesurable – Absence d'interférences EM

Les tests in-situ restent considérés par la communauté du test électrique comme étant la technique de test la plus économique pour obtenir la meilleure couverture de test possible. Cependant, la miniaturisation et la densification des cartes électroniques à signaux rapides, poussent à s'interroger sur la poursuite de l'utilisation de ces tests.

Compte tenu de la façon dont le testeur in-situ a évolué depuis son introduction, et de toutes les mesures (digitales et analogiques) rendues possible sur cet outil, il serait souhaitable d'envisager également son évolution en y intégrant plus de techniques de mesure sans contact.

Les trois techniques de test non-intrusives et sans contact que nous avons présentées dans ce mémoire visent à proposer des pistes pour augmenter la testabilité des cartes électroniques, tout en poursuivant l'utilisation des plates-formes de test in-situ actuelles. Ces dernières doivent être adaptées au produit à tester, et associées aux techniques de test et d'inspection classiques afin d'obtenir un taux maximal de couverture de test.

Les travaux futurs devront se focaliser sur l'élaboration des règles de DfT nécessaires pour faciliter l'intégration de ces techniques dans une stratégie de test en production.

ANNEXES

ANNEXE IV.A : COMPARATIF DES CAPTEURS GMR NVE EN FONCTION DE LA SENSIBILITE, MARGE DE FONCTIONNEMENT LINEAIRE ET LES VALEURS DU CHAMP DE SATURATION

La figure 4.A.1 donne un comparatif des capteurs GMR NVE de la gamme AA, suivant leurs sensibilités normalisées à 1V de tension d'alimentation (S_n), marges de fonctionnement linéaire et valeurs du champ de saturation.

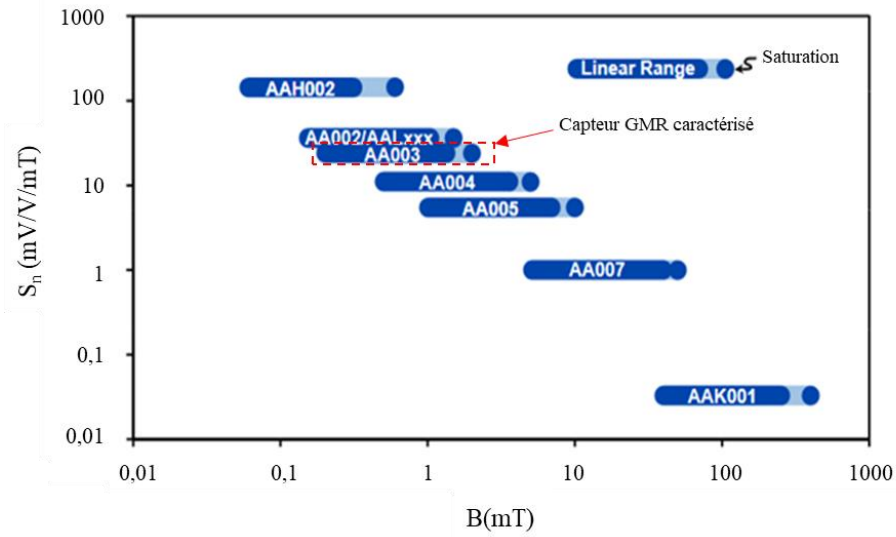
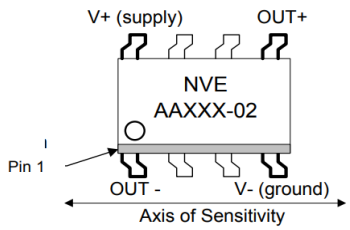


Figure 4.A. 1. Comparatif des capteurs GMR NVE en fonction de la sensibilité, marge de fonctionnement linéaire et valeurs du champ de saturation.

Tableau 4.A. 1. Récapitulatif des résultats de caractérisation du capteur AA003-02E

	Valeurs	Commentaires
Résolution	1 mA	Valeur sans filtrage, blindage, amplification
Axe de sensibilité		Seules les lignes de champ traversant le milieu du capteur suivant l'axe de sensibilité sont détectées
Marge de courant mesurable	[1 mA ; 13 A]	- Le courant minimal mesurable correspond à la résolution dans le cas où on polarise le capteur dans sa région linéaire. - Le courant maximal mesurable dépend de la marge linéaire avant la saturation du capteur, qui varie selon le capteur utilisé. Le capteur AA003 étudié dans ce rapport commence à saturer à partir de 13A et sature complètement à 29.4 A
Sensibilité DC normalisée à 1V d'alimentation	≈ 5.2 $mV_{out}/V_{alim}/A_{IN}$	- Dépend du capteur utilisé, et de la largeur de piste sur laquelle le courant est mesuré (plus la piste est étroite plus la sensibilité est grande). - Le capteur AAH002 présente une meilleure sensibilité et une limite de courant de saturation plus faible.
Bande passante	- Expérimentale : DC – 1 MHz	On peut aller au-delà du MHz avec une électronique limitant le bruit et les effets de couplage capacitifs.
Alimentation	<1V jusqu'à 24V	La tension maximale d'alimentation est limitée par la dissipation de puissance du capteur.
Tension d'offset normalisée à 1V d'alimentation	[-4 ; 4] mV_{out}/V_{supply}	Peut être corrigé par un pulse de courant « *Degauss* ».

ANNEXE IV.B : SCHEMA DETAILLE DE SIMULATION DE LA CARTE D'EVALUATION DU CONVERTISSEUR DC/DC DEVOLTEUR LM5116

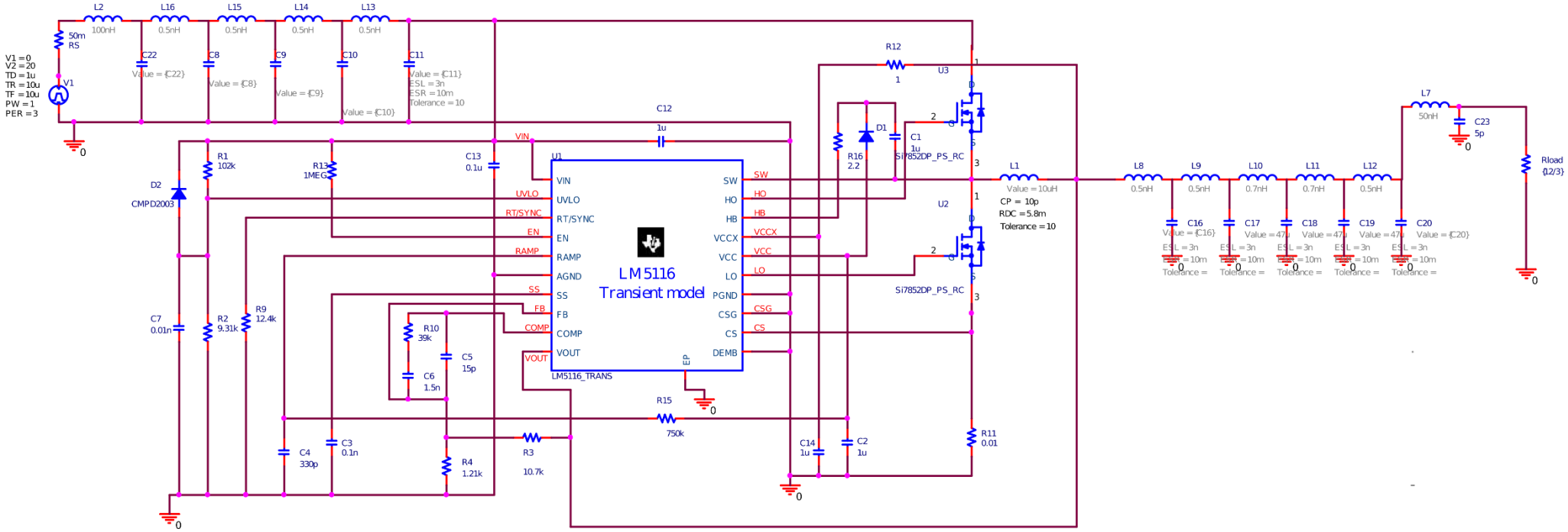


Figure 4.B. 1. Schéma détaillé de simulation de la carte d'évaluation du convertisseur dc/dc dévolteur lm5116

ANNEXE IV.C : COMPARATIF DES METHODES DE DETECTION D'ELEMENTS ABERRANTS

Tableau 4.C. 1. Comparatif des méthodes de détection d'éléments aberrants

Méthode de détection	Type de variable		Paramétrique	Non paramétrique	Tests utilisés	Avantages	Limitations	Considérations par rapport au système étudié
	Univariée	Multivariée						
Z-Score/ Analyse de la valeur extrême	✓		✓		- Moyenne - Déviation standard	- La mise en œuvre est très facile	- Pratique à utiliser uniquement dans un espace objet de faible dimension, dans une base de données de petite à moyenne taille. - N'est pas recommandé lorsque les distributions ne peuvent pas être supposées paramétriques.	- Ne tient pas compte de la covariance des signatures - Basée sur le calcul de distance seulement
Modèles de régression linéaire (PCA, LMS, SOM, FA…)		✓		✓	- Covariance - Z-score - Mesure de la distance euclidienne	- Réduire le nombre de variables dépendantes à l'aide de projections sur de nouveaux axes - Utile lorsque nous avons plusieurs caractéristiques dans chaque groupe à comparer	- Dépend de la mise à l'échelle des variables - La structure non linéaire est un peu difficile à modéliser	- Les signatures EM et IR sont les variables - La visualisation des résultats est représentative - La corrélation prise en compte
DBSCAN		✓		✓	- Distance euclidienne	- Méthode efficace lorsque la distribution des valeurs dans l'espace objet n'est pas connu. - Fonctionne bien si l'espace objet est multidimensionnel (> 3 dimensions) - Visualisation facile des résultats et la méthode elle-même est très intuitive.	- Nécessité de mise à l'échelle des données. - La sélection des paramètres optimaux (*eps*, *MinPts* et *metric*) peut être difficile car la méthode est très sensible à ces trois paramètres. - Il s'agit d'un modèle non-supervisé qui doit être réétalonné chaque fois qu'un nouveau lot de données est analysé.	- Multivariée - Paramètres difficiles à déterminer

Forêt d'isolement (IF)		✓		✓	- Équation spécifique de calcul d'un score pour les éléments aberrants	- Pas nécessaire de mettre à l'échelle les données dans l'espace objet - Méthode efficace lorsque la distribution des valeurs dans l'espace objet n'est pas connu. - Peu de paramètres, ce qui rend cette méthode assez robuste et facile à optimiser.	- La visualisation des résultats est compliquée. - Si elle n'est pas correctement optimisée, le temps d'apprentissage peut être très long et coûteux en termes de capacité de calcul.	- Multivariée : plus de 2 caractéristiques pour chaque groupe : - Les signatures EM au-dessus de chaque condensateur sont les caractéristiques - Les PCB sont les groupes - Temps d'apprentissage long - Visualisation des résultats compliquée
n-way ANOVA (ANalysis Of VAriance)	✓		✓		- F-test (vérifier l'hypothèse nulle : comparaison de variance) - T-test (comparaison de la moyenne)	- Utilisé pour plus de deux variables indépendantes	-Suppose l'égalité de la variance entre les groupes -Les observations sont indépendantes les unes des autres - Besoins d'une grande taille de données si la normalité de l'ensemble n'est pas vérifiée	- Univariée et paramétrique

ANNEXE V.A : DETAILS DE CALCUL DE L'EQUATIONS 3

Prenons le modèle équivalant d'un condensateur C de type MLCC (*Multi Layer Ceramic Capacitor*) de classe II présenté dans la figure 5.A.1.a. Les pertes ohmiques se produisent dans les parties métalliques qui forment ce type de condensateurs. Les pertes de polarisation du diélectrique contribuent également à la perte globale. Comme présenté dans l'équation A.1, ces deux mécanismes de perte séparés sont additionnés en une seule résistance appelée résistance série équivalente (R_{ESR}) [151, p. 216]:

$$R_{ESR} = R_{df} + R_m \qquad \text{(Équation A.1)}$$

Où R_{df} représente les pertes dans le diélectrique et R_m représente la résistance des métallisations. La résistance de chacun varie en fonction de la fréquence, ce qui fait que R_{ESR} varie avec la fréquence.

Les fabricants ne précisent pas la résistance de métallisation, mais indiquent la perte diélectrique en termes de facteur de dissipation (D_f). La relation entre D_f et R_{df} est donnée par l'équation A.2, où C représente la capacité en farad, f la fréquence en hertz et D_f le facteur de dissipation [151, p. 216]:

$$R_{df} = \frac{D_f}{2\pi f C} \qquad \text{(Équation A.2)}$$

Les plaques formant les électrodes internes d'un condensateur MLCC présentent une inductance connue sous le nom d'inductance série équivalente (ESL) ou (L_{ESL}). Cette inductance augmente légèrement avec la fréquence, mais varie beaucoup avec la taille et la construction du boîtier du condensateur. Un intervalle de valeurs typiques de cette inductance pour un condensateur MLCC de technologie X7R et de boîtier 1210 est [1.2, 1.6] nH [151, p. 215].

Un condensateur MLCC conduit un courant de fuite lorsqu'une polarisation DC est appliquée à ses bornes. Un seul paramètre appelé la résistance d'isolement (IR), spécifié comme un produit R×C avec des unités d'ohms-farads, est utilisé pour tenir compte de tout le courant de fuite. Cette fuite est due à la conduction en courant continu dans le diélectrique et augmente à mesure que la surface de la plaque augmente [151, p. 218]. Nous représentons cette fuite de courant par une résistance notée (R_{leak}) ou (R_{isol}) que nous pouvons calculer en utilisant l'équation A.3.

$$R_{leak} = \frac{IR}{C} \qquad \text{(Équation A.3)}$$

Cette résistance est généralement de l'ordre de Giga ohm et dépend du matériau diélectrique utilisé pour fabriquer le condensateur et de l'état de propreté de sa surface [151, p. 218]. Dans le modèle analytique simplifié présenté dans la figure 5.A.1.b, nous représentons cette résistance par un circuit ouvert.

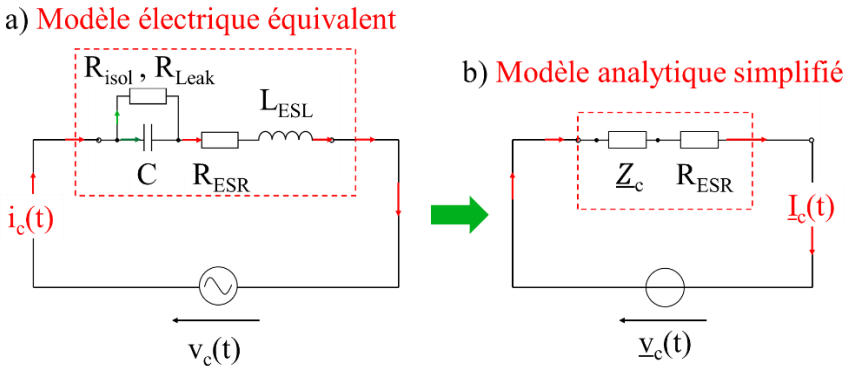


Figure 5.A. 1. a). Modèle équivalant d'un condensateur MLCC de classe II parcouru par un courant $i_c(t)$ b). Modèle simplifié

Afin de trouver l'expression du courant traversant le condensateur étudié dans ce cas, nous nous mettons dans le cas d'un régime sinusoïdal. En effet, le théorème de Fourier stipule (sous certaines conditions mathématiques peu restrictives en électricité) [169] qu'un signal périodique de fréquence f se décompose, en sinus et cosinus de fréquences multiples de la fréquence f :

$$y(t) = a_0 + \sum_{k=1}^{\infty} a_k \cos(2\pi k f t) + b_k \sin(2\pi k f t) \qquad \text{(Équation A.4)}$$

Où a_0 représente la valeur moyenne (la composante continue du signal) et $a_k\cos(2\pi kft)+b_k\sin(2\pi kft)$ la k^e harmonique [169].

Si l'on connaît tous les coefficients de Fourier (a_k , b_k), on peut reconstruire complètement le signal périodique. Or, puisque l'on étudie un réseau linéaire, si l'on connaît son comportement vis à vis d'un signal sinusoïdal quelconque, on est capable de connaître, par combinaison linéaire, la réponse vis-à-vis de n'importe quel signal périodique, ce qui justifie l'étude de la réponse en régime sinusoïdal que nous menons ici.

En appliquant la loi des mailles au modèle équivalent, et sachant que $\underline{Z}_c = 1/jCw$, nous pouvons écrire :

$$\underline{v}_c = \frac{1 - C.L.\omega^2 + j.C.R_{ESR}.\omega}{j.C.\omega}\,\underline{i}_C \qquad \text{(Équation A.5)}$$

Nous obtenons les amplitudes en prenant les modules de ces nombres complexes :

$$V_C = \sqrt{\frac{(1 - C.L_{ESL}.\omega^2)^2 + (C.R_{ESR}.\omega)^2}{(C.\omega)^2}}\; i_C \qquad \text{(Équation A.6)}$$

Nous pouvons donc passer en valeur efficace et écrire le courant i_{CRMS} qui traverse le condensateur en fonction de la tension V_{cRMS} à ses bornes :

$$i_{CRMS} = \sqrt{\frac{(C.\omega)^2}{(1 - C.L_{ESL}.\omega^2)^2 + (C.R_{ESR}.\omega)^2}}\; v_{CRMS} \qquad \text{(Équation A.7)}$$

Si nous remplaçons les valeurs de C, L_{ESL} et ω par leur valeur respectivement (22µF, 1.2nH et 2π×170 kHz) dans le terme $(1\text{-}C.L_{ESL}.\omega^2)^2$ nous retrouvons $(1\text{-}C.L_{ESL}.\omega^2)^2 \approx 1$. Ce résultat reste juste pour toutes les valeurs de défauts que nous appliquons dans notre étude (4.7µF, 15µF, 22µF, 33µF). Nous pouvons alors écrire l'équation A.7 Comme suivant :

$$i_{CRMS} = \sqrt{\frac{(C.\omega)^2}{1 + (C.R_{ESR}.\omega)^2}}\; v_{CRMS} \qquad \text{(Équation A.8)}$$

Nous pouvons également retrouver cette équation en partant du modèle analytique simplifié de la figure 5. A.1.b.

ANNEXE V.B: SCHEMA DETAILLE DE LA SIMULATION ELECTRIQUE

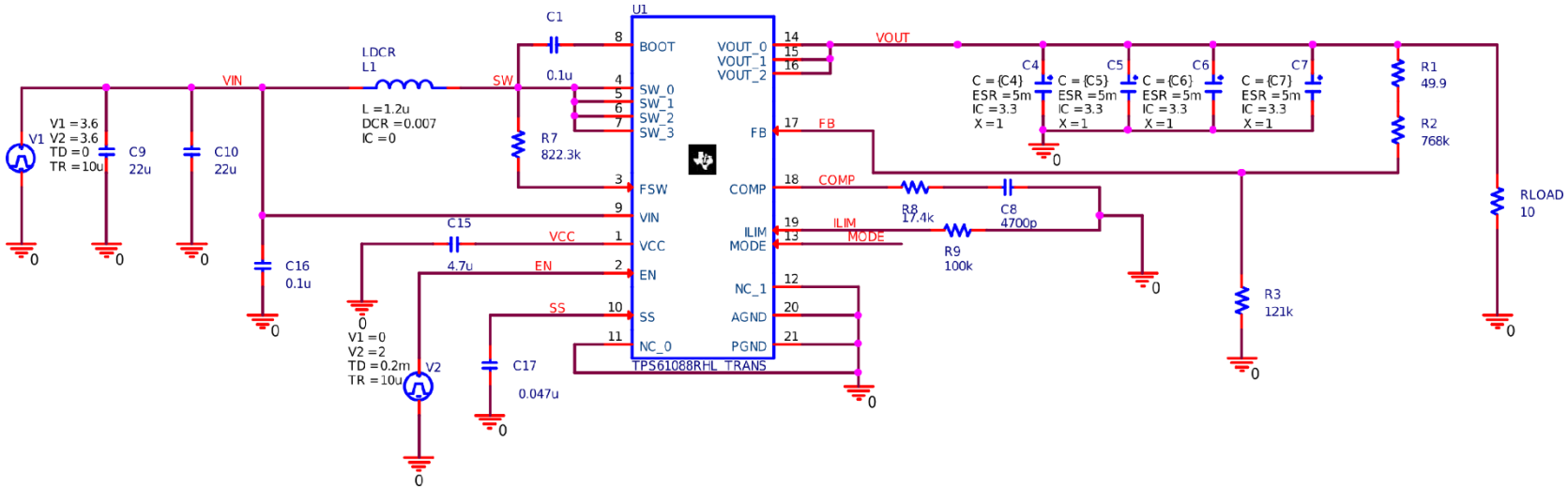


Figure 5.B. 1. Schéma détaillé de la simulation électrique

ANNEXE V.C : CARACTERISTIQUES PHYSIQUES DES MATERIAUX UTILISES DANS LA MODELISATION MULTI-PHYSIQUE

Tableau 5.C. 1. Caractéristiques thermiques des éléments du BUT modélisés

Éléments du BUT	Caractéristiques thermique
Pads en ENIG (Electroless Nickel, Immersion Gold)	K_{Au} = 327 W/m.K
Ni : épaisseur= 5µm ; Au : épaisseur= 0.127µm	K_{Ni} = 106 W/m.K
Soudure SAC305 : Etain : 96.5%, Argent : 3% ± 0.2, Cuivre : 0.5% ± 0.1	K_s = 58 W/m.K
Vernis de soudure	K_v = 0.21 W/m.K
FR4	K_{FR4} = 0.25 W/m.K
Cuivre	K_C = 355 W/m.K
Air	K_A = 0.0275 W/m.K

Modélisation d'un condensateur céramique sous COMSOL :

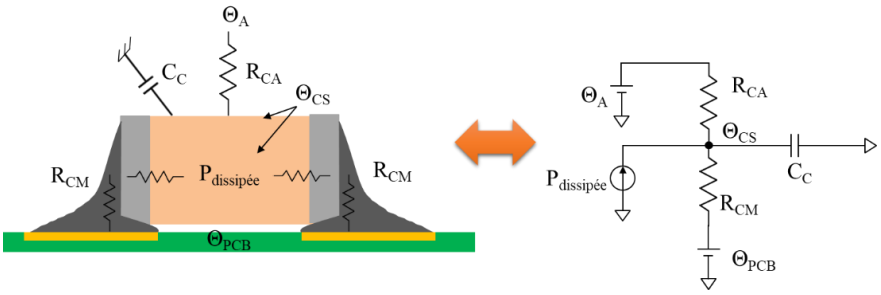


Figure 5.C. 1. Schéma simplifié de modélisation d'un condensateur céramique monté sur le BUT sous COMSOL

Θ_A	:	Température ambiante
Θ_{PCB}	:	Température du substrat
Θ_{CS}	:	Température à la surface du composant
C_C	:	Capacité thermique du céramique (BaTio3)
R_{CA}	:	Résistance thermique entre condensateur et air
R_{CM}	:	Résistance thermique de la soudure
$P_{dissipé}$	:	Puissance dissipée par le composant

La formule pour calculer la résistance thermique d'un matériau est la suivante :

$$\theta = \frac{t}{K \times L \times W} \qquad \text{(Équation C.1)}$$

Avec :

t	:	Épaisseur du matériau
K	:	Facteur de conductivité thermique
L	:	Longueur
W	:	Largeur

Tableau 5.C. 2. Caractéristiques thermiques des Composants modélisés sur le BUT

Composant modélisé	Caractéristique	Définition	Valeurs
Condensateur de sortie :	L	Longueur [mm]	3.2 ± 0.3
Boîtier :1210 Diélectrique : BaTio3	W	Largeur [mm]	2.5 ± 0.2
	H	Hauteur [mm]	2.5 ± 0.2
	k_c	Conductivité thermique : grandeur physique caractérisant le comportement des matériaux lors du transfert thermique par conduction [W/m²/K]	2.9
	Capacité thermique	Capacité thermique : grandeur permettant de quantifier la possibilité qu'a un corps d'absorber ou de restituer de l'énergie par échange thermique au cours d'une transformation pendant laquelle sa température varie [J/g/K]	0.45
Self (1,2 µH)	L	Longueur [mm]	9.5
	W	Largeur [mm]	8.7
	H	Hauteur [mm]	3
	DCR	Résistance série	(5.8 à 7) mΩ
Contrôleur	L	Longueur [mm]	4.65 ± 0.3
	W	Largeur [mm]	3.65 ± 0.3
	H	Hauteur [mm]	1 ± 0.2
	P_{IC}	Puissance dissipée estimée	200 mW
Condensateur d'entrée : Boîtier : 1206 Diélectrique : BaTio3	L	Longueur [mm]	3.2 ± 0.3
	W	Largeur [mm]	1.6 ± 0.2
	H	Hauteur [mm]	1.6 ± 0.2
	k_c	Conductivité thermique : grandeur physique caractérisant le comportement des matériaux lors du transfert thermique par conduction [W/m/K]	2.9
	Capacité thermique	Capacité thermique : grandeur permettant de quantifier la possibilité qu'a un corps d'absorber ou de restituer de l'énergie par échange thermique au cours d'une transformation pendant laquelle sa température varie [J/g/K]	0.45

ANNEXE VI.A : DETAILS TECHNIQUES LIES A LA FABRICATION DES FIXATIONS ICT ET DES POINTS DE TEST SUR PCB

Le tableau 6.A.1 montre l'espacement entre les centres des points de test en fonction des tailles standards des sondes de test ICT [158]:

Tableau 6.A. 1. Espacement entre les centres des points de test en fonction des tailles standards des sondes de test ICT

Diamètre du 1er clous (mm)	Diamètre du 2ème clous (mm)	Espacement minimal (mm)
2.54	2.54	2.09
2.54	1.9	1.91
2.54	1.27	1.71
1.9	1.9	1.74
1.9	1.27	1.53
1.27	1.27	1.27

Afin d'obtenir des résultats de test cohérents et une bonne précision de contact, les tolérances de fabrication des fixation d'ICT et des PCB doivent être contrôlées en permanence. Le tableau 6.A.2 ci-dessous décrit les tolérances typiques qui peuvent être obtenues lors de la fabrication d'un lit-à-clous ICT et la gravure des pastilles et vias de test sur un PCB [158] :

Tableau 6.A. 2. Tolérances typiques de fabrication d'un lit-à-clous ICT et de gravure des pastilles et vias de test sur un PCB

	Tolérance (mm)
Fabrication de fixation ICT	
Perçage de la fixation d'ICT	± 0.0508
Perpendicularité du plan récepteur des clous de test	± 0.0762
Glissement de la pointe du clou de test lors du contact avec le point de test	± 0.0508
Placement des clous	± 0.0762
Alignement entre le centre du point de test et le clou de test ICT	± 0.0508
Fabrication de PCB	
Perçage des vias sur le PCB	± 0.0508
Diamètre du point ou via de test	± 0.0508
Tolérance totale empilée	0.4064 x 2 = 0.8128
Diamètre minimum du point de test	0.9

L'empilement total des tolérances est le double de la somme des tolérances individuelles, car les tolérances sont ± (doublant effectivement la taille de l'erreur de tolérance). Il est très important de contrôler et de surveiller ces tolérances, car dans le scénario ci-dessus, il n'y a qu'une marge de ± 0.0436mm ((0.9 - 0.812/2) avant que l'empilement des tolérances ne commence à dépasser la limite théorique de précision qui doit être inférieure au diamètre du point de test [158].

Il est donc clair que le diamètre standard minimum que l'on peut se permettre avec ces tolérances standards, et qui respecte les contraintes de gravure dans un PCB, doit être supérieur à 0.9mm (1mm voir 1.25mm) pour garantir une fiabilité et répétabilité de contact du clou de l'ICT sur le point de test.

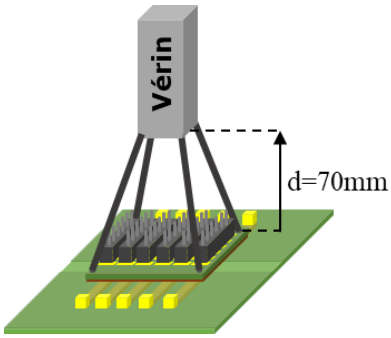
ANNEXE VI.B : COMPAISON ENTRE DIFFERENTS FOURNISSEURS DU MATERIAU ACR

Tableau 6.B. 1. Comparaison entre différents fournisseurs de matériau ACR

Caractéristiques	**Shin-Etsu**	**Tespro Japan**	**Holland Shielding**
Produits	MT type (MT-4X)	ACR « matrix »	ACRFS
Durée de vie	126K	50K à 100K « *touchdowns* »	-
Déformation	10 à 30%	10 à 30%	Jusqu'à 25%
Matériaux conducteur	Laiton plaqué or	Nickel plaqué or	- Alliage cuivre et Nickel - Aluminium
Épaisseur	0.5 → 2 ± 0.05 mm	0.15 → 2 mm	Minimum 0.81mm (plus sur demande)
Diamètre des fils conducteurs	23µm	40µm	-
Pas entre fils conducteurs	0.05 → 0.1 ± 0.03 mm	0.075 → 0.1 mm	900 fils par inch² 1.4/mm²
Résistance de contact	~34mΩ /fil @ 1mm d'épaisseur	≤25mΩ @ 0.3mm d'épaisseur	0.2 Ω
Courant	50mA/fil conducteur	50mA/fil conducteur	-
Température	-35 → 100°C	Jusqu'à 120°C	Jusqu'à 220°C
Taille de la feuille du matériau	Custom	MAX : 50mm x 50mm	150 mm x 900mm
Prix	-	0.54USD / mm²	0.02 USD/mm²

ANNEXE VI.C : CAHIER DE CHARGE POUR LA REALISATION DU PROTOTYPE DE LA SONDE ACR-P

Tableau 6.C. 1. Cahier de charge pour la réalisation du prototype de la sonde ACR-P

Caractéristiques	**Valeurs**	**Précisions**
Marge de pression	0 – 2.5 (N/mm²)	Surface de contact 400mm² × 2.5 N/mm² = 1000N Force Max du vérin = 1000N
Pas de pression	0.1 (N/mm²)	-
Fréquence	Programmable	**Mode appui répétitif :** - Fréquence du cycle de contact programmable (*x* cycle par minute) - Pression programmable (*x* N/mm²) **Mode *Press/Relax* :** - Position du vérin programmable - Pression programmable
Fixation du matériau ACR sur la face *Bottom* du PCB-B	Colle spéciale	Silicone / vernis-épargne
Fixation du PCB-A sur une table de mesure réglable (x,y,z)	- Réglage de la position du BUT en (x,y,z) - Précision se rapprochant le plus possible de 50µm (tolérance de position ICT)	Système de réglage mécanique pour avoir la meilleure précision
Fixation du PCB-C sur le Bras automatisé (BA)	- Fixer d'une sorte à avoir ~7cm de marge entre le vérin et PCB-C pour pouvoir brancher des fils de type "*jumper wire*" séparément	
Fixation des câbles	- "*Jumper wire*" (10cm de longueur) à fixer sur la face droite du vérin à l'aide de : "*straps*", ruban adhésif ou autre	-
Vérin	- Longueur minimale	Minimiser la longueur des fils de mesure
Course de vérin	- Course minimale - Position programmable	- Possibilité de garder le vérin + capteur en une position précise : pressés sur

		la surface de la carte ou à ≈ mm de la surface de la carte - Possibilité de démonter le capteur (PCB-C+ PCB-B + ACR)
RAZ	- Arrête la course du vérin et revient à la position initiale de sécurité (Bouton RAZ)	-
Arrêt d'urgence	- Coupe l'alimentation du driver du vérin et entraine l'arrêt immédiat de sa course	-

ANNEXE VI.D : PRESENTATION DETAILLEE DES PCB : PCB-A (TYPE I, II, III), PCB-B ET PCB-C

VI.D.1. PCB-A : BUT

La carte électronique PCB-A illustrée dans la figure 6.D.1, comporte 10 lignes microrubans d'impédance caractéristique $Z_0 \approx 100\Omega$. Les connecteurs SMA de type bord-de-carte ont une impédance de 50Ω. La terminaison de chaque ligne est une résistance CMS de 100Ω. Les dimensions des lignes ont été calculées en utilisant le logiciel IC-EMC [170] (cf. figure 6.D.2) et les cartes ont été conçues sous l'environnement Altium Designer [171].

Nous avons conçu 3 types de carte PCB-A, les caractéristiques de chaque type ainsi que son utilité sont résumées dans le tableau 6.D.1. La cartes ont été fabriquées chez la société CIRLY [172] et leurs limites de procédé de fabrication [173] ont été prises en compte lors de la conception des cartes.

Tableau 6.D. 1. Caractéristiques de chaque type des cartes PCB-A

	PCB-A Type I	**PCB-A Type II**	**PCB-A Type III**
Épaisseur de la couche vernis (VE)	0.04 mm	0.025 mm	0.025 mm
Épaisseur Cuivre (CU_E)	0.04 mm	0.04 mm	0.04 mm
Épaisseur du diélectrique (FR-4 HTG-175)	3.1 mm	3.1 mm	3.1 mm
Largeur des pistes (CU_W)	0.2 mm	0.2 mm	0.2 mm
Séparation entre centres de pistes (CU_S)	0.62 mm	0.62 mm	0.62 mm
Dimension des WO ($WO_L \times WO_W$)	0.32 × 0.28 mm	0.32 × 0.28 mm	0.32 × 0.28 mm
Dimension de la carte	120 × 120 × 3.2 mm	120 × 120 × 3.2 mm	120 × 120 × 3.2 mm
Point de test	Non	Non	Oui
Utilité	Test des performances électriques du matériau ACR pour une déformation convexe	Test des performances électriques du matériau ACR pour une déformation concave	Mesure des signaux de référence sur la première et la dernière piste, dans les mêmes endroits des WO sur les PCB-A/Type I et PCB-A/Type II

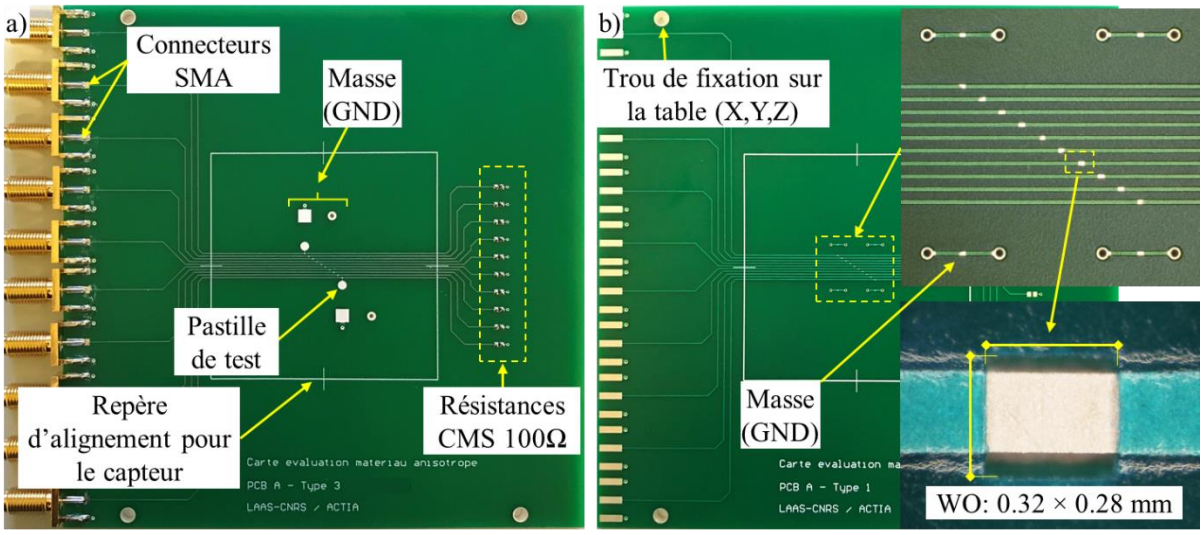


Figure 6.D. 1. a) Photo du PCB-A/Type III, b) Photo du PCB-A/Type I et II avec un zoom sur les WO

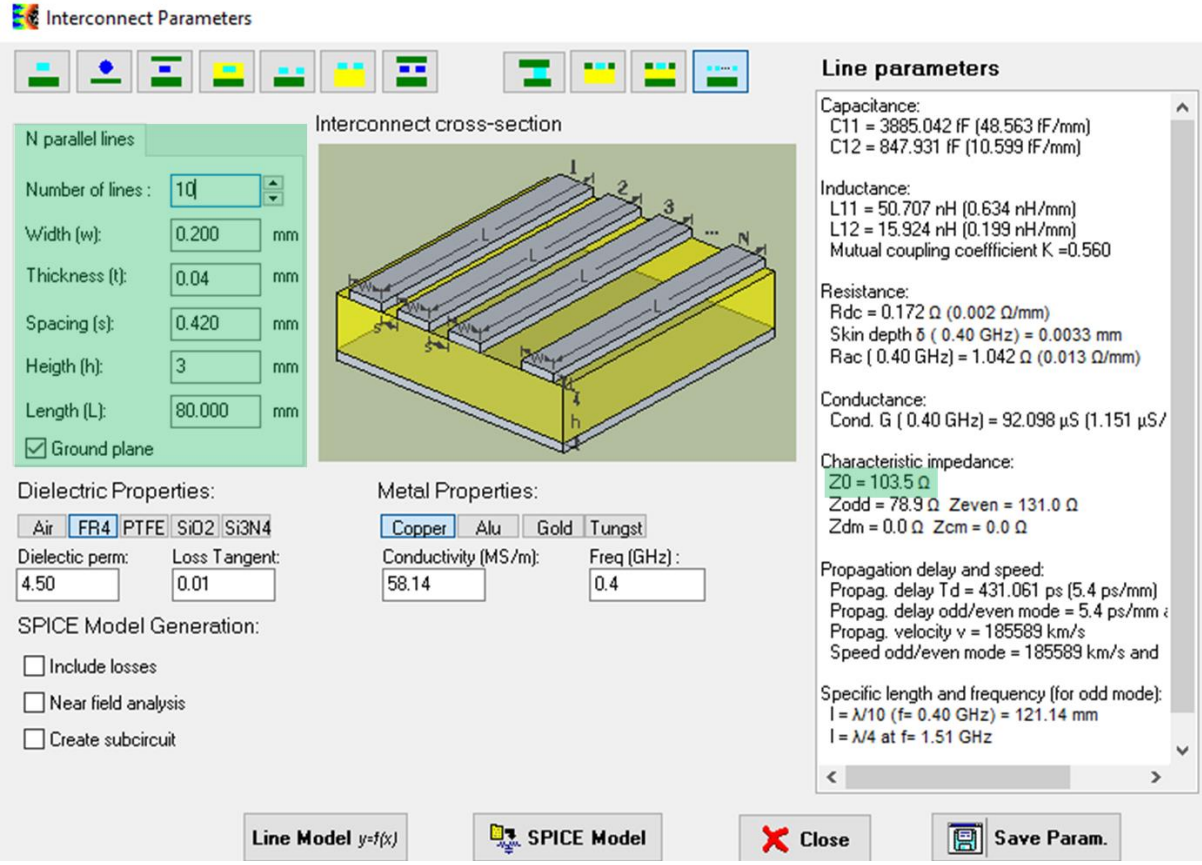


Figure 6.D. 2. Interface du logiciel IC-EMC pour le calcul de l'impédance caractéristique dans le cas de 10 lignes microrubans en parallèle.

VI.D.2. PCB-C ET PCB-B : CAPTEUR

L'assemblage des cartes PCB-C, PCB-B et le matériau ACR forme le capteur de la sonde ACR-P. Le PCB-B représente la partie « pads de contact » de la sonde ACR-P. Le PCB-C est une carte intermédiaire qui permet le passage d'une matrice de pads à pas très réduit (face *Bottom*) à une autre de pas plus large (face *Top*) permettant le placement de connecteurs de type fil-à-carte. Les dimensions choisies pour la réalisation de chacun de ces PCB correspondent aux dimensions (distance entre les pistes, dimensions des WO) choisies pour les trois types de PCB-A, et sont résumées dans le tableau 6.D.2 ci-dessous. La figure 6.D.3.a illustre l'assemblage de ces deux PCB avec le matériau ACR. Les figures 6.D.3.b, 6.D.3.c, 6.D.3.d, 6.D.3.e illustrent respectivement les faces *Top* et *Bottom* des PCB C et B.

Tableau 6.D. 2. Dimensions des PCB-C et PCB-B

	PCB-B	**PCB-C**
Dimensions (L × W × E)	20 × 20 × 1.6 mm	50 × 50 × 1.6 mm
Diamètre des pads (D_{pad})	0.42 mm	Face *Bottom* : 0.42 mm
Distance entre pads (S_{padX})	0.54 mm	Face *Bottom* : 0.54 mm
Distance entre pads (S_{padY})	0.2 mm	Face *Bottom* : 0.2 mm

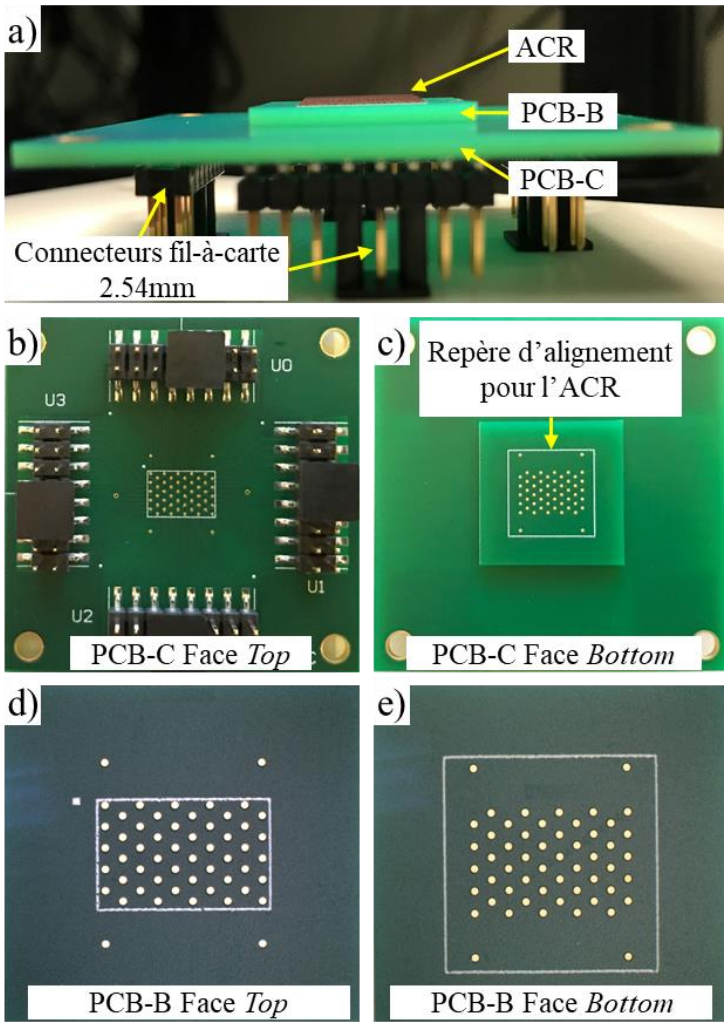


Figure 6.D. 3. a) Capteur : assemblage du PCB-C, PCB-B et le matériau ACR, b) face *Top* du PCB-C, c) face *Bottom* du PCB-C avec le PCB-B soudé par-dessus, d) face *Top* du PCB-B, e) face *Bottom* du PCB-B

BIBLIOGRAPHIE

[1] « Quality Assurance – iSixSigma », *isixsigma*. https://www.isixsigma.com/dictionary/quality-assurance/ (consulté le mai 27, 2019).

[2] « Norme relative au management de la qualité : ISO9000:2005, Clause 3.2.11 ». .

[3] « J. Hwang, "Global trends in electronics manufacturing," OnBoard Technology, pp. 24–27, November 2005 ». .

[4] H. Holden et D. Neer, *The HDI handbook a comprehensive high-density interconnection resource for designers, fabricators and assemblers*. Seaside, OR: BR Publishing, 2009.

[5] C. F. Coombs, Éd., *Printed circuits handbook 5thed*, 5th ed. New York: McGraw-Hill, 2001.

[6] « Number of mobile phone users worldwide 2015-2020 », *Statista*. https://www.statista.com/statistics/274774/forecast-of-mobile-phone-users-worldwide/ (consulté le juin 20, 2019).

[7] THE EUROPEAN PARLIAMENT, « Directive on the restriction of the use of certain hazardous substances in electrical and electronic equipment.pdf ». févr. 13, 2003, Consulté le: juill. 26, 2020. [En ligne]. Disponible sur: https://eur-lex.europa.eu/LexUriServ/LexUriServ.do?uri=OJ:L:2003:037:0019:0023:EN:PDF.

[8] C. F. Coombs, *Printed Circuits Handbook 6thed*, 6th ed. New York: McGraw-Hill, 2008.

[9] S. F. Scheiber, *Building a successful board-test strategy*, 2nd ed. Boston: Butterworth-Heinemann, 2001.

[10] D. Dubberke, J. Grealish, et B. Van Dick, « Solving In-Circuit Defect Coverage Holes with a Novel Boundary Scan Application », in *2008 IEEE International Test Conference*, Santa Clara, CA, oct. 2008, p. 1-9, doi: 10.1109/TEST.2008.4700579.

[11] P. P. Kenneth, *The Boundary-Scan Handbook: Analog and Digital*, 2nd edition. Kluwer Academic Publishers, 2002.

[12] E. Parker, B. Narveson, A. Alderman, et L. Burgyan, « Embedding active and passive components in PCBs and inorganic substrates for power electronics », in *2015 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, mai 2015, p. 107-110, doi: 10.1109/IWIPP.2015.7295990.

[13] T. Hofmann, « Sharing experience in Embedding of Active and Passive Components in Organic PCBs for more reliability and miniaturization. », p. 7.

[14] S. Oresjo, « A New Test Strategy for Complex Printed Circuit Board Assemblies », *Agil. Technol. Inc NEPCON99*, p. 13, 1999.

[15] A. Verma, « Optimizing test strategies during PCB design for boards with limited ICT access », in *Electronics Manufacturing Technology Symposium, 2002. IEMT 2002. 27th Annual IEEE/SEMI International*, 2002, p. 364-371, Consulté le: juin 02, 2016. [En ligne]. Disponible sur: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1032780.

[16] K. Hird, K. P. Parker, et B. Follis, « Test coverage: what does it mean when a board test passes? », in *Test Conference, 2002. Proceedings. International*, 2002, p. 1066-1074, Consulté le: juin 02, 2016. [En ligne]. Disponible sur: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1041863.

[17] « Products Internal Data Rates, Prismark Report to INEMI, Report No. 4469R3 »,. sept. 2012.

[18] B. Bader, « iNEMI 2015 Technology Roadmaps », p. 42, 2015.

[19] C. Richardson, « 2015 Results and 2017 iNEMI Roadmap Preview of Selected IoT, Board Assembly & Optoelectronics Chapter Highlights », p. 49.

[20] C. T. Pynn, « Analyzing manufacturing test costs », *IEEE Des. Test Comput.*, vol. 14, nº 3, p. 36-40, juill. 1997, doi: 10.1109/54.605992.

[21] I. D. Dear, C. D. Dislis, A. P. Ambler, et J. Dick, « Test strategy planning using economic analysis », *J. Electron. Test.*, vol. 5, nº 2, p. 137-155, mai 1994, doi: 10.1007/BF00972075.

[22] A. Renbi, « Contactless test of circuit boards », Thèse, Luleå University of Technology, Luleå, 2014.

[23] erikgeisler —, « What is 1-10-100 Rule? », *Total Quality Management*, févr. 25, 2009. https://totalqualitymanagement.wordpress.com/2009/02/25/what-is-1-10-100-rule/ (consulté le juin 13, 2019).

[24] A. W. Society et C. Weisman, *Welding Handbook: Fundamentals of welding*. American Welding Society, 1976.

[25] IPC, « IPC-2221A: Generic Standard On Printed Board Design ». IPC, mai 2003.

[26] IPC, « IPC-2222: Sectional Design Standard On Rigid Organic Printed Boards ». IPC, févr. 1998.

[27] IPC, « IPC-A-610FR: Acceptabilité des Assemblages Electroniques (Revision F) ». IPC, juill. 2014.

[28] Yamaha Motor Co., « Z:TA-R YSM40R Ultra-High-Speed Modular », *Yamaha Motor Co., Ltd.* https://global.yamaha-motor.com/business/smt/mounter/ysm40r/ (consulté le juill. 27, 2020).

[29] D. Gizopoulos, Éd., *Advances in electronic testing: challenges and methodologies*. Dordrecht: Springer, 2006.

[30] « National Physical Laboratory Industry Defects Database ». http://defectsdatabase.npl.co.uk/ (consulté le juill. 27, 2020).

[31] iNEMI, « iNEMI | Resources ». https://www.inemi.org/resources-1-0 (consulté le juill. 27, 2020).

[32] A. Verma, « Optimizing test strategies during PCB design for boards with limited ICT access », in *Electronics Manufacturing Technology Symposium, 2002. IEMT 2002. 27th Annual IEEE/SEMI International*, 2002, p. 364-371, Consulté le: juin 02, 2016. [En ligne]. Disponible sur: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1032780.

[33] K. Rajewski, « SMT process recommendations. Defect minimization methods for a no-clean SMT process », in *IEEE Technical Applications Conference and Workshops. Northcon/95. Conference Record*, oct. 1995, p. 354-362, doi: 10.1109/NORTHC.1995.485096.

[34] IPC, « IPC TM-650 Test Methods Manual | IPC: Evaluer la propreté des PCB ». https://www.ipc.org/test-methods.aspx (consulté le juill. 27, 2020).

[35] IPC, « IPC-6012D-FR: Spécification de la Qualification et des Performances des Circuits Imprimés Rigides (Révision D) ». IPC, sept. 2015.

[36] G. B. S. General Business Services, « PROPRETE DES CARTES ELECTRONIQUES ». https://docplayer.fr/1627154-G-b-s-general-business-services.html (consulté le juill. 27, 2020).

[37] W. G. Ireson, C. F. C. Jr, et R. Y. Moss, *Handbook of Reliability Engineering and Management 2/E*. McGraw Hill Professional, 1996.

[38] W. Rijckaert et F. de Jong, « Board test coverage: the value of prediction and how to compare numbers », in *International Test Conference, 2003. Proceedings. ITC 2003.*, sept. 2003, vol. 1, p. 1277-1277, doi: 10.1109/TEST.2003.1271117.

[39] M. Tegethoff, K. P. Parker, et K. Lee, « Opens board test coverage: when is 99% really 40%? », in *Test Conference, 1996. Proceedings., International*, 1996, p. 333-339, Consulté le: juin 02, 2016. [En ligne]. Disponible sur: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=556979.

[40] K. Hird, K. P. Parker, et B. Follis, « Test coverage: what does it mean when a board test passes? », in *Test Conference, 2002. Proceedings. International*, 2002, p. 1066-1074, Consulté le: juin 02, 2016. [En ligne]. Disponible sur: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1041863.

[41] L. Y. Ungar et S. Davidson, « Simplified metrics for evaluating designs for testability », in *AUTOTESTCON, 2009 IEEE*, 2009, p. 293-298, Consulté le: juin 02, 2016. [En ligne]. Disponible sur: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=5313996.

[42] L. H. Goldstein et E. L. Thigpen, « SCOAP: Sandia Controllability/Observability Analysis Program », in *17th Design Automation Conference*, juin 1980, p. 190-196, doi: 10.1109/DAC.1980.1585245.

[43] B. Bennetts, « Electronics Design-for-Test: Past, Present and Future », in *12th IEEE European Test Symposium (ETS'07)*, mai 2007, p. 4-4, doi: 10.1109/ETS.2007.21.

[44] M. Mottonen, T. Mustonen, J. Harkonen, P. Belt, et J. Hyysalo, *Design for eXcellence in high tech companies*. 2008.

[45] J. G. Bralla, *Design for excellence*. McGraw-Hill Professional Publishing, 1996.

[46] B. G.f et J. Carvalho, « Design for Manufacturing and Assembly methodology applied to aircrafts design and manufacturing », *IFAC Proc. Vol.*, vol. 46, nº 7, p. 116-121, mai 2013, doi: 10.3182/20130522-3-BR-4036.00044.

[47] « TestWay | ASTER Technologies ». https://aster-technologies.com/en/products/testway/ (consulté le juill. 27, 2020).

[48] « Production Board Test Design-to-Build (D2B) Software », *Teradyne*. https://www.teradyne.com/design-to-build-d2b-software/ (consulté le juill. 27, 2020).

[49] A. Verma et P. Darbois, « Une stratégie de test? », *Mesures*, nº 754, p. 44-49, avr. 2003.

[50] IPC, « IPC Fact Sheet ». https://www.ipc.org/ContentPage.aspx?pageid=IPC-Fact-Sheet-French (consulté le juill. 27, 2020).

[51] « ICT Test : How to Use it to Help You Produce High-quality PCB », *PCB Assembly,PCB Manufacturing,PCB design - OURPCB*, déc. 17, 2020. https://www.ourpcb.com/ict-test.html (consulté le févr. 16, 2021).

[52] C. Lotz, P. Collins, T. Cheshire, et D. Wiatrowski, « Functional Board Test - Coverage Analysis », p. 8, 2006.

[53] A. Albee et T. Inc, « The evolution of ICT: PCB technologies, test philosophies, and manufacturing business models are driving in-circuit test evolution and innovations », *Proc. IPC APEX EXPO San Diego*, p. 6, févr. 2013.

[54] H. Holden et D. Neer, *The HDI handbook a comprehensive high-density interconnection resource for designers, fabricators and assemblers*. Seaside, OR: BR Publishing, 2009.

[55] « Boundary Scan - an overview | ScienceDirect Topics ». https://www.sciencedirect.com/topics/engineering/boundary-scan (consulté le juill. 27, 2020).

[56] J. Hannu, J. Häkkinen, J.-V. Voutilainen, H. Jantunen, et M. Moilanen, « Current State of the Mixed-Signal Test Bus 1149.4 », *J. Electron. Test.*, vol. 28, nº 6, p. 857-863, déc. 2012, doi: 10.1007/s10836-012-5339-7.

[57] K. P. Parker, *The Boundary-Scan Handbook, 3rd edition*. Springer Science & Business Media, 2003.

[58] K. Parker, « IEEE 1149.8.1: Passive Components », 2016, p. 343-378.

[59] A. Sguigna, « The Limitations of Boundary Scan on ICT », *Asset-intertech*. https://blog.asset-intertech.com/test_data_out/2012/05/the-limitations-of-boundary-scan-on-ict.html (consulté le juill. 27, 2020).

[60] us-tech, « Enhanced BGA Inspection with Advanced Technology ». http://www.us-tech.com/RelId/1030880/ISvars/default/Enhanced_BGA_Inspection_with_Advanced_Technology.htm (consulté le juill. 28, 2020).

[61] E. Weigant, « Le test In-situ reste le plus complet », *Solutions*, nº 764, p. 40-43, avr. 2004.

[62] « IEEE Standard for Boundary-Scan-Based Stimulus of Interconnections to Passive and/or Active Components », *IEEE Std 114981-2012*, p. 1-95, août 2012, doi: 10.1109/IEEESTD.2012.6259815.

[63] G.-S. Kim, K. Ikeuchi, M. Daito, M. Takamiya, et T. Sakurai, « A high-speed, low-power capacitive-coupling transceiver for wireless wafer-level testing systems », in *2010 IEEE International 3D Systems Integration Conference (3DIC)*, nov. 2010, p. 1-4, doi: 10.1109/3DIC.2010.5751456.

[64] J. J. Kim *et al.*, « Design of contactless wafer-level TSV connectivity testing structure using capacitive coupling », in *2013 9th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, déc. 2013, p. 158-162, doi: 10.1109/EMCCompo.2013.6735192.

[65] T. Inc, « Board Test Framescan FX », *Teradyne*. https://www.teradyne.com/framescan-fx-faq/ (consulté le juill. 28, 2020).

[66] Keysight, « Cover-Extend Technology ». https://www.keysight.com/en/pd-1730724-pn-N1169A/cover-extend-technology?cc=FR&lc=fre (consulté le juill. 28, 2020).

[67] A. J. Suto, « Low capacitance probe for testing circuit assembly », US20110148450A1, juin 23, 2011.

[68] TRI, « TRI- ToggleScan Test ». Consulté le: juill. 28, 2020. [En ligne]. Disponible sur: http://www.terotest.com/pdfs/TR5001-INLINE.pdf.

[69] S.-W. Tsai et H.-H. Chen, « Electronic device testing system and method using capacitive coupling », US7855567B2, déc. 21, 2010.

[70] K. P. Parker, « Capacitive sensing testability in complex memory devices », in *2012 IEEE International Test Conference*, nov. 2012, p. 1-6, doi: 10.1109/TEST.2012.6401570.

[71] D. Kacprzak, T. Taniguchi, K. Nakamura, S. Yamada, et M. Iwahara, « Novel eddy current testing sensor for the inspection of printed circuit boards », *IEEE Trans. Magn.*, vol. 37, nº 4, p. 2010-2012, juill. 2001, doi: 10.1109/20.951037.

[72] K. Chomsuwan, S. Yamada, M. Iwahara, H. Wakiwaka, et S. Shoji, « Application of eddy-current testing technique for high-density double-Layer printed circuit board inspection », *IEEE Trans. Magn.*, vol. 41, nº 10, p. 3619-3621, oct. 2005, doi: 10.1109/TMAG.2005.855173.

[73] K. Chomsuwan, R. Koggalage, S. Yamada, M. Iwahara, H. Wakiwaka, et S. Shoji, « High-Density PCB Inspection and System with Multi SV-GMR Sensor Eddy-

Current Testing Probe », in *2006 IEEE International Magnetics Conference (INTERMAG)*, mai 2006, p. 523-523, doi: 10.1109/INTMAG.2006.376247.

[74] K. H. Ng, N. V. Venkatarayalu, V. P. Bui, et A. R. K. Rajkumar, « Design and Characterization of PCB based Planar Coil Eddy Current Probes », in *2018 International Conference on Intelligent Rail Transportation (ICIRT)*, déc. 2018, p. 1-4, doi: 10.1109/ICIRT.2018.8641678.

[75] G. Van Drunen et V. S. Cecco, « Recognizing limitations in eddy-current testing », *NDT Int.*, vol. 17, nº 1, p. 9-17, févr. 1984, doi: 10.1016/0308-9126(84)90108-1.

[76] N. P. Department, « Eddy Current Inspection: Advantages and Disadvantages of ECT Technology », *Zetec*, juill. 25, 2019. https://www.zetec.com/blog/eddy-current-inspection-advantages-and-disadvantages-of-ect-technology/ (consulté le juill. 28, 2020).

[77] C. Vaucher, « Procede de test de conducteurs electriques par effet photoelectrique, au moyen d'une plaque separatrice », WO2006082295A1, août 10, 2006.

[78] G. O. Langner et H. C. Pfeiffer, « Apparatus for contactless testing of electrical connections », EP0066071B1, août 13, 1986.

[79] H. Todokoro, « Electron beam apparatus », US4855673A, août 08, 1989.

[80] Y. Tsuji et M. Yamada, « Circuit board testing apparatus and method for testing a circuit board », US20050017729A1, janv. 27, 2005.

[81] G. DELABOUGLISE, « Method and system for testing or measuring electrical elements », WO2006082292A1, août 10, 2006.

[82] M. A. Cugini, J. Brakley, G. N. Ravich, G. E. M. III, et R. L. Giusti, « Apparatus and method using photoelectric effect for testing electrical traces », US6369591B1, avr. 09, 2002.

[83] J. Soiferman, « Contactless test method for testing printed circuit boards », US5218294A, juin 08, 1993.

[84] B. Harzanu, R. Weber, et H. Golan, « Non-contact test method and apparatus », WO1999065287A2, déc. 23, 1999.

[85] T. Spring, « Method and apparatus for inspecting a printed circuit board assembly », WO2005081000A1, sept. 01, 2005.

[86] A. Finocchiaro, G. Girlando, A. Motta, A. Pagani, E. Ragonese, et G. Palmisano, « Wafer-Level Contactless Testing Based on UHF RFID Tags With Post-Process On-Chip Antennas », *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 65, nº 10, p. 1355-1359, oct. 2018, doi: 10.1109/TCSII.2018.2852949.

[87] B. Moore *et al.*, « Non-contact Testing for SoC and RCP (SIPs) at Advanced Nodes », in *2008 IEEE International Test Conference*, oct. 2008, p. 1-10, doi: 10.1109/TEST.2008.4700612.

[88] E. J. Marinissen *et al.*, « Contactless testing: Possibility or pipe-dream? », in *Automation Test in Europe Conference Exhibition 2009 Design*, avr. 2009, p. 676-681, doi: 10.1109/DATE.2009.5090751.

[89] J. Xiao *et al.*, « Near field probe for detecting resonances in EMC application », in *2010 Asia-Pacific International Symposium on Electromagnetic Compatibility*, avr. 2010, p. 243-246, doi: 10.1109/APEMC.2010.5475739.

[90] J. Soiferman, « Contactless test method and system for testing printed circuit boards », US5424633A, juin 13, 1995.

[91] J. Soiferman, « Contactless test method and system for testing printed circuit boards », US5517110A, mai 14, 1996.

[92] A. Renbi et J. Delsing, « Contactless Testing of Circuit Interconnects », *J. Electron. Test.*, vol. 31, nº 3, p. 229-253, juin 2015, doi: 10.1007/s10836-015-5524-6.

[93] C. David, B. David, et L. Anne, « Development of an optical near-field test bench for EMC application », in *10th International Symposium on Electromagnetic Compatibility*, sept. 2011, p. 531-536.

[94] H. Moldovan, M. Marcu, et M. Vladutiu, « PCB Testing Using Infrared Thermal Signatures », in *2005 IEEE Instrumentationand Measurement Technology Conference Proceedings*, Ottawa, ON, Canada, 2005, vol. 3, p. 1970-1974, doi: 10.1109/IMTC.2005.1604516.

[95] J. Xu, J. Li, et Y. Jiang, « Components Locating in PCB Fault Diagnosis Based on Infrared Thermal Imaging », in *2009 Second International Conference on Information and Computing Science*, mai 2009, vol. 2, p. 7-9, doi: 10.1109/ICIC.2009.109.

[96] Z. Dong et L. Chen, « Image registration in PCB Fault Detection Based on Infrared Thermal Imaging », in *2019 Chinese Control Conference (CCC)*, juill. 2019, p. 4819-4823, doi: 10.23919/ChiCC.2019.8866191.

[97] K. P. Parker, « A new probing technique for high-speed/high-density printed circuit boards », in *Test Conference, 2005. Proceedings. ITC 2005. IEEE International*, 2005, p. 10-pp, Consulté le: juin 02, 2016. [En ligne]. Disponible sur: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1584094.

[98] D. Boswell, *Surface Mount & Mixed Technology PCB Design Guidelines: A Handbook for Professional Engineers*. Technical Reference, 1990.

[99] R. P. Prasad, « Solder Paste and Its Application », in *Surface Mount Technology: Principles and Practice*, R. P. Prasad, Éd. Dordrecht: Springer Netherlands, 1989, p. 311-347.

[100] C. Vaucher et L. Balme, « Analog/digital testing of loaded boards without dedicated test points », in *Proceedings International Test Conference 1996. Test and Design Validity*, Washington, DC, USA, 1996, p. 325-332, doi: 10.1109/TEST.1996.556978.

[101] A. J. Suto, « Test access component for automatic testing of circuit assemblies », US20100207651A1, août 19, 2010.

[102] L. Balme, P. Pondaven, C. Vaucher, et J.-Y. Monari, « Appareil de test de circuit imprime », WO1989000296A1, janv. 12, 1989.

[103] A. Suto et Teradyne Inc, « Micro Access Technologies on PCB Assemblies », *SMT Mag.*, vol. 26, août 2011.

[104] S. Ziegler, « New Current Sensing Solutions for Low-Cost High-Power-Density Digitally Controlled Power Converters », 2009.

[105] S. J. Nibir, M. Biglarbegian, et B. Parkhideh, « A Non-Invasive DC-10-MHz Wideband Current Sensor for Ultra-Fast Current Sensing in High-Frequency Power Electronic Converters », *IEEE Trans. Power Electron.*, vol. 34, nº 9, p. 9095-9104, sept. 2019, doi: 10.1109/TPEL.2018.2883639.

[106] A. P. Nurmansah et S. Hidayat, « Design and testing PCB Rogowski-coil current sensor for high current application », in *2017 International Conference on High Voltage Engineering and Power Systems (ICHVEPS)*, oct. 2017, p. 493-497, doi: 10.1109/ICHVEPS.2017.8225897.

[107] J. E. Lenz, « A review of magnetic sensors », *Proc. IEEE*, vol. 78, nº 6, p. 973-989, juin 1990, doi: 10.1109/5.56910.

[108] J. Heremans, « Solid State Magnetic Field Sensors and Applications », *J. Phys. Appl. Phys.*, vol. 26, p. 1149, janv. 1999, doi: 10.1088/0022-3727/26/8/001.

[109] P. Ripka et M. Janosek, « Advances in Magnetic Field Sensors », *IEEE Sens. J.*, vol. 10, nº 6, p. 1108-1116, juin 2010, doi: 10.1109/JSEN.2010.2043429.

[110] W. Limcharoen et P. Yutthagowith, « Rogowski coil with an active integrator for measurement of switching impulse current », in *2013 10th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*, mai 2013, p. 1-4, doi: 10.1109/ECTICon.2013.6559578.

[111] R. Omarouayache, J. Raoult, S. Jarrix, L. Chusseau, et P. Maurine, « Magnetic microprobe design for EM fault attack », in *2013 International Symposium on Electromagnetic Compatibility*, sept. 2013, p. 949-954.

[112] M. Djamal, Ramli, S. Viridi, et Khairurrijal, « Development of a new giant magnetoresistance material based on organic material », in *2011 2nd International Conference on Instrumentation, Communications, Information Technology, and Biomedical Engineering*, Bandung, West Java, Indonesia, nov. 2011, p. 372-375, doi: 10.1109/ICICI-BME.2011.6108661.

[113] NVE, « GMR sensor catalog ». févr. 2012, Consulté le: juill. 28, 2020. [En ligne]. Disponible sur: https://www.nve.com/Downloads/catalog.pdf.

[114] E. Ramsden, *Hall-Effect Sensors: Theory and Application*. Elsevier, 2011.

[115] S. Fericean, *Inductive Sensors for Industrial Applications*. Artech House, 2018.

[116] H. Shirzadfar, « Design and Evaluation Of A GMR-Biosensor For Magnetic Characterization Of Biological Medium », Thèse, 2014.

[117] M. N. Baibich *et al.*, « Giant Magnetoresistance of (001)Fe/(001)Cr Magnetic Superlattices », *Phys. Rev. Lett.*, vol. 61, nº 21, p. 2472-2475, nov. 1988, doi: 10.1103/PhysRevLett.61.2472.

[118] A. Bernieri, G. Betta, L. Ferrigno, et M. Laracca, « Improving Performance of GMR Sensors », *IEEE Sens. J.*, vol. 13, nº 11, p. 4513-4521, nov. 2013, doi: 10.1109/JSEN.2013.2271275.

[119] S. Chikazumi, *Physics of Ferromagnetism*, Oxford University Press. OUP Oxford, 2009.

[120] S. Tumanski, *Thin Film Magnetoresistive Sensors*. CRC Press, 2001.

[121] NVE, « NVE: AAV003-10E Current Sensor Datasheet ». .

[122] C. Reig, S. Cardoso, et S. C. Mukhopadhyay, *Giant Magnetoresistance (GMR) Sensors: From Basis to State-of-the-Art Applications*. Springer Science & Business Media, 2013.

[123] M. Cubells-Beltran, C. Reig, J. Martos, J. Torres, et J. Soret, « Limitations of Magnetoresistive Current Sensors in Industrial Electronics Applications », *Int. Rev. Electr. Eng.-IREE*, vol. 6, p. 423-429, janv. 2011.

[124] N. El Belghiti Alaoui, A. Boyer, P. Tounsi, et A. Viard, « Upgrading In-Circuit Test of High Density PCBAs Using Electromagnetic Measurement and Principal Component Analysis », *J. Electron. Test.*, vol. 34, nº 6, p. 749-762, déc. 2018, doi: 10.1007/s10836-018-5763-4.

[125] N. El Belghiti Alaoui, P. Tounsi, A. Boyer, et A. Viard, « New testing approach using near electromagnetic field probing intending to upgrade in-circuit testing of high density PCBAs », in *2018 IEEE 27th North Atlantic Test Workshop (NATW)*, Essex, VT, mai 2018, p. 1-8, doi: 10.1109/NATW.2018.8388867.

[126] TI, « LM5116-12 Evaluation Board ». avr. 2013, Consulté le: juill. 26, 2020. [En ligne]. Disponible sur: https://www.ti.com/lit/ug/snva285a/snva285a.pdf.

[127] « Allegro Design Entry CIS (Cadence Design systems, 17.2-2016): https://www.cadence.com/en_US/home/tools/pcb-design-and-an ». .

[128] TI, « LM5116 buck controler ». Consulté le: juill. 26, 2020. [En ligne]. Disponible sur: https://www.ti.com/lit/ds/snvs499h/snvs499h.pdf.

[129] « H-Field Probe mini 30 MHz up to 3 GHz, Langer EMV Technik, more information on www.langer-emv.de ». .

[130] TDK, « Power Inductors in Consideration of Leakage Flux | Inductors (Coils) | TDK Product Center ». https://product.tdk.com/info/en/products/inductor/inductor/smd/technote/apn-power_mytdk.html (consulté le juill. 29, 2020).

[131] K. Ord, « Outliers in statistical data: V. Barnett and T. Lewis, 1994, 3rd edition, (John Wiley & Sons, Chichester), 584 pp., [UK pound]55.00, ISBN 0-471-93094-6 », 1996, doi: 10.1016/0169-2070(95)00625-7.

[132] S. Santoyo, « A Brief Overview of Outlier Detection Techniques », *Medium*, nov. 24, 2017. https://towardsdatascience.com/a-brief-overview-of-outlier-detection-techniques-1e0b2c19e561 (consulté le juill. 29, 2020).

[133] Scikit-learn, « Comparing different hierarchical linkage methods on toy datasets — scikit-learn 0.23.1 documentation ». https://scikit-learn.org/stable/auto_examples/cluster/plot_linkage_comparison.html (consulté le juill. 29, 2020).

[134] « Novelty and Outlier Detection — scikit-learn 0.23.1 documentation », *scikit-learn.org*. https://scikit-learn.org/stable/modules/outlier_detection.html (consulté le juill. 29, 2020).

[135] P. J. Rousseeuw et A. M. Leroy, *Robust Regression and Outlier Detection*. John Wiley & Sons, 2005.

[136] I. T. Jolliffe, *Principal Component Analysis*. Springer Science & Business Media, 2013.

[137] P. P. Kanjilal, *Adaptive Prediction and Predictive Control*. IET, 1995.

[138] M. Belahcen, « Authentification et Identification en Biométrie », Université Mohamed Khider Biskra, 2013.

[139] K. Labib et V. R. Vemuri, « An application of principal component analysis to the detection and visualization of computer network attacks », *Ann. Telecommun. - Ann. Télécommunications*, vol. 61, nº 1-2, p. 218-234, févr. 2006, doi: 10.1007/BF03219975.

[140] R. O. Duda, P. E. Hart, et D. G. Stork, *Pattern Classification*. John Wiley & Sons, 2012.

[141] Mathworks, « MathWorks – Editeur de MATLAB et Simulink - MATLAB & Simulink ». https://fr.mathworks.com/ (consulté le juill. 29, 2020).

[142] « Statistics and Machine Learning Toolbox (Matlab, R2017b (9.3.0.713579)) ». .

[143] « Loadings vs eigenvectors in PCA: when to use one or another? », *Cross Validated*. https://stats.stackexchange.com/questions/143905/loadings-vs-eigenvectors-in-pca-when-to-use-one-or-another (consulté le mai 14, 2020).

[144] M. R. S. Mohd, S. H. Herman, et Z. Sharif, « Application of K-Means clustering in hot spot detection for thermal infrared images », in *2017 IEEE Symposium on Computer Applications Industrial Electronics (ISCAIE)*, avr. 2017, p. 107-110, doi: 10.1109/ISCAIE.2017.8074959.

[145] TI, « TPS61088EVM-677 Evaluation Module ». juin 2015, Consulté le: juill. 29, 2020. [En ligne]. Disponible sur: https://www.ti.com/lit/ug/slvuaf2/slvuaf2.pdf?ts=1595983200502&ref_url=https%253A%252F%252Fwww.ti.com%252Ftool%252FTPS61088EVM-677.

[146] H. Moldovan, M. Marcu, et M. Vladutiu, « PCB Testing Using Infrared Thermal Signatures », in *2005 IEEE Instrumentationand Measurement Technology Conference Proceedings*, mai 2005, vol. 3, p. 1970-1974, doi: 10.1109/IMTC.2005.1604516.

[147] J. Altet, A. Rubio, E. Schaub, S. Dialhaire, et W. Claeys, « Thermal testing: fault location strategies », in *Proceedings 18th IEEE VLSI Test Symposium*, avr. 2000, p. 189-193, doi: 10.1109/VTEST.2000.843844.

[148] « Flir Systems website, R&D and science products,http://www.nbn.at/fileadmin/user_upload/Vertretungen/FLIR/X6900sc/Datashe ». .

[149] « FLIR: L1008 Revison A Lens Specification: SC6500 series MW 50 mm F/2.0 ». .

[150] Flir, « 7 things to know when selecting an IR camera for Research & Development (A guide for investing in infrared) ». Consulté le: juill. 29, 2020. [En ligne]. Disponible sur: https://www.instrumart.com/assets/Flir-Buyer-guide-IR-Camera.pdf.

[151] S. C. Thierauf, *High-speed Circuit Board Signal Integrity*. Artech House, 2004.

[152] Murata, « Simsurfing: https://ds.murata.co.jp/simsurfing/index.html?lcid=en-us », *Murata.co.jp*. https://ds.murata.co.jp/simsurfing/index.html?lcid=en-us (consulté le juill. 29, 2020).

[153] COMSOL, « COMSOL Multiphysics® Software - Understand, Predict, and Optimize Physics-Based Designs and Processes », *COMSOL Multiphysics®*. https://www.comsol.fr/comsol-multiphysics (consulté le juill. 29, 2020).

[154] « Datasheet: CDMC8D28NP-1R2MC de Sumida | Inducteur blindé à montage en surface », *Arrow.com*. https://www.arrow.com/fr-fr/products/cdmc8d28np-1r2mc/sumida%3Futm_source=google&utm_campaign=9776870571&utm_medium=cpc&utm_term=cdmc8d28np%201r2mc&utm_currency=EUR&gclsrc=aw.ds&&gclid=Cj0KCQjwvIT5BRCqARIsAAwwD-RjQoRMOLMeyKr2sNeUjA__q8pr_0yb5yytp7X68Wz7SAle__5qzqUaAkbCEALw_wcB (consulté le juill. 29, 2020).

[155] TI, « TI: TPS61088 10-A Fully-Integrated Synchronous Boost Converter ». févr. 2019, Consulté le: juill. 29, 2020. [En ligne]. Disponible sur: https://www.ti.com/lit/ds/symlink/tps61088.pdf?HQS=TI-null-null-mousermode-df-pf-null-wwe&ts=1596030646039&ref_url=https%253A%252F%252Fwww.mouser.fr%252F.

[156] K. P. Parker, « A new probing technique for high-speed/high-density printed circuit boards », in *Test Conference, 2005. Proceedings. ITC 2005. IEEE International*, 2005, p. 10-pp, Consulté le: juin 02, 2016. [En ligne]. Disponible sur: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1584094.

[157] M. Doraiswamy et J. Grealish, « Implementation of Solder-bead Probing in High Volume Manufacturing », in *INTERNATIONAL TEST CONFERENCE*, 2006, vol. 1, p. 171, Consulté le: juin 02, 2016. [En ligne]. Disponible sur: http://www.keysight.com/upload/cmc_upload/All/Implementation_of_Solder-bead_Probing_in_HVM-Intel-ITC_Oct_2006.pdf.

[158] JJS Manufacturing, « Design guidelines for in-circuit testability ». JJS Manufacturing, Consulté le: juill. 29, 2020. [En ligne]. Disponible sur: https://cdn2.hubspot.net/hubfs/353296/ebook_pdfs/Design_guidelines_for_in-circuit_testability.pdf.

[159] Z. Khan, « Design For Test Considerations For PCB Design ». Nexlogic, [En ligne]. Disponible sur: https://smtnet.com/library/files/upload/design-for-pcb-test.pdf.

[160] S. Araby *et al.*, « Electrically and thermally conductive elastomer/graphene nanocomposites by solution mixing », *Polymer*, vol. 55, nº 1, p. 201-210, janv. 2014, doi: 10.1016/j.polymer.2013.11.032.

[161] « Conductive silicone rubber sheets | Silicone products | Shin-Etsu Polymer Co., Ltd », *Shinpoly.co.jp*. https://www.shinpoly.co.jp/english/product/silicone/sheet/sheet.html (consulté le juill. 29, 2020).

[162] S. Jin, J. J. M. Jr, S. G. S. Jr, R. C. Sherwood, et T. H. Tiefel, « Anisotropically conductive composite medium », US4737112A, avr. 12, 1988.

[163] « MT-type of Inter-Connector - Shin-Etsu Polymer Europe B.V. », *shinestsu.info*. https://www.shinetsu.info/mt-type_of_inter-connector (consulté le juill. 29, 2020).

[164] H. S. S. B. | L. in E. shielding gaskets and solutions, « Electrically conductive rubber sheets », *Holland Shielding Systems B.V.* https://hollandshielding.com/Electrically-conductive-rubber-sheets (consulté le juill. 29, 2020).

[165] « ACR — Product | TESPRO CO.,LTD », *test-probe.jp*. http://test-probe.jp/en/product/anisotropic_conductive_rubber/acr_-_metal_wire_nonmagnetic_type_made_to_order_first_in_the_industry.html (consulté le juill. 29, 2020).

[166] « PariPoser Primer », *Paricon Technologies*. https://www.paricon-tech.com/a-pariposer-primer/ (consulté le juill. 29, 2020).

[167] « PCR: Semiconductor Test (High Frequency >70GHz) ». http://test-probe.jp/en/product/anisotropic_conductive_rubber/semiconductor_testing_pcr_high_frequency_50ghz.html (consulté le juill. 29, 2020).

[168] « 3D Design Software | 3D Modeling on the Web | SketchUp ». https://www.sketchup.com/ (consulté le juill. 29, 2020).

[169] J. Roussel, « Régime sinusoïdal forcé: MÉTHODES DE RÉSOLUTION D'UN RÉSEAU LINÉAIRE EN RÉGIME SINUSOÏDAL FORCÉ ». https://femto-physique.fr/electromagnetisme/regime-sinusoidal.php (consulté le juill. 29, 2020).

[170] A. Boyer et E. SICARD, « Software: IC-EMC », *http://www.ic-emc.org/*. http://www.ic-emc.org/ (consulté le juill. 29, 2020).

[171] « Altium Designer (version 2018) », *https://www.altium.com/altium-designer/fr*. https://www.altium.com/altium-designer/fr (consulté le juill. 29, 2020).

[172] « CIRLY: Fabrication de circuit imprimé », *https://www.cirly.com/*. https://www.cirly.com/ (consulté le juill. 29, 2020).

[173] « CIRLY: capabilités et limites de faisabilité », *https://www.cirly.com/uploads/wysiwyg/Capabilit%C3%A9s%20CIRLY%20V1.2.pdf*. https://www.cirly.com/uploads/wysiwyg/Capabilit%C3%A9s%20CIRLY%20V1.2.pdf (consulté le juill. 29, 2020).