



HAL
open science

IMPULSIONS ÉLECTRIQUES DE FORTE PUISSANCE , DE LA NANOSECONDE À LA MICROSECONDE , DU WATT AU KILOWATT

David Trémouilles

► **To cite this version:**

David Trémouilles. IMPULSIONS ÉLECTRIQUES DE FORTE PUISSANCE , DE LA NANOSECONDE À LA MICROSECONDE , DU WATT AU KILOWATT. Micro et nanotechnologies/Microélectronique. UT3 : Université Toulouse 3 Paul Sabatier, 2019. <tel-04879617>

HAL Id: tel-04879617

<https://laas.hal.science/tel-04879617v1>

Submitted on 19 Mar 2025

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

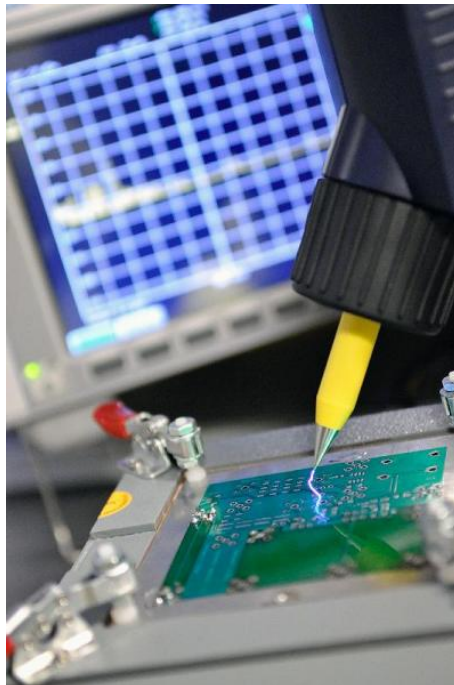
L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HAL Authorization

IMPULSIONS ÉLECTRIQUES DE FORTE PUISSANCE, DE LA
NANOSECONDE À LA MICROSECONDE, DU WATT AU
KILOWATT ($ns - \mu s, W - kW$)

DAVID TRÉMOUILLES



Des méthodes de caractérisation à l'analyse de la physique du semi-conducteur soumis à des régimes extrêmes, appliquées à l'étude de la robustesse aux décharges électrostatiques et aux composants de puissance

LAAS-CNRS
Université de Toulouse

Mars 2019 – v0.0

David Trémouilles : *Impulsions électriques de forte puissance, de la nanoseconde à la microseconde, du Watt au kiloWatt (ns – μ s, W – kW) , Des méthodes de caractérisation à l'analyse de la physique du semi-conducteur soumis à des régimes extrêmes, appliquées à l'étude de la robustesse aux décharges électrostatiques et aux composants de puissance, Mars 2019*

GARANTE :
Marise Bafleur

TABLE DES MATIÈRES

I SYNTHÈSE DE L'ACTIVITÉ SCIENTIFIQUE	
1 INTRODUCTION	3
1.1 Contexte	3
1.2 Quelques fondamentaux	4
1.2.1 Les décharges électrostatiques	4
1.2.2 Les modèles industriels de décharges électrostatiques	5
1.2.3 Protection des circuits, fenêtre de conception	6
1.2.4 Niveaux de robustesse des circuits intégrés	8
1.2.5 ESD "système"	9
1.2.6 Surcharges électriques (EOS) et ESD	10
1.2.7 Le test TLP	10
1.3 Structure de cette partie	12
2 ANALYSES DE LA ROBUSTESSE DE TECHNOLOGIES ET DES MÉCANISMES PHYSIQUES	13
2.1 Technologie FinFET	13
2.1.1 Technologie finFET SOI	14
2.1.2 Technologie finFET Bulk	16
2.2 Technologie MESFET SiC	17
2.3 Mécanisme de conduction dans le diamant de type P	18
2.4 Mécanismes de défaillance lors de stress répétitifs	20
3 OPTIMISATION DE LA ROBUSTESSE ET DE L'ENDURANCE	23
3.1 Tenue au stress répétitif, l'endurance	23
3.2 Méthodologies de conception d'une protection pour les technologies FinFET	24
3.3 Optimisation d'une structure MOS-IGBT-SCR	25
3.4 Technologie dédiée en ZnO	27
4 TECHNIQUES DE CARACTÉRISATION	31
4.1 Transient TLP	31
4.2 Logiciel de traitement des données TLP	33
4.3 HBM instrumenté	34
4.4 HBM pour le test accéléré de MEMS	35
4.5 Utilisation des mesures de bruit basse fréquence	37
5 PROTECTION DES CIRCUITS ET SYSTÈMES	39
5.1 Protection des circuits RF	39
5.2 Protection des systèmes	40
II PROJET SCIENTIFIQUE	
6 VERS L'UTILISATION DE L'APPRENTISSAGE AUTOMATIQUE POUR L'OPTIMISATION DES PROTECTIONS	43

6.1	Complexité de l'optimisation d'un composant de protection	43
6.2	L'apport possible de la science des données et de l'apprentissage automatique	44
6.3	Une première expérience	44
6.4	Formalisation du problème, définition des critères de qualité d'une protection	44
6.5	L'approche proposée	45
6.5.1	Collection et nettoyage des données	46
6.5.2	Apprentissage	46
6.5.3	Optimisation	46
7	VERS L'ÉTUDE DES COMPOSANTS GRAND-GAP	47
7.1	Étude de la fiabilité	48
7.2	Caractérisation	49
7.2.1	Mesure du R_{on} dynamique	50
7.2.2	Mesure de la commutation	51
7.3	Montée en fréquence des convertisseurs de puissance	51
III CV, PARCOURS, ENCADREMENT		
7.4	Parcours	57
7.5	Résumé de la production scientifique	57
7.6	Thématiques scientifiques de recherche et perspectives	58
7.7	Encadrements	59
7.8	Responsabilités collectives	66
7.9	Activités d'expertises	66
7.10	Production scientifique	66
7.11	Diffusion scientifique	70
7.12	Rayonnement international	70
7.13	Activités en interaction avec l'environnement social économique et culturel	71
IV RECUEIL DE TRAVAUX		
A	CHARACTERIZATION AND OPTIMIZATION OF SUB-32-NM FINFET DEVICES FOR ESD APPLICATIONS	75
B	NEXT GENERATION BULK FINFET DEVICES AND THEIR BENEFITS FOR ESD ROBUSTNESS	83
C	ANALYSIS OF AN ESD FAILURE MECHANISM ON A SIC MESFET	93
D	PECULIARITIES OF HIGH ELECTRIC FIELD CONDUCTION IN P-TYPE DIAMOND	103
E	UNDERSTANDING THE FAILURE MECHANISMS OF PROTECTION DIODES DURING SYSTEM LEVEL ESD : TOWARD REPETITIVE STRESSES ROBUSTNESS	107
F	INVESTIGATION ON STATISTICAL TOOLS TO ANALYZE REPETITIVE-ELECTROSTATIC-DISCHARGE ENDURANCE OF SYSTEM-LEVEL PROTECTIONS	113

G	METHODOLOGY FOR DESIGN OPTIMIZATION OF SOI FIN-FET GROUNDED-GATE NMOS DEVICES	121
H	COMBINED MOS-IGBT-SCR STRUCTURE FOR A COMPACT HIGH-ROBUSTNESS ESD POWER CLAMP IN SMART POWER SOI TECHNOLOGY	129
I	TRANSIENT VOLTAGE OVERSHOOT IN TLP TESTING – REAL OR ARTIFACT ?	137
J	TRANSIENT-TLP (T-TLP) : A SIMPLE METHOD FOR ACCURATE ESD PROTECTION TRANSIENT BEHAVIOR MEASUREMENT	146
K	FASTER ESD DEVICE CHARACTERIZATION WITH WAFER-LEVEL HBM	156
L	RELIABILITY ASSESSMENT OF ELECTROSTATICALLY DRIVEN MEMS DEVICES : BASED ON A PULSE-INDUCED CHARGING TECHNIQUE	160
M	LOW FREQUENCY NOISE MEASUREMENTS FOR ESD LATENT DEFECT DETECTION IN HIGH RELIABILITY APPLICATIONS	170
N	A PLUG-AND-PLAY WIDEBAND RF CIRCUIT ESD PROTECTION METHODOLOGY : T-DIODES	176
O	BUILDING-UP OF SYSTEM LEVEL ESD MODELING : IMPACT OF A DECOUPLING CAPACITANCE ON ESD PROPAGATION	183
	BIBLIOGRAPHIE	191

Première partie

SYNTHÈSE DE L'ACTIVITÉ SCIENTIFIQUE

La robustesse et la fiabilité sont des aspects primordiaux qui accompagnent la diversification de l'utilisation des avancées technologiques et l'importance que prend l'électronique dans notre vie de tous les jours. C'est pratiquement le zéro-défaillance qui est demandé, sur une durée de vie déterminée, dans beaucoup d'applications comme l'aéronautique, le spatial, la sécurité ou la santé. Ma thématique de recherche est centrée essentiellement sur l'étude de la robustesse aux décharges électrostatiques (ESD). Ces phénomènes électriques impulsionnels de forte puissance ($ns/\mu s, W/kW$) peuvent causer la destruction des composants micro et nanoélectroniques. Mes travaux ont porté sur l'analyse et l'optimisation de la robustesse de diverses technologies, l'étude de technologies dédiées à la protection ainsi qu'au développement de techniques de mesure spécifiques et à la compréhension des phénomènes physiques associés aux régimes de fonctionnement extrême atteint dans les composants lors d'une décharge.

INTRODUCTION

1.1 CONTEXTE

Les concepts d'intelligence ambiante (ambient intelligence) et d'internet des objets (Internet of Things (IOT)) voient le jour grâce à la miniaturisation permise par les micro et nanotechnologies. L'intégration de systèmes complexes sur une puce ou SoC (System-on-Chip), pouvant réaliser des tâches de plus en plus variées et la multiplication des nouvelles fonctionnalités est l'une des retombées attendues de la recherche réalisée à l'échelle du micron et du nanomètre. De nouveaux capteurs (chimiques, optiques...), actionneurs (micro-pompes, micro-miroirs...) et sources d'énergies, intégrables avec des technologies microélectroniques permettent déjà la réalisation d'objets de faibles dimensions, assistant l'homme dans la vie courante (santé, sécurité, confort...).

La robustesse et la fiabilité sont des aspects primordiaux qui accompagnent la diversification de l'utilisation des avancées technologiques et la prépondérance que prend l'électronique dans la vie de tous les jours. Nous sommes et serons de plus en plus servis et assistés par de nouvelles applications électroniques. Un défaut dans le fonctionnement d'un appareil peut alors engendrer de déplaisantes voire de graves conséquences. C'est pratiquement le zéro-défaillance qui est demandé sur une durée de vie déterminée, dans beaucoup d'applications dont l'aéronautique ou le spatial, la sécurité ou la santé.

Les applications de micro et nano technologies électroniques modernes requièrent donc des niveaux croissants de robustesse. Malheureusement, la sensibilité des circuits intégrés ne cesse de s'accroître avec les avancées technologiques, entre autres à cause la réduction des dimensions technologiques, au point de ne plus avoir la capacité de s'auto-protéger. La protection contre les décharges électrostatiques (ESD) et les interférences électromagnétiques (EMI) comptent parmi les défis les plus difficiles à relever. De plus, le problème de la robustesse aux ESD est peu ou pas traité pour une foule de nouveaux micro et nano systèmes émergents, potentiellement candidats à une large dissémination dans la société.

C'est dans ce contexte que se placent mes travaux de recherche sur la thématique de la robustesse des composants issue des technologies micro et nanoélectronique. Ma thématique de recherche est ainsi centrée essentiellement sur l'étude de la robustesse aux décharges électrostatiques, ces phénomènes électriques impulsionsnels de forte

puissance pouvant causer la destruction des composants micro et nanoélectroniques.

La problématique des ESD est extrêmement proche des soucis industriels. En effet, les travaux menés sur ces problèmes sont dominés par des résultats provenant de laboratoires industriels (Intel, Infineon, NXP...). Il reste donc, pour un chargé de recherche dans un laboratoire du CNRS, à identifier et à traiter des sujets très en amont par rapport à leur niveau d'industrialisation ou bien en proche collaboration avec un industriel du domaine. Aussi très peu d'équipes de recherche académique traitent de ce type de sujet en France.

Ces travaux se trouvent donc être positionnés, en termes de concurrence, à la fois au niveau européen et international plutôt qu'à un niveau national (à l'international : Fraunhofer IZM équipe de Horst Gieser, en Allemagne, Laboratoire IMEC équipe de G. Groeseneken puis Dimitri Linten en Belgique, Université de Padoue équipe de G. Meneghesso en Italie, Université de Vienne équipe de Dioniz Pogany en Autriche, Université de l'Illinois équipe d'Elise Rosebaum au Etats-Unis, Université Hsinshu équipe de Min Do Ker à Taiwan...).

L'originalité de mes travaux repose sur une approche partant de l'étude et du développement d'outils de caractérisation dédiés, jusqu'à la compréhension physique et spécifique du fonctionnement des composants en particulier en ce qui concerne les phénomènes électriques rapides, de l'ordre de la nanoseconde à la microseconde ($ns - \mu s$), et de forte puissance du watt au kilowatt ($W - kW$) que constituent les décharges électrostatiques.

Ces travaux ont ainsi porté sur l'analyse et l'optimisation de la robustesse de diverses technologies, l'étude de technologies dédiées à la protection, sur le développement de techniques de mesures spécifiques et sur la compréhension des phénomènes physiques associés aux régimes de fonctionnement extrêmes atteints dans les composants lors d'une décharge.

1.2 QUELQUES FONDAMENTAUX

Il ne s'agit pas ici de faire une introduction détaillée aux domaines des ESD, mais de rappeler succinctement quelques aspects fondamentaux sur lesquels s'appuie la suite de ce manuscrit. Le lecteur pourra consulter les références bibliographiques proposées afin d'approfondir ces divers sujets [1], [2].

1.2.1 Les décharges électrostatiques

Notre atmosphère est un condensateur géant dont la charge est constamment maintenue par l'activité orageuse à la surface du globe [3]. La foudre maintient ainsi un déséquilibre de charge entre la

surface terrestre et le haut de l'atmosphère engendrant une différence de potentiel de l'ordre de $400000V$.

Depuis la surface terrestre, considérée comme un plan de masse, notre atmosphère est ainsi le siège d'un champ électrique moyen de $100V/m$. Sur une distance équivalente à celle entre nos pieds et notre nez, on peut donc mesurer une différence de potentiel de l'ordre de $200V$. Le corps humain étant un relativement bon conducteur contrairement à l'atmosphère, sa présence dans un espace libre va déformer ce champ de potentiel (Figure 1.1).

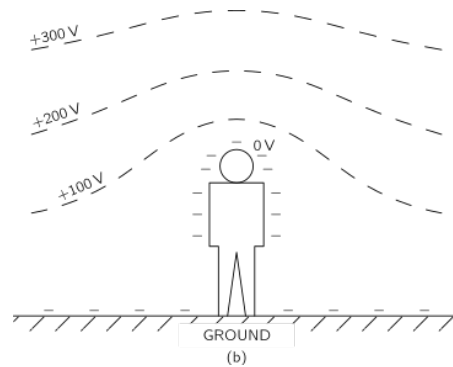


FIGURE 1.1 – Profil de potentiel autour d'un être humain [3].

Il n'est donc pas si étonnant, qu'isolé du sol par des chaussures, le corps humain puisse se charger à des potentiels de plusieurs kilovolts sous l'effet de la triboélectricité, en marchant par exemple sur une moquette par une froide journée d'hiver ensoleillée et donc particulièrement sèche où les résistivités de l'air et de l'environnement seront très élevées.

Un corps chargé, humain ou pas, va pouvoir transférer tout ou partie de ses charges lorsqu'il rentre en contact avec un autre corps. Ceci constitue une *décharge électrostatique*. Elle sera plus ou moins intense et rapide en fonction de la résistivité du chemin de décharge et de la différence de potentiel entre les deux corps.

1.2.2 Les modèles industriels de décharges électrostatiques

Afin de pouvoir estimer la robustesse d'un composant électronique aux décharges électrostatiques, il est nécessaire d'obtenir des décharges parfaitement reproductibles dans le temps mais aussi quelle que soit la marque du simulateur de décharge utilisé.

Deux types de modèles sont aujourd'hui couramment utilisés dans l'industrie. Le modèle du corps humain ou Human Body Model (HBM) en anglais, et le modèle où le composant lui-même est chargé ou Charge Device Model (CDM) en anglais. Des testeurs industriels correspondants permettent de simuler ces deux types de décharges.

En pratique, il n'est pas envisageable de prendre en compte l'infinie variété des formes de courant observables lors de décharges électrosta-

tiques naturelles. Les modèles industriels HBM et CDM correspondent donc à un choix, plus ou moins arbitraire mais précis, d'une condition de décharge représentative des décharges naturelles et permettant une grande reproductibilité de la décharge obtenue. À cet égard, le modèle dit Machine Model (MM) est aujourd'hui écarté des standards industriels car peu reproductible du fait de la trop grande variabilité des décharges obtenues sur différents testeurs répondant pourtant à la même norme.

1.2.3 Protection des circuits, fenêtre de conception

La protection d'un circuit contre les décharges électrostatiques consiste à offrir des chemins spécifiques pour les courants des décharges. L'impédance des chemins doit être suffisamment faible pour limiter les tensions et protéger la partie active du circuit.

1.2.3.1 Stratégies de protection

Un réseau de composants de protection doit être constitué afin de détecter et conduire les décharges quelles que soient les broches d'entrée et de sortie du courant (Figure 1.2). Les composants de protections sont généralement des diodes, des transistors ou des thyristors optimisés pour conduire les décharges électrostatiques sans perturber le fonctionnement normal du circuit à protéger.

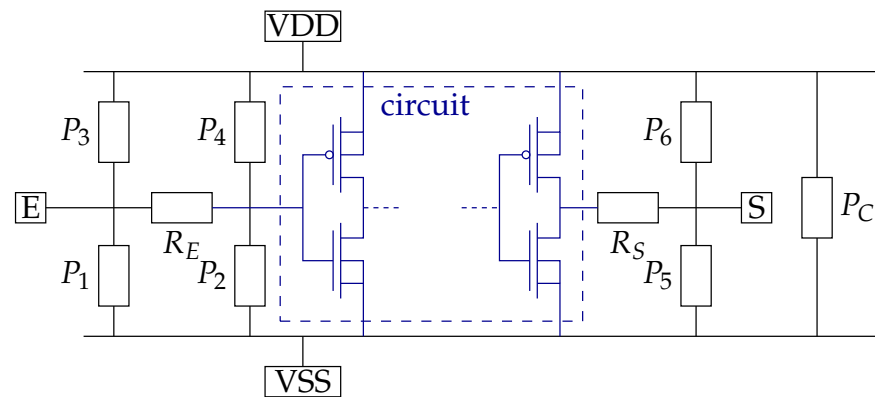


FIGURE 1.2 – Réseau de protection ESD générique d'un circuit.

La protection des étages d'entrée d'un circuit est très critique. Les oxydes de grille des transistors sont en effet particulièrement vulnérables aux ESD. Ils sont généralement protégés par un circuit de protection à deux étages, constitué par les éléments (P_1 à P_4) sur la Figure 1.2. Le rôle du premier étage (P_1, P_3), ou protection primaire, est de conduire la majeure partie du courant de décharge. Le second, qui est séparé du premier par une résistance R_E , permet de garantir une limitation de la tension sur les oxydes de grille à une valeur

suffisamment basse. La tension de déclenchement de la protection primaire pourra donc être supérieure à la tension de claquage des oxydes, laissant ainsi plus de liberté dans le choix des composants de protection utilisés.

En fonction des contraintes de conception et du type de protection globale adopté, le schéma général d'une protection d'entrée présenté dans la [Figure 1.2](#) peut être simplifié. La protection la plus rudimentaire consiste par exemple à utiliser un seul composant de protection (e. g. P_1) capable de conduire le courant d'une décharge quel que soit son sens de circulation.

Un schéma identique à celui utilisé pour la protection d'entrée peut être retenu pour une sortie. Les contraintes sont cependant très différentes dans ce cas. L'étage de sortie doit être généralement capable de fournir un courant relativement important. L'utilisation d'une résistance pour séparer une structure à deux étages est donc souvent à proscrire. Toutefois, les contraintes sont moins importantes dans ce cas. En effet, les jonctions drain-substrat des transistors de sortie sont des éléments en général moins sensibles aux ESD que les oxydes de grille. Leur tension maximale admissible est également plus élevée que celle des oxydes de grille, bien que cet écart tend à diminuer et presque s'annuler pour les technologies les plus avancées. L'utilisation d'un simple étage de protection est généralement suffisante. En outre, la taille relativement importante des transistors de sortie d'un circuit permet souvent une auto-protection de l'étage de sortie.

1.2.3.2 Fenêtre de conception

Les composants de protection doivent fonctionner dans une fenêtre de conception étroite [Figure 1.3](#). Cette fenêtre a tendance à se resserrer avec les progrès technologiques, rendant la conception d'éléments de protection de plus en plus difficile.

D'une part, le composant de protection doit être inactif lorsque le circuit est en fonctionnement et ne doit donc pas interférer avec le fonctionnement normal.

D'autre part, l'élément de protection doit assurer une protection effective du circuit et donc limiter la tension sur le circuit lorsqu'il conduit une décharge électrostatique. Cette tension doit par exemple être inférieure à la tension de dégradation des oxydes de grille sur la broche d'entrée, ou inférieure à la tension de déclenchement (d'avalanche) pour les étages de sortie.

Comme représenté sur la [Figure 1.3](#), un élément de protection va ainsi s'activer au point de déclenchement (V_{t1}, I_{t1}). Après son déclenchement, le composant va conduire la décharge avec une certaine résistance série (R_{on}) jusqu'à son point de destruction (V_{t2}, I_{t2}). Certains composants de protection comme les thyristors vont également présenter un retournement de leur caractéristique. Il convient alors de définir leur tension de retournement V_h qui devra être supérieure avec

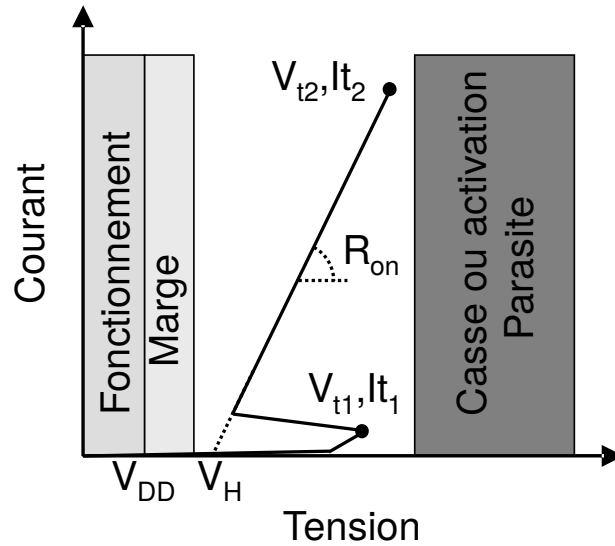


FIGURE 1.3 – Fenêtre de conception ESD.

une certaine marge à la tension d'alimentation (V_{DD}) afin de prévenir tout risque de latchup.

1.2.4 Niveaux de robustesse des circuits intégrés

La Figure 1.4 représente l'évolution des niveaux de robustesses HBM minimum et maximum des circuits intégrés au cours du temps [4]. L'accroissement des niveaux jusqu'en 1995 traduit la compréhension croissante des phénomènes qui ont permis d'améliorer progressivement la robustesse des technologies.

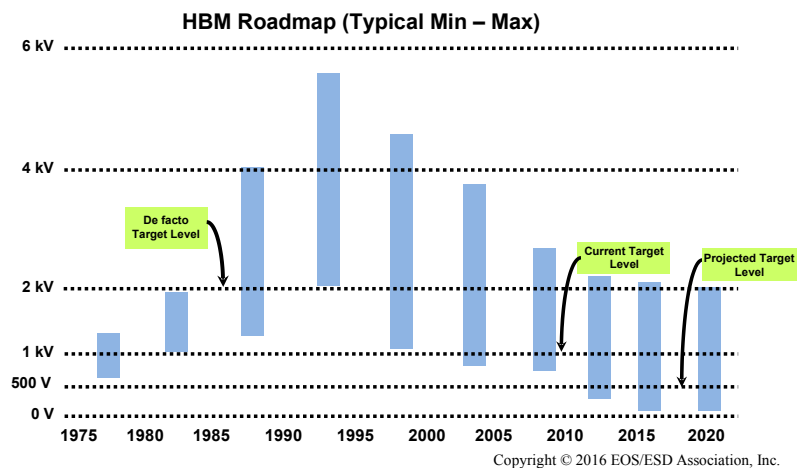


FIGURE 1.4 – Évolution des limites de robustesse des composants vis-à-vis du modèle HBM [4].

Après 1995, on observe une décroissance des niveaux de robustesse.

La décroissance du niveau maximum correspond à l'accroissement des performances des circuits permis par la réduction des dimensions technologiques. En effet, la réduction des épaisseurs de diélectrique conduit à leur plus faible tenue en tension et la réduction du volume global des composants les rend d'autant plus sensibles aux ESD alors que les niveaux de courant de décharges sont inchangés puisque directement liés à un environnement qui reste identique. Au fur et à mesure des progrès techniques, la robustesse aux ESD des nouvelles technologies connaît donc une décroissance inexorable.

La décroissance des niveaux minimum est, quant à elle, plutôt liée aux contraintes de conception pour conserver les performances des circuits. Les éléments de protection ESD peuvent ajouter une capacité parasite trop importante qui va dégrader, voire potentiellement anéantir, les performances du circuit. Il est alors indispensable de réduire la dimension de la protection et donc le niveau de robustesse. Cet aspect est particulièrement critique pour les applications en radio-fréquence.

L'évolution du niveau de robustesse CDM connaît essentiellement la même évolution que celui HBM pour les mêmes raisons.

Notons finalement que les niveaux de robustesse requis au niveau de composants sont définis afin de permettre leur manipulation et leur assemblage sur des circuits imprimés ou dans des systèmes.

Ces opérations sont toujours effectuées dans des zones dites protégées contre les décharges électrostatiques, où les opérateurs portent par exemple des bracelets antistatiques et respectent des procédures permettant de réduire drastiquement l'occurrence de décharges électrostatiques et de garantir que leur intensité sera limitée au-dessous d'une valeur requise. Ces zones contrôlées permettent typiquement de garantir que les éléments de l'environnement, y compris les personnes, ne pourront atteindre des potentiels supérieurs à 500 V par rapport à la terre. Des normes plus strictes comme l'ESDA S20.20, permettent même de garantir des niveaux inférieurs à 100 V sans pour autant être extrêmement contraignantes. Un contrôle plus poussé est par contre assez difficile à atteindre. Ceci est sans doute à mettre en parallèle au champ électrique naturel de $100V/m$ mentionné dans une section précédente.

1.2.5 ESD "système"

Hors des zones protégées contre les décharges électrostatiques, les produits finis vont être exposés à des décharges électrostatiques beaucoup plus intenses et essentiellement incontrôlables. Le domaine de la protection des systèmes contre les ESD est donc assez distinct de celui décrit jusqu'ici dans ce mémoire.

Le domaine d'étude des ESD au niveau des systèmes est beaucoup plus riche que celui de la robustesse des composants. En effet, au-delà du fait d'assurer une robustesse à des décharges de beaucoup plus

forte intensité, il faut également considérer les aspects de décharges électrostatiques qui peuvent perturber un système en fonctionnement. Ceci constitue un sous domaine de la compatibilité électromagnétique (CEM) ou plus précisément de l'étude des interférences électromagnétiques [2].

Notons que la robustesse d'un système n'est pas corrélée à la robustesse ESD des composants qui le constituent [5].

1.2.6 Surcharges électriques (EOS) et ESD

Les ESD se distinguent des surcharges électriques, Electrical Overstress (EOS) en anglais [6]. Alors qu'une ESD trouve sa source dans un phénomène naturel, l'EOS provient d'une mauvaise mise en œuvre du composant qui engendre des surtensions ou des surintensités qui peuvent le détruire.

Cependant, une décharge électrostatique qui se produirait alors qu'un système est alimenté peut éventuellement être à l'origine d'un EOS en provoquant un dysfonctionnement qui engendre des surtensions ou surcharges de courant dans le système.

1.2.7 Le test TLP

Nous ne pourrions finir cette partie sur les fondamentaux sans parler de l'Outil indispensable à toute étude de robustesse aux ESD que constitue le banc TLP (Transmission Line Pulse) [7].

La méthode utilisée dans un banc de mesure TLP permet d'obtenir la caractéristique fort courant d'un composant en s'affranchissant des problèmes thermiques qui pourraient le détruire. En effet, lors d'une décharge électrostatique, des courants importants sont mis en jeu, mais la durée de l'impulsion étant très faible, l'énergie totale dissipée est finalement limitée. Ainsi un composant de protection ESD est amené à fonctionner sous de forts courants sans pour autant être endommagé.

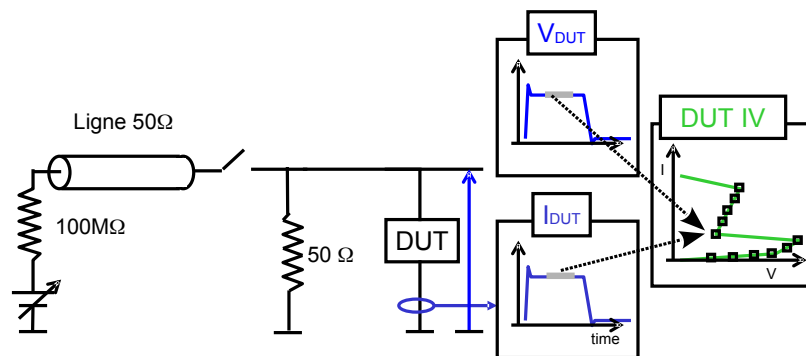


FIGURE 1.5 – Principes de la mesure TLP.

Le principe du banc de mesure TLP est de générer une impulsion rectangulaire de courant dans le composant testé, pendant une durée

suffisamment courte pour ne pas le détruire et assez longue pour obtenir une tension et un courant constants et stables pour permettre de les mesurer.

Grâce à plusieurs impulsions successives d'intensité croissante, on obtient point par point la caractéristique $I(V)$ du composant qui permet de vérifier qu'il respecte bien la fenêtre de conception recherchée (Figure 1.3). La tension et le courant étant constants au cours de chaque mesure, on peut considérer que cette caractéristique est statique ou quasi statique (Figure 1.5).

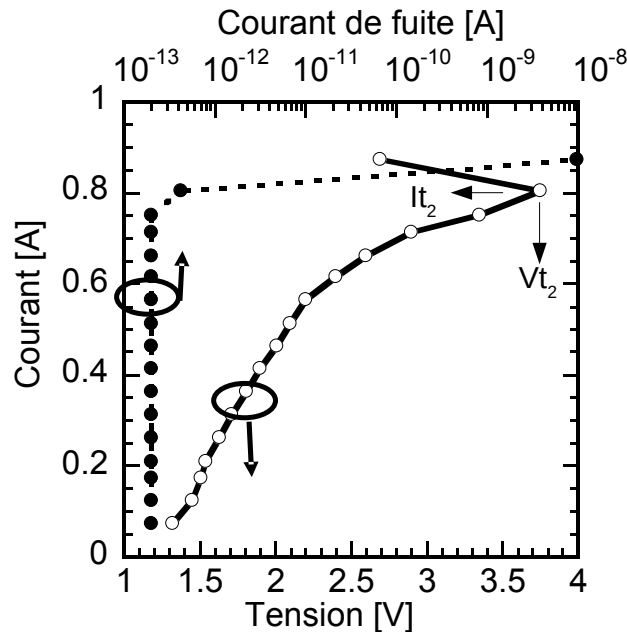


FIGURE 1.6 – Exemple de caractéristique TLP incluant le suivi du courant de fuite après chaque impulsion.

Entre chaque impulsion, l'évolution des caractéristiques électriques classiques peut être suivie pour mettre en évidence d'éventuelles dégradations du composant, comme son courant de fuite à une tension donnée, afin de déterminer sa robustesse maximale (V_{t2} , I_{t2}) (Figure 1.6).

Pour réaliser l'impulsion et contrôler sa durée, on utilise une ligne de transmission en câble coaxial d'où le nom de TLP (Transmission Line Pulse). Dix mètres de câble d'impédance caractéristique de 50Ω permettent d'obtenir une impulsion d'une durée de 100 ns .

Les caractéristiques de l'impulsion de courant sont proches de celles du modèle HBM. Des signatures de défaillance identiques entre ces stress ont été rapportées pour une durée d'impulsion TLP de 100 ns . Cependant, il n'existe pas de constante de corrélation précise entre ces deux types de stress. La tension HBM maximale (en kV) est généralement comprise entre 1,5 et 2 fois le courant maximum (en A) obtenu par la mesure TLP. D'une manière générale, la corrélation entre les tests ESD dépend des caractéristiques des impulsions, temps

de montée et durée, ainsi que des technologies dans lesquelles sont réalisés les composants.

Enfin, une variante du TLP, appelée Very Fast TLP (VF-TLP), permet de générer des impulsions rectangulaires de courant dont le temps de montée est inférieur à 500 ps et la durée de 3,5 à 10 ns.

1.3 STRUCTURE DE CETTE PARTIE

Après ces brefs rappels fondamentaux, une synthèse des différents travaux menés depuis la fin de ma thèse va être présentée dans cette partie du mémoire.

Comme nous venons de la voir, l'étude des décharges électrostatiques est un sujet assez vaste à la croisée de divers domaines de compétences. Depuis la connaissance des technologies de fabrication des composants électroniques, à la physique du composant, en passant par la caractérisation et la modélisation adaptées au domaine temporel des ESD qui sont des phénomènes à la fois rapides et intenses, il est également nécessaire de comprendre le fonctionnement des circuits à protéger pour en assurer une protection effective qui n'affectera pas son fonctionnement normal. Aussi, il ne semble pas trivial de mettre en cohérence des travaux qui ont contribué sur différents de ces aspects.

Cette partie de synthèse des travaux est toutefois structurée de la façon suivante :

- le [chapitre 2](#) regroupe des études réalisées sur différentes technologies et sur des aspects physiques associés à la robustesse,
- le [chapitre 3](#) traite de l'optimisation de la robustesse de technologies dédiées à la protection ou l'optimisation des solutions de protection dans une technologie donnée,
- le [chapitre 4](#) regroupe différentes contributions sur des techniques originales de caractérisation et leurs applications,
- enfin dans le [chapitre 5](#) aborde la protection des circuits et systèmes.

ANALYSES DE LA ROBUSTESSE DE TECHNOLOGIES ET DES MÉCANISMES PHYSIQUES

2.1 TECHNOLOGIE FINFET

Afin de poursuivre la réduction des dimensions des transistors MOS et dépasser les limitations des technologies planaires, de nouvelles architectures de composants ont dû être introduites. Dénommées "tri-gate", "FinFET" ou "MuGFET", ces architectures sont en profonde rupture avec les technologies précédentes de par leur conception tri-dimensionnelle. Ces technologies à grille entourant le canal de conduction permettent de maîtriser les effets de canaux courts et de contrôler les niveaux de fuite des composants dans leur état bloqué.

Ces composants finFET ont été introduits pour la première fois commercialement par la firme INTEL en 2012 dans leur nœud technologique 22 nm utilisé pour la fabrication des micro-processeurs. L'architecture finFET est aujourd'hui largement utilisée par différents fondeurs pour poursuivre la réduction des dimensions technologiques des nœuds les plus avancés.

Les technologies finFET offrent de très faibles volumes de silicium pour dissiper les décharges électrostatiques. Une analyse détaillée des effets des décharges est donc nécessaire pour s'assurer que la technologie soit suffisamment fiable de ce point de vue. L'impact des différentes options technologiques comme le dopage du substrat, l'épithaxie sélective pour réduire les résistances d'accès, l'introduction de contraintes pour augmenter la mobilité dans le canal, le blocage de la siliciuration sont autant d'exemples pouvant affecter la robustesse aux décharges électrostatiques.

C'est précisément sur ces aspects qu'ont porté les travaux que j'ai pu mener de 2005 à 2010. Ils ont débouché sur un assez grand nombre de publications [8-14] et sur un brevet [15].

Ce nombre de publications reflète les fruits des travaux effectués durant les deux ans et demi de mon post-doctorat à l'IMEC (2006-2008) et qui se sont poursuivis au LAAS en collaboration avec l'IMEC de 2008 à 2010. Ces résultats ont couronné les efforts que j'avais donc pu initier et qui m'avait amené à prendre, pendant les huit derniers mois de mon activité à l'IMEC, la direction scientifique d'une équipe composée d'un post-doctorant (Dimitri Linten), d'un doctorant (Steven Thijs) et d'un ingénieur (Mirko Scholz). Il faut souligner ici, l'inertie inhérente à la recherche liée aux technologies. En effet, j'ai conçu et préparé, à priori, des structures de test permettant d'évaluer la robustesse intrinsèque de ces technologies et imaginé des composants

de protection. Il peut se passer ensuite entre un et trois ans entre la conception des structures de test sur ordinateur (dessin de masques) et leur test électrique, puis finalement la publication des résultats. En effet, les étapes de fabrication comme la préparation de masques et la mise au point des procédés technologiques sont particulièrement longues.

Deux types de technologie finFET ont été évalués. La technologie FinFET sur isolant (SOI) et la technologie finFET bulk. L'ensemble des résultats sur ces technologies est contenu dans la thèse de doctorat de Steven Thijs [16] pour les finFET SOI et la thèse d'Alessio Griffoni [17] pour les finFET bulk.

Les résultats de ces travaux nous ont permis de conclure que ces technologies, même si elles présentent une sensibilité accrue aux ESD, possèdent un niveau de robustesse suffisant pour permettre leur commercialisation. Nous avons pu évaluer et comprendre l'influence de différentes options technologiques sur la robustesse ESD. Enfin, l'optimisation d'éléments de protection a permis de démontrer que des niveaux de robustesse de l'ordre du kilovolt HBM sont réalisables.

Quelques résultats sont illustrés dans les deux sous sections suivantes. Deux articles sur ces sujets sont également disponibles en [Appendice A](#) et [Appendice B](#).

2.1.1 Technologie finFET SOI

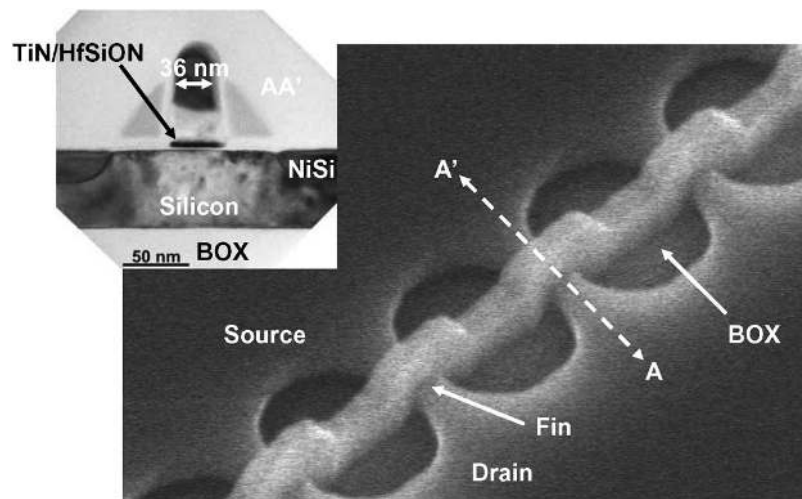


FIGURE 2.1 – Image MEB et coupe MET d'un composant finFET typique.

De par leur nature tridimensionnelle [Figure 2.1](#), les composants finFET possèdent plus de paramètres géométriques que leurs homologues planaires. En plus de la longueur de grille L_g ([Figure 2.2](#)), nous devons aussi définir la largeur d'un *fin* W_{fin} , sa hauteur H_{fin} , les distances entre la grille et les contacts de source et de drain (L_S et L_D), la largeur de la zone des contacts L_{cont} , l'espacement entre deux *fin*s

S , le débordement de la grille sur les *fin*s en bord de composant W_{ext} et le nombre de *fin*s N . Seules H_{fin} et S ont des valeurs figées par la technologie.

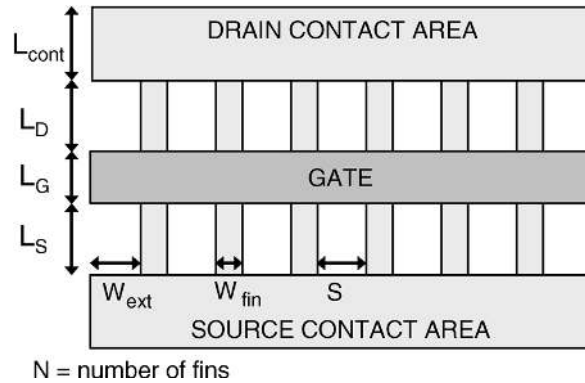


FIGURE 2.2 – Vue de dessus du schéma d'un composant finFET avec ses différentes dimensions.

Plusieurs normalisations des courants par rapport à la taille du composant sont donc possibles. En particulier, nous pouvons normaliser par rapport à la taille totale du composant $W_{layout} = NW_{fin} + (N - 1)S$ ou par rapport à la taille intrinsèque de silicium $W_{intr} = NW_{fin}$.

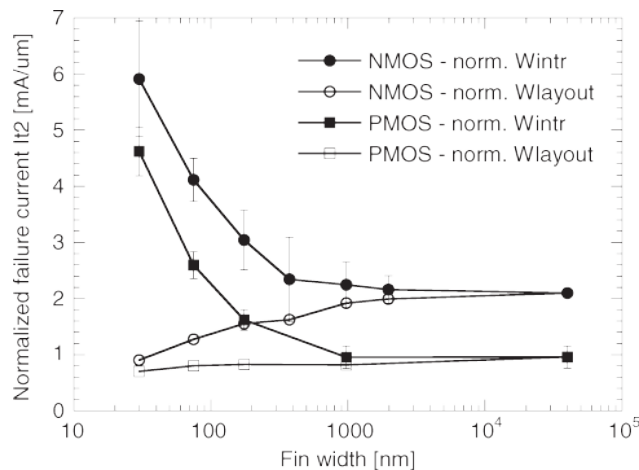


FIGURE 2.3 – It_2 normalisé en fonction de la largeur des *fin* du composant. Les composants jusqu'à 175 nm sont composés de 400 *fin*s, jusqu'à 2 μm de 40 *fin*s, le composant de 40 μm est composé d'un seul *fin*.

L'utilisation de ces deux normalisations permet de révéler certains aspects thermiques qui sont mis en jeu dans la robustesse de ces composants. L'analyse du courant TLP maximum (It_2) pour des composants réalisés avec des largeurs de *fin* différentes montre en effet que, pour de *fin* de plus en plus étroite, la robustesse s'accroît lorsque l'on normalise avec W_{intr} et, à l'opposé, décroît si l'on normalise avec W_{layout} (Figure 2.3). En effet, l'espace entre chaque *fin* ainsi que la grille du transistor jouent le rôle de capacité thermique. Cet espace

étant constant quelle que soit la largeur des *fin*s. Plus le *fin* est étroit, plus il va bénéficier de ce "radiateur" et il pourra supporter une plus grande densité de courant. En revanche, l'espace total utilisé étant plus important, la robustesse par unité de surface s'en trouve globalement diminuée.

2.1.2 Technologie finFET Bulk

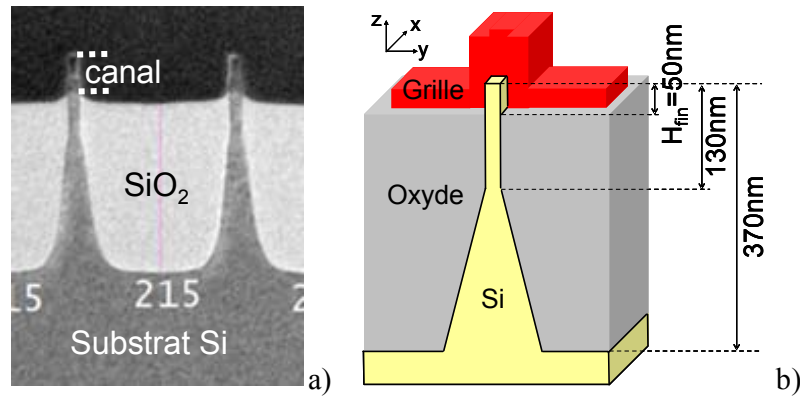


FIGURE 2.4 – Coupe technologique a) MET et b) schématique d'un finFET bulk.

Une coupe technologique d'un finFET bulk est présentée sur la Figure 2.4. La géométrie des finFETs bulk est identique à celle des finFET SOI. Cependant, les finFETs bulk possèdent un contact de substrat généralement connecté avec leur source (Figure 2.5).

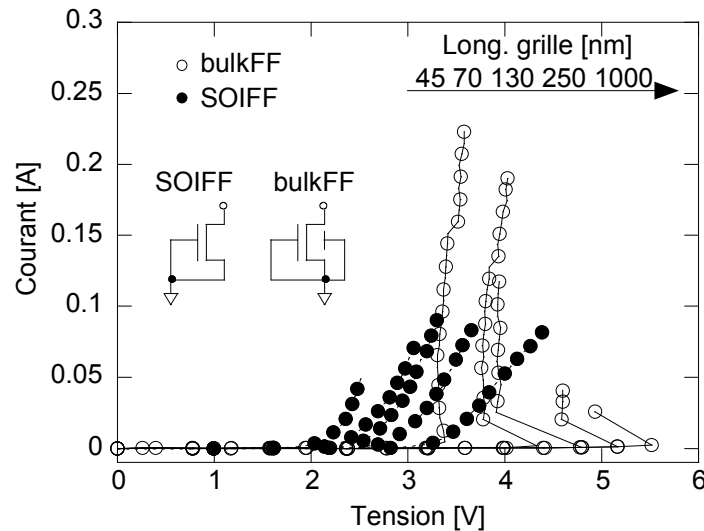


FIGURE 2.5 – Caractéristique TLP de composants NMOS finFET bulk et SOI pour différentes longueurs de grille, $W_{fin} = 20nm$, $H_{fin} = 180nm$, $N = 400$.

Les finFETs bulk présentent une robustesse beaucoup plus grande aux ESD que les finFETs SOI (Figure 2.5). En effet, la connexion thermique directe du *fin* au substrat améliore très largement leur comportement thermique.

Notons que les transistors finFET sur SOI ne possédant pas de contact de substrat, leur caractéristique TLP ne présente pas de région de repliement contrairement au finFET bulk (Figure 2.5).

2.2 TECHNOLOGIE MESFET SiC

Le marché de l'électronique de puissance est très majoritairement dominé par les diodes, IGBTs et thyristors réalisés en silicium. Les performances maximales envisageables avec ce matériau ont aujourd'hui été atteintes et même dépassées grâce aux composants à super jonction.

Afin de dépasser les limitations du silicium, la recherche se tourne vers les matériaux dits à grand-gap comme le carbure de silicium (SiC), le nitrure de gallium (GaN) et le diamant (C). Alors que les composants en SiC commencent à trouver des applications commerciales, l'étude de leur robustesse aux décharges électrostatiques n'avait pas, ou peu, été abordée.

Afin de combler ce manque, nous avons mené une première étude sur la robustesse aux ESD de composants MESFET SiC dans le cadre du laboratoire international associé (LIA) WideLab. Cette structure rassemble le laboratoire AMPERE à Lyon, le CNM à Barcelone (Espagne) et le LAAS à Toulouse. Les composants étudiés ont ainsi été conçus au laboratoire AMPERE et fabriqués au CNM. Ces travaux ont donné lieu à diverses publications [18–24]

Ces études ont été menées dans le cadre de la thèse de doctorat de Tanguy Phulpin [25] débutée fin 2013 et soutenue en janvier 2017. Ils ont consisté à déterminer le niveau de robustesse TLP et HBM de trois variantes de MESFET ; puis de faire l'analyse des défaillances observées et de s'appuyer sur la simulation TCAD afin de comprendre les mécanismes de défaillance.

Deux modes de défaillance distincts ont pu être mis en évidence par des observations au microscope optique et électronique (MEB) ainsi que l'analyse par faisceau d'ions focalisé (FIB) : d'une part, la rupture d'oxydes à la surface du composant et, d'autre part, la sublimation du SiC (Figure 2.6) qui ne possède pas de phase liquide à pression atmosphérique.

D'apparence identique en microscope optique, nous avons pu démontrer que les défauts engendrés peuvent être discriminés par la technique de thermographie Lock-In. Plus de détails sur l'ensemble de ces résultats sont disponibles en [Appendice C](#).

Le mode défaillance par sublimation du SiC pose un problème particulier pour la détection de l'occurrence de ce type de défaut. En

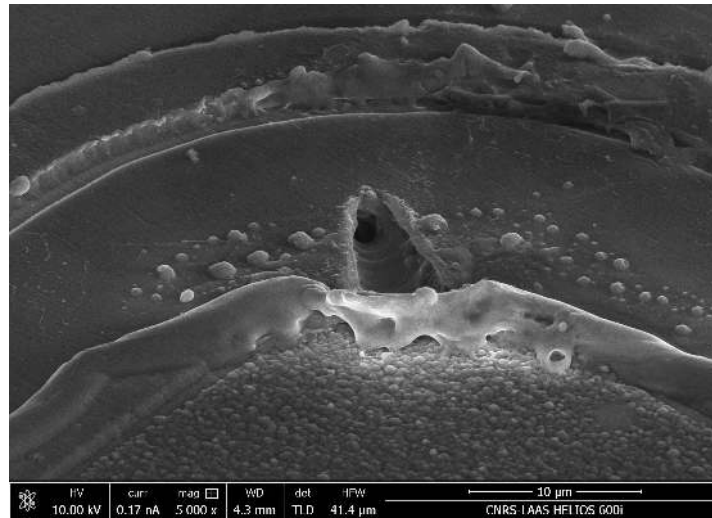


FIGURE 2.6 – Trou/défaut créé par la sublimation sur SiC au cours d’une décharge électrostatique.

effet, la détection d’une défaillance est généralement identifiée par l’augmentation d’un courant de fuite. Dans ce mode de défaillance où de la matière est enlevée au cœur du composant, nous avons parfois échoué à détecter la défaillance de manière électrique alors qu’elle était parfaitement visible au microscope optique. Un mode de détection optique de défaillance serait donc nécessaire pour caractériser ces composants. Ce type de détection n’est pour le moment pas disponible de manière standard et reste donc à mettre au point.

D’une manière plus générale, ces résultats ont permis de montrer que si certains mécanismes de dégradations sont comparables à ceux du silicium, les propriétés des grand-gaps comme le fort champ électrique critique et les très hautes températures de dégradations ont tendance à reporter l’occurrence des dégradations dans les couches de matériau déposées en surface du SiC. En effet, pendant une décharge, la température du SiC pourra atteindre un fort niveau, sans pour autant engendrer de défaut dans le SiC, alors que les diélectriques et métaux placés juste au-dessus vont commencer à se dégrader. De même, le SiC pourra supporter localement un très fort champ électrique dont la valeur aura déjà dépassé celle de la dégradation d’un diélectrique situé à proximité. Les méthodes d’optimisation de la robustesse devront donc évoluer pour prendre en compte ces spécificités.

2.3 MÉCANISME DE CONDUCTION DANS LE DIAMANT DE TYPE P

Le diamant possède des propriétés exceptionnelles pour l’électronique de puissance. Sa technologie est encore aujourd’hui balbutiante mais permet des premières études.

Le diamant présente des propriétés électriques très particulières. Son bandgap est très grand ($5,5eV$) et la plupart de ses dopants ne

sont pas activés ou ionisés à température ambiante. Un barreau de diamant, bien que dopé, peut donc avoir une très forte résistance à température ambiante.

L'activation des dopants va pouvoir se faire de manière thermique, en chauffant le matériau ou de manière électrique. En effet, en élevant suffisamment le champ électrique au sein du matériau, le phénomène d'ionisation par impact sur les atomes de dopants va pouvoir activer ces derniers.

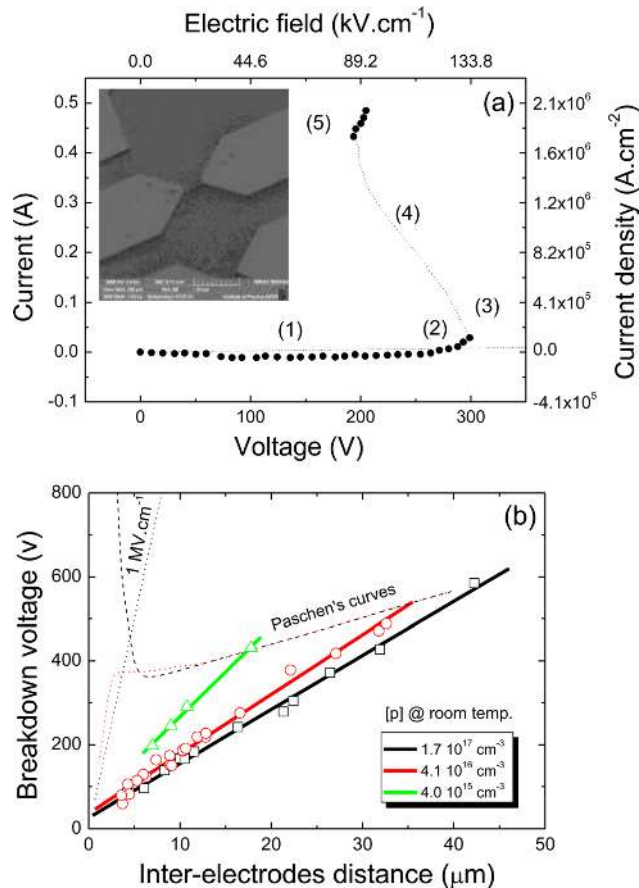


FIGURE 2.7 – (a) Caractéristique TLP d'un barreau de diamant de $22,4\mu\text{m}$ de long, dopé P à $1,7.10^{17}\text{cm}^{-3}$. (b) Tension de claquage en fonction de la distance inter-électrode et du dopage P. La limite de claquage dans l'air est représentée en trait pointillé (courbes de Paschen) ainsi que la limite de claquage théorique dans le diamant (1MV.cm^{-1}).

Ce phénomène d'ionisation par impact des dopants à fort champ électrique a été mis en évidence pour la première fois dans le diamant de type P par Vincent Mortet en 2011 [26]. Jusque-là, le phénomène n'avait été étudié que dans des semi-conducteurs de plus petit band-gap, porté à très basse température afin de figer l'activation des dopants. Le diamant présente donc des propriétés équivalentes mais à température ambiante.

Afin d’approfondir son étude, Vincent Mortet, chercheur à l’Institut de Physique de Prague (République Tchèque), est venu à ma rencontre pour caractériser ses échantillons au moyen du testeur TLP, afin d’obtenir une caractéristique électrique dans le régime de fonctionnement en avalanche tout en limitant les effets thermiques grâce à la courte durée des impulsions TLP.

Un projet Barrande¹ sur l’étude des propriétés physiques du diamant à fort champ électrique a permis de renforcer cette collaboration en 2016 et 2017. Des publications communes ont été produites sur ce sujet, mais également sur l’analyse des contacts (métal/diamant), sur la caractérisation Raman du diamant et sur une technique de caractérisation TLP adaptée à ces études [27–32]

La caractéristique TLP [Figure 2.7](#) (a) montre qu’un barreau de diamant dopé se comporte comme une forte résistance (région (1) sur la figure) jusqu’à une tension de claquage (3) ou l’effet de l’ionisation par impact sur les dopants va permettre une soudaine réduction de la résistivité qui va amener le barreau à se comporter comme une résistance de faible valeur (5). Les mesures montrent que cette dernière valeur résistance correspond bien à celle du barreau dont les dopants sont tous activés. La caractérisation TLP permet donc bien d’étendre la caractéristique électrique des échantillons et de confirmer le phénomène d’ionisation par impact sur les dopants. L’article sur ces travaux est disponible en [Appendice D](#).

Un autre résultat marquant tient au fait que la tension de claquage dépend du dopage du barreau ([Figure 2.7](#)). Un barreau même faiblement dopé à $4 \times 10^{15} \text{ cm}^{-3}$ va présenter une tension de claquage très inférieure à celle que l’on pourrait attendre dans un barreau de diamant théoriquement pur. Cette observation laisse envisager plus généralement que la tenue en tension de composant grand-gap pourrait être fortement réduite par la présence de dopants, même s’ils ne sont pas actifs à température ambiante et même s’ils sont présents à faible concentration dans le matériau.

Enfin, la caractéristique électrique des échantillons de diamant testés ([Figure 2.7](#) (a)) se présente comme celle attendue pour réaliser une protection ESD : forte résistance à basse tension puis mise en conduction dès qu’une tension donnée est dépassée. Le phénomène d’ionisation par impact sur les dopants non ionisés pourrait donc éventuellement être mis à profit pour réaliser des protections avec des matériaux présentant ce type de comportement.

2.4 MÉCANISMES DE DÉFAILLANCE LORS DE STRESS RÉPÉTITIFS

Alors que les composants électroniques requièrent une robustesse ESD minimum pour être manipulés sans risque lors de leur assemblage sur carte ou dans un système, le produit fini va généralement

1. Projet Campus France (France/République Tchèque) de l’ambassade de France.

fonctionner dans un environnement incontrôlé en termes de décharges électrostatiques. Les applications vont donc devoir survivre à de multiples stress ESD au cours de leur durée de vie. Les connexions électriques accessibles, comme les prises USB, doivent donc être protégées spécifiquement contre ce type d'agression.

Les fabricants de composants proposent donc une gamme de produits pour assurer cette fonction de protection au niveau des systèmes. STMicroelectronics fabrique des diodes de protection réalisées en technologie silicium qui sont conçues pour supporter des décharges électrostatiques de très fortes amplitudes (jusqu'à 60 ampères pic) de manière répétitive.

Les standards de tests actuels ne couvrent cependant pas la spécification d'une éventuelle tenue à des stress répétés et se limite à définir et tester la robustesse d'un composant soumis à un seul stress ESD.

Il a cependant été observé que la répétition de décharges pouvait entraîner une dégradation progressive d'un composant. Ceci met évidemment en exergue un risque important pour la durée de vie des applications qui sont, en pratique, soumises à un grand nombre de stress ESD au cours de leur utilisation.

Une collaboration entre STMicroelectronics et la LAAS dans le cadre de la thèse de doctorat CIFRE de Marianne Diatta [33] soutenue en 2012, nous a ainsi permis de mener des études sur les composants de protection ESD soumis à des stress répétitifs.

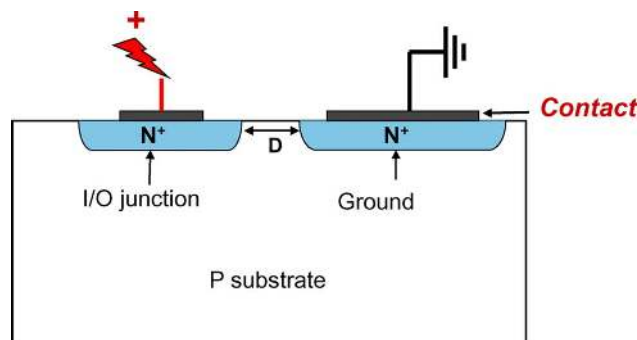


FIGURE 2.8 – Coupe technologique des diodes "têtes bèches" testées

Dans un premier temps, les études menées nous ont permis de démontrer que la répétition des stress pouvait effectivement conduire à la casse de la protection, même pour des niveaux de stress très inférieurs à la robustesse en mono-coup.

La coupe schématique des diodes de protection testées est présentée dans la Figure 2.8. La distance D qui sépare les deux diodes est un paramètre important dont dépend la robustesse des diodes soumises à des stress répétitifs. Comme on peut le voir sur la Figure 2.9, une diode avec $D = 130\mu\text{m}$ pourra supporter plus de neuf cents décharges inférieures à 12 kV alors que, pour supporter le même nombre de stress, une diode avec $D = 85\mu\text{m}$ devra subir des stress inférieurs à 9 kV. Plus la distance D est grande, plus la robustesse de la diode en

répétitif semble donc élevée. Cependant, la robustesse mono-coup de la diode $85\mu\text{m}$ (14 kV) est très inférieure à celle de la diode de $130\mu\text{m}$ (18 kV). Une valeur élevée de robustesse mono-coup ne se traduit donc pas par une amélioration de la robustesse en répétitif, un "derating" de plus de 65% doit être appliqué dans les deux cas.

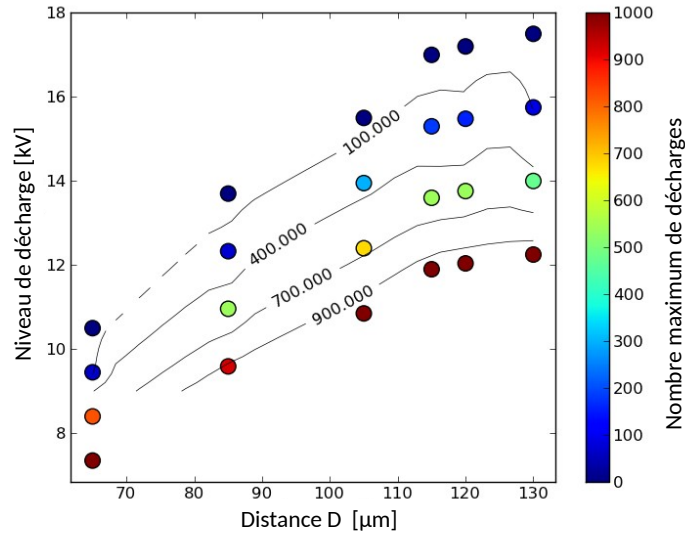


FIGURE 2.9 – Nombre maximum de décharges avant dégradation en fonction de la distance D entre jonctions et du niveau de décharge en kV.

Les analyses des défaillances après des stress répétitifs ont également permis de mettre en évidence trois mécanismes distincts de dégradation. Le premier correspond à une défaillance catastrophique associée à l'apparition d'un filament fondu qui induit une augmentation très importante du courant de fuite. Le second induit une relativement faible augmentation du courant de fuite qui est réversible et correspond à un mécanisme de piégeage de charges dans les isolants. Et le troisième, plus problématique, correspond à l'apparition de petits filaments fondus en bordure de contact ohmique qui n'induisent pas de modification du courant de fuite mais qui vont progressivement grandir sous l'effet des décharges répétées jusqu'à provoquer la défaillance du composant et l'augmentation brutale du courant de fuite. Ces résultats sont détaillés dans l'article en [Appendice E \[34\]](#).

OPTIMISATION DE LA ROBUSTESSE ET DE L'ENDURANCE

3.1 TENUE AU STRESS RÉPÉTITIF, L'ENDURANCE

Les travaux de thèse de Marianne Diatta, présentés à la fin du chapitre précédent, sur l'étude des mécanismes de dégradation de diodes de protection lors de stress répétitifs, nous ont montré que certains mécanismes de défaillance peuvent compromettre la durée de vie d'un composant. Il semble donc important de proposer une méthode pour prendre en compte ces aspects et prévenir de l'éventuelle défaillance prématurée d'un composant et par extension de tout le système qu'il est censé protéger.

Toujours dans le cadre de la thèse de Marianne Diatta, nous avons été ainsi amenés à proposer une approche originale pour traiter du problème de la robustesse à des décharges ESD répétées, en rupture avec les approches précédentes consistant à appliquer une seule décharge à un dispositif pour en caractériser la robustesse. Nous avons ainsi étendu les études aux effets de la répétition de ces stress au cours du temps. Cette approche est évidemment plus complexe mais aussi plus représentative de la réalité et de ce que peuvent effectivement subir des composants, par exemple, dans un téléphone portable.

Nous avons dénommé cette approche "endurance ESD" par opposition à la classique "robustesse ESD". Elle constitue une méthodologie complète de caractérisation de l'endurance accompagnée de ses fondements mathématiques (ou plus précisément statistiques) [35, 36]. Cette approche a également fait l'objet, fin 2011, d'une présentation aux membres du comité de standardisation (HMM) Device Testing "WG5.6" de l'ESD Association.

L'étude de l'endurance ESD s'inspire directement de l'analyse de durée de vie et utilise la distribution de Weibull. Un échantillon de 40 composants est testé en stress répétitif à un niveau de décharge choisi à 80% du niveau de robustesse moyen en mono-coup. Pour chaque composant, une série de 50 stress ESD est appliqué. Si la fuite du composant n'évolue pas, une nouvelle série de 50 stress est appliqué, sinon le test est arrêté et le composant considéré défaillant. Au-delà de 3000 stress, le test est suspendu même si le composant n'est pas dégradé. Une loi de Weibull est ensuite ajustée par la méthode du maximum de vraisemblance sur les données du nombre de stress supporté par les 40 composants testés. Afin d'obtenir un ajustement correct, une loi de Weibull à deux populations a dû être utilisée en

pratique et traduit le fait que deux modes de défaillance sont sans doute présents.

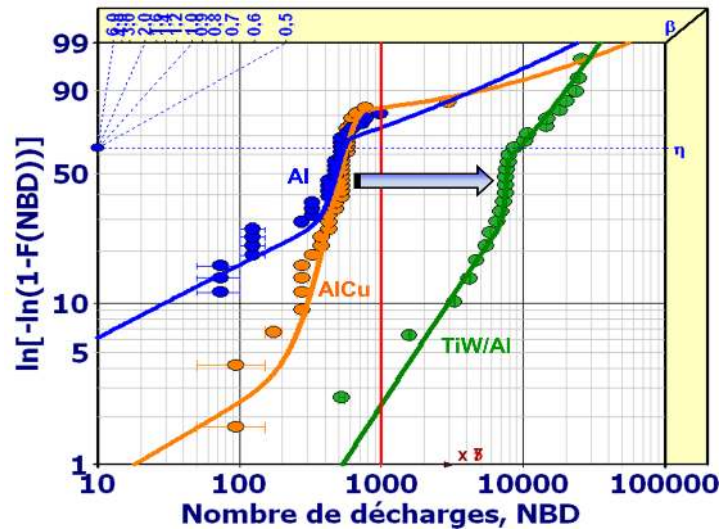


FIGURE 3.1 – Densité de probabilité cumulée en fonction du nombre de décharges ESD avant défaillance pour des diodes de protection dont le contact est en Al, AlCu ou TiW/Al.

L'analyse de trois options technologiques présentant des types de métallisation de contact différents a ainsi été réalisée. L'analyse statistique d'endurance est présentée dans la Figure 3.1. Ce résultat démontre la supériorité de l'option TiW/Al de métallisation des contacts sur les deux autres options sans couche de barrière. En effet, cette option permet de répondre à la spécification d'un composant supportant plus de 1000 coups avec seulement 2% de composants défectueux, alors que pour les deux autres options 80% des composants auront défectués dans les mêmes conditions. Les détails complets de ces analyses sont disponibles dans l'article en Appendice F.

3.2 MÉTHODOLOGIES DE CONCEPTION D'UNE PROTECTION POUR LES TECHNOLOGIES FINFET

Nous avons vu au chapitre précédent que la robustesse d'un composant finFET dépend de ses paramètres géométriques et que le nombre de ces paramètres est plus important dans cette technologie tridimensionnelle en comparaison avec une technologie planaire.

Trouver la géométrie idéale du composant de protection pour des conditions données n'est donc pas trivial. En effet, les paramètres de conception ESD It_2 , V_h , R_{on} , le courant de fuite de la structure et sa capacité parasite sont fonctions de la largeur des fins, de la longueur de grille et dépendent globalement des options technologiques choisies.

Il est donc nécessaire de trouver une méthodologie permettant de déterminer les dimensions idéales du composant qui permet d'at-

teindre les performances recherchées et de minimiser la taille globale de la protection. Une telle méthodologie a été proposée et est décrite dans l'article en [Appendice G \[37\]](#). Cette méthodologie a également fait l'objet d'un brevet [38].

Enfin, dans la technologie FinFET SOI, la diode naturellement disponible en technologie bulk et qui permet d'assurer la conduction d'une décharge de VSS vers VDD ([Figure 1.2](#)) est totalement absente puisqu'il n'y a aucun contact substrat. Il est pourtant indispensable d'offrir un chemin à ce type de décharges. Une diode supplémentaire doit donc être ajoutée et va augmenter d'autant la surface du circuit de protection qui va déjà occuper plus d'espace qu'en technologie bulk. Afin de pallier ce problème, nous avons proposé une solution astucieuse permettant de déclencher la structure de protection centrale (P_C) lors d'un stress VSS vers VDD et ainsi de rendre cette protection bidirectionnelle [39]. Cette solution a également fait l'objet d'une demande de brevet [40].

3.3 OPTIMISATION D'UNE STRUCTURE MOS-IGBT-SCR

La miniaturisation ainsi que les nouvelles applications de l'électronique, comme l'intégration mécatronique au plus près des moteurs dans l'automobile, requièrent un fonctionnement à haute température des composants. Pour répondre à cette contrainte de la haute température, la technologie silicium sur isolant (SOI) permet d'étendre la gamme de températures de fonctionnement tout en limitant les niveaux de fuite des composants à haute température.

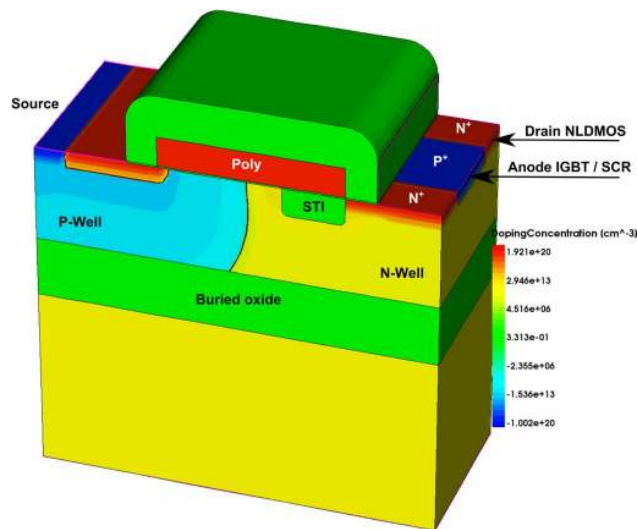


FIGURE 3.2 – "Cellule élémentaire" du composant LDMOS-IGBT avec 50% d'IGBT i. e. ratio $P^+/N^+ = 1$.

Dans le cadre du projet FNRAE COTECH, et de la thèse de de Houssam Harbess[41], nos travaux avaient pour objectif d'améliorer les performances à haute température des composants d'une technolo-

gie SOI (200°C). N'ayant pas la possibilité de modifier les paramètres technologiques de la technologie étudiée, nous avons exploré diverses solutions de conception que ce soit en termes de topologie du composant ou d'architecture de composant.

Notre choix s'est porté sur l'étude d'une structure originale basée sur un NLDMOS auquel sont ajoutées des sections IGBT. Le composant est obtenu en ajoutant dans le NLDMOS des sections de diffusions P^+ en substitution de la diffusion N^+ de drain [Figure 3.2](#). Ainsi, le ratio r_{NP} des sections N^+/P^+ indique que nous avons un IGBT pur pour un ratio de zéro (que du P^+), un composant mi-LDMOS mi-IGBT pour un ratio de un, et un composant aux deux tiers LDMOS pour un ratio de deux.

Nous avons démontré qu'une telle structure possède de nombreux avantages en tant que protection ESD par rapport à la structure de protection standard proposée dans la bibliothèque de composants de la technologie TFSMART 0,8 μ m de Telefunken Semiconductor, que nous avons utilisée pour nos démonstrateurs.

La protection centrale proposée dans la bibliothèque offre, en effet, une protection de 2kV HBM. Mais, selon nos mesures en température, la robustesse de cette dernière diminue de 25% et son R_{on} augmente de plus de 60% à 200°C par rapport à la température ambiante.

La structure NLDMOS-IGBT offre une robustesse plus de deux fois supérieure pour une surface totale divisée par dix. De plus, sa robustesse ne diminue que de 15% à 200°C et son R_{on} varie d'autant moins avec la température que le ratio r_{NP} est proche de zéro ([Figure 3.3](#)).

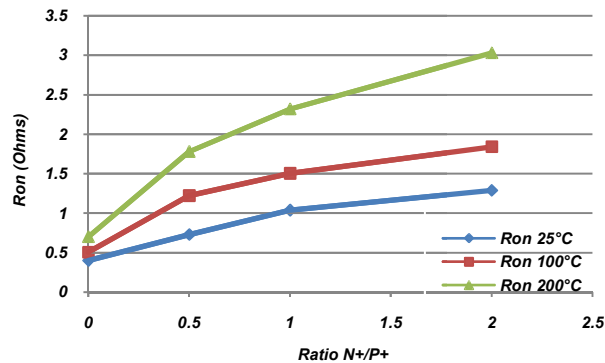


FIGURE 3.3 – .

La principale difficulté tient cependant dans la susceptibilité au latchup d'une telle structure. Par construction, un composant IGBT possède un thyristor parasite ([Figure 3.4](#)) qui, du point de vue de la robustesse aux ESD, va être favorable mais qui peut présenter un trop faible courant de maintien et une importante surtension lors de son déclenchement. Nous avons proposé et évalué plusieurs solutions à ces problèmes. L'ensemble de ces études est disponible dans l'article en [Appendice H](#).

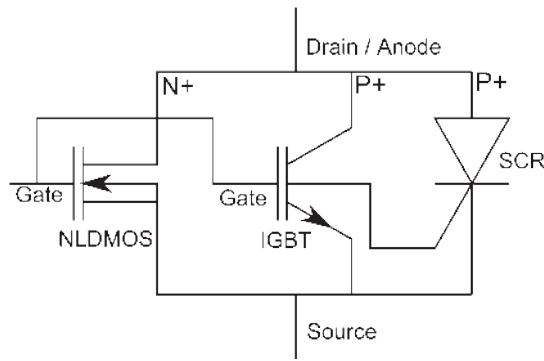


FIGURE 3.4 – Circuit équivalent du LDMOS-IGBT.

3.4 TECHNOLOGIE DÉDIÉE EN ZNO

L’objectif de ces travaux est d’intégrer des varistances dans une technologie microélectronique pour réaliser la fonction de protection ESD (voire EOS), afin de répondre, à bas coût, à l’indispensable besoin de protection d’une application dans son environnement d’utilisation.

Le défi technologique est d’obtenir un procédé compatible avec une intégration en fin de chaîne de production sur toutes sortes de technologies. Ce procédé doit donc être suffisamment générique pour répondre aux besoins et être adaptable à un grand nombre d’applications. Ceci implique de développer un procédé technologique à "basse" température de 300°C maximum, alors que l’état de l’art de la fabrication des varistances met en jeu des procédés au cours desquels la température est de l’ordre de 1200°C pendant plusieurs heures.

La structure d’une varistance standard est présentée sur la Figure 3.5. Elle est composée de grains de ZnO conducteurs dont les interfaces inter-granulaires se comportent individuellement comme des diodes têtes bêtes. Le milieu inter-granulaire est généralement composé d’oxyde de bismuth Bi_2O_3 . La tension de déclenchement de la varistance est donc proportionnelle au nombre moyen de grains qui sont présents entre les électrodes de contact placées sur les deux faces de la structure.

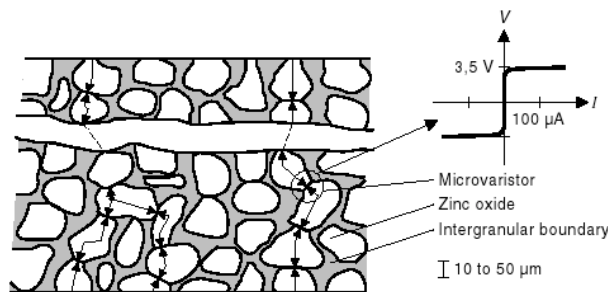


FIGURE 3.5 – .

L'idée directrice et originale de ces recherches est de préparer des nano-particules d'oxyde de zinc (Z_nO) dont la composition chimique interne et en surface est identique à celle, assez bien connue, des grains constitutifs des varistances Z_nO fabriquées de façon standard par frittage à haute température d'un mélange de poudres des divers composants du matériau final.

La formation de la varistance intégrée revient à organiser ces particules entre des électrodes conductrices avec une bonne cohésion entre particules¹.

Nos premiers travaux sur le sujet ont débuté dans le cadre de la thèse de Léna Saint Macary [42] au travers d'une collaboration entre le LGC et le LAAS dans le cadre du laboratoire commun LISPA entre Freescale Semiconducteur et le CNRS. Des nanoparticules de Z_nO ont été synthétisées chimiquement au LGC par une approche organométallique et associées par co-décomposition à du bismuth. Les poudres ainsi préparées ont été densifiées par la technique du frittage plasma (SPS). Après métallisation des deux faces des pastilles frittées, les caractérisations électriques ont confirmé un comportement de varistance avec toutefois un très faible coefficient de non linéarité α (défini comme la pente de la courbe $\log_{10} I = \alpha \log_{10} V + \log_{10} K$). Ces travaux ont fait l'objet d'un article [43].

La seconde partie de ces travaux n'a, pour le moment, pas fait l'objet de publication. Nous allons donc les présenter de façon plus détaillée ici.

La faisabilité du dépôt des nanoparticules de Z_nO par la technique jet d'encre disponible au LAAS, a tout d'abord été démontrée (Figure 3.5). Ceci est une étape importante des travaux qui va permettre de contrôler la position et l'épaisseur des couches actives des varistances intégrées.

Une voie de synthèse et de préparation des nanoparticules de Z_nO , avant leur intégration sur silicium, a été poursuivie grâce à deux nouvelles collaborations. Les nanoparticules de Z_nO sont préparées par la technique de pyrolyse d'aérosol étudiée au Centre d'Elaboration de Matériaux et d'Etude Structurale (CEMES). Nous avons démontré ensemble que cette technique permet également de doper les nanoparticules à l'aluminium au cours de la synthèse et que ce dopage permet effectivement d'obtenir une réduction de la résistance électrique du matériau. Toutefois, ceci a été démontré sur les nanoparticules de Z_nO "pures", qui ne présentent donc pas l'effet de varistance de par l'absence d'oxyde de bismuth.

Pour pallier ce défaut, une seconde technique étudiée au Laboratoire de Génie Chimique (LGC) a été évaluée : le dépôt chimique en phase vapeur en lit fluidisé (Fluidized Bed Chemical Vapor Deposition

1. Il existe plusieurs matériaux avec lesquels nous pourrions réaliser des varistances comme le SnO_2 ou le silicium qui sont également compatibles avec le concept de base. Le Z_nO a été retenu, car il est le plus connu et le plus étudié pour faire des varistances à l'heure actuelle.

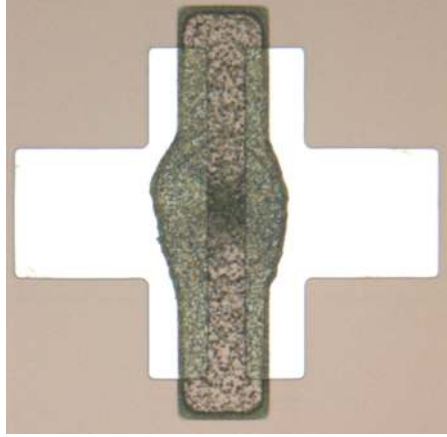


FIGURE 3.6 – Image au microscope optique d’une varistance intégrée sur substrat silicium isolé. Électrodes $250\mu\text{m}$ de large. Les nanoparticules de ZnO ont été déposées par jet d’encre.

(FBCVD)). Cette technique a permis d’enrober les nanoparticules de ZnO d’une fine couche d’oxyde de bismuth. Le bien fondé de cette approche a été démontré par l’obtention, à partir de ces nanoparticules, de varistances que j’ai préparées au moyen de la technique classique de frittage (1200°C - 2 heures) ; puis, dans un second temps, par l’obtention de varistances intégrées sur silicium par jet d’encre à une température de 800°C . Ceci reste toutefois une température élevée par rapport à nos objectifs initiaux. Les composants testés présentent également des niveaux de courant de fuite encore trop élevés de l’ordre de $50\mu\text{A}$ à 40V pour le composant dont la caractéristique TLP est présentée en Figure 3.7.

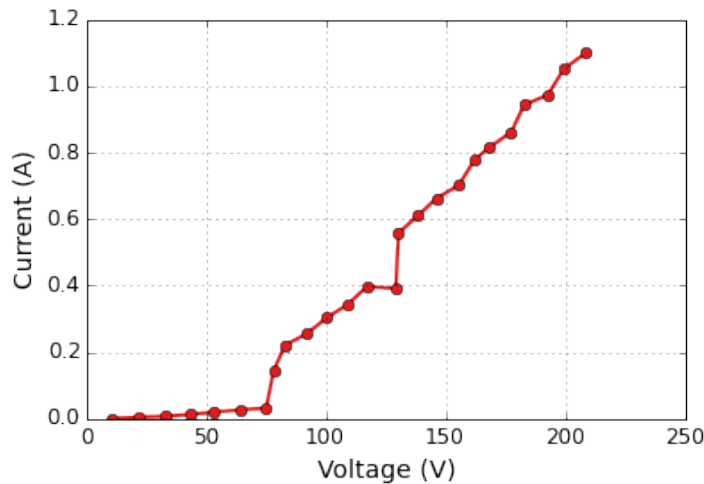


FIGURE 3.7 – Caractéristique TLP de la première varistance intégrée. Composant de $250\mu\text{m}$ de large soit une robustesse supérieure à $4\text{mA}/\mu\text{m}$ et $0.4\text{mA}/\mu\text{m}^3$ ce qui correspond à une densité de courant maximale supérieure à $400 \times 10^3 \text{A}/\text{cm}^2$.

Même si une technologie d'intégration de varistance, à base de $Z_{n}O$ et à bas coup, a été démontrée, les résultats électriques ne sont pas, à l'heure actuelle, à la hauteur des espérances qui pourraient convaincre facilement un partenaire industriel.

Toutefois, des améliorations sont envisageables du point de vue de la préparation des nanoparticules et de leur mise en œuvre. La densité des nanoparticules déposées à la surface du substrat est, en effet, trop faible pour permettre à un courant important de la traverser. Un travail sur la technique de jet d'encre utilisée devrait permettre d'avancer sur cet aspect. D'autres méthodes d'assemblage pourraient aussi être mises en œuvre comme l'assemblage convectif-capillaire [44].

L'instrumentation pour l'étude des composants soumis aux décharges électrostatiques est un aspect très important et particulièrement difficile. En effet, les conditions de fonctionnement des composants de protection sont très éloignées de celle des composants standards (même de ceux de puissance). Dans les composants, les densités de courant sont très importantes, jusqu'à quelques $10^6 A/cm^2$, mais la durée de stress très courte, d'une dizaine de nanosecondes, leur permet de survivre à ces conditions s'ils sont conçus correctement.

Pour mesurer les caractéristiques électriques d'un composant ou d'un système lors d'une décharge, l'instrumentation est donc très spécifique. La puissance des impulsions envoyées sur les composants atteint typiquement quelques kilowatts et jusqu'à une centaine de kilowatts. Ces niveaux de puissance correspondent à des tensions et intensités des impulsions électriques de l'ordre du millier de volts et de la dizaine d'ampères. De plus, les temps de montée sont de l'ordre de la centaine de picosecondes ce qui demande une bande passante des appareils de mesure de plusieurs gigahertz. Aucun appareil de mesure standard ne permet de telles mesures qui associent à la fois une très large bande passante, de hautes tensions et de forts courants. Il est donc indispensable de développer des bancs spécifiques afin d'accéder à de nouvelles informations sur le fonctionnement des composants.

Mes travaux qui ont porté sur la possibilité d'accéder avec précision à la réponse temporelle des composants à partir d'un banc de caractérisation TLP et sur un logiciel de traitement des données TLP, sont résumés dans les deux premières sections. L'utilisation d'un générateur HBM pour obtenir des informations similaires au TLP ainsi que son utilisation pour la caractérisation de composants MEMS sont ensuite présentés dans les deux sections suivantes. La dernière section traite de l'utilisation du bruit basse fréquence pour la détection de défaut.

4.1 TRANSIENT TLP

La caractérisation TLP, comme décrite dans la [sous-section 1.2.7](#), permet d'obtenir une courbe courant-tension quasi-statique au moyen d'impulsions très courtes de 1 à 100 ns. Cette méthode permet ainsi de confirmer que le composant testé va assurer une protection effective en vérifiant si sa caractéristique entre bien dans la fenêtre de conception voulue.

Cependant, avant d'atteindre un régime de fonctionnement quasi-statique un composant peut générer de façon transitoire des surtensions lors de sa mise en fonctionnement. Cette surtension peut conduire à la casse du composant à protéger, ou provoquer le déclenchement d'un autre chemin de décharge. Obtenir la réponse électrique transitoire du composant de protection est donc une information utile pour comprendre ces mécanismes de défaillance et les prévenir.

Mes premiers travaux sur le sujet en 2005 [45, 46] ont permis de mettre en évidence que les surtensions observées lors des mesures sont en partie dues au système de mesure lui-même et que la réponse transitoire d'un composant peut être reconstruite à partir des formes d'ondes de courant et de tension en corrigeant la contribution inductive des connexions aux pointes de test. Les détails de ces travaux est disponible en [Appendice I](#).

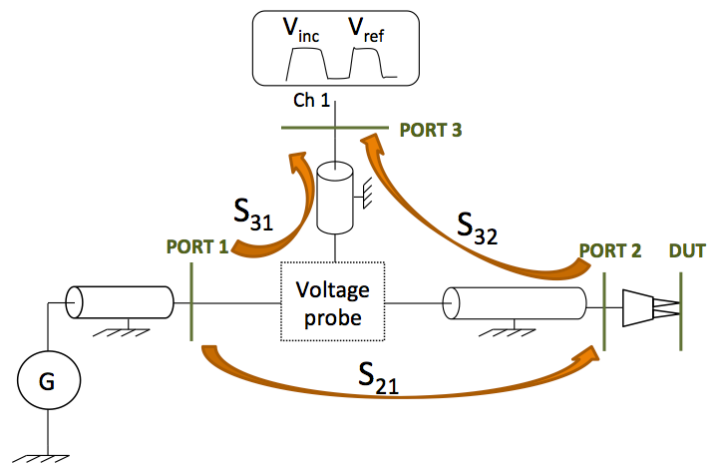


FIGURE 4.1 – Représentation schématique d'un banc de mesure TLP avec les différents chemins empruntés par les signaux, modélisables par leurs paramètres-S.

Une méthode plus performante qui prend également en compte les déformations du signal créées par les câbles et les sondes de tension a été étudiée dans le cadre de la thèse d'Antoine Delmas [47]. Cette méthode requiert cependant l'utilisation d'outils de caractérisation RF afin d'obtenir les paramètres-S des différents chemins empruntés par les signaux dans le système de mesure TLP ([Figure 4.1](#)) [48].

Nous avons enfin proposé une méthode "Transient-TLP" (T-TLP) qui permet d'obtenir à la fois les paramètres-S des chemins et de synchroniser les signaux, sans nécessiter l'utilisation de bancs de mesures RF. Cette méthode astucieuse permet en effet d'étalonner le banc TLP en deux étapes au seul moyen de l'oscilloscope du testeur. Cette méthode comme la précédente, permet d'obtenir la caractéristique temporelle d'un composant lors d'une impulsion à partir d'un traitement numérique des signaux de mesures en utilisant les paramètres obtenus pendant l'étalonnage. Cette méthode est décrite dans l'article

en [Appendice J \[49\]](#) et fut présentée à l'EOS/ESD Symposium en septembre 2013.

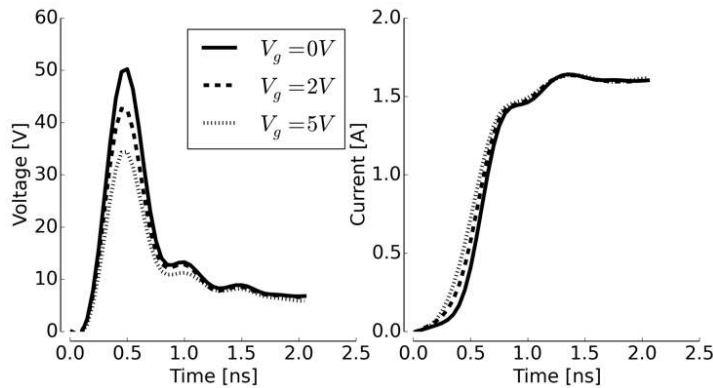


FIGURE 4.2 – Réponse temporelle en tension et en courant de drain, du composant MOS-IGBT décrit dans la [section 3.3](#) pour différentes tensions appliquées sur sa grille.

Le résultat de ce type de caractérisation est présenté dans la [Figure 4.2](#), où la surtension au déclenchement du composant MOS-IGBT présenté dans la [section 3.3](#) est caractérisée en fonction de la tension de grille appliquée sur le composant.

4.2 LOGICIEL DE TRAITEMENT DES DONNÉES TLP

J'ai développé un logiciel de traitement des données issues des testeurs ESD. L'originalité de ce projet, débuté lors de mes travaux au laboratoire IMEC (Belgique), réside dans l'implémentation d'algorithmes permettant de nettoyer les mesures d'artefacts bien identifiés et d'extraire des données pertinentes pour l'interprétation des résultats et leur visualisation.

Cette activité sur le logiciel a été consolidée par l'animation d'un groupe de travail international dans le cadre du workshop IEW de l'ESDA¹, autour de logiciels libres (Satellite[50] / Thunderstorm[51], dont je suis le principal auteur) permettant l'analyse et la visualisation de données typiques issues des bancs de caractérisation TLP.

Le premier objectif consistait à motiver la contribution des principaux fabricants de bancs de caractérisation TLP. Tous ont contribué par l'intégration dans le logiciel de code permettant l'importation des données issues de leurs testeurs (HANWA, HPPI, ORYX, SERMA, LAAS).

Un objectif plus fondamental de ce projet de logiciel libre et de pouvoir valoriser concrètement et rapidement les retombées des travaux menés sur le traitement des données. En effet, la publication au travers

1. L'ESDA (EOS/ESD Association) est une association professionnelle internationale basée au États-Unis qui regroupe plus de 2000 membres autour de la problématique des décharges électrostatiques <https://www.esda.org/>

de revues de ce type de résultat a, selon moi, une portée assez limitée. L'idée ici est d'associer aux publications une implémentation et une démonstration pratique au travers du logiciel.

La dernière version du logiciel en version exécutable avait dépassé la centaine de téléchargements (le site de téléchargement est aujourd'hui clos). Cependant, ces travaux sont aujourd'hui en dormance, mais les modules d'importations des données de divers testeurs sont toujours intégrés dans le logiciel des testeurs TLP HPPI à ce jour. Les code sources sont toujours disponibles sur le site du projet².

4.3 HBM INSTRUMENTÉ

Les testeurs de décharges HBM sont des équipements permettant de qualifier la robustesse d'un composant en vérifiant qu'il reste bien dans ses spécifications après avoir subi toutes les configurations de stress à un niveau de décharge donné (typiquement 1 kV aujourd'hui). Ce test est donc un simple Go-noGo qui ne donne donc aucune information sur le comportement électrique du composant lors du stress.

Pourtant, la décharge HBM est plus représentative d'une décharge "réelle" qu'une impulsion TLP, le modèle HBM étant constitué à partir de l'observation de phénomènes naturels contrairement au TLP. Il serait donc intéressant de pouvoir caractériser le comportement d'un composant au cours de ce type de décharges qui est plus proche de la réalité.

Au travers d'une collaboration entre la société HANWA au Japon et l'IMEC, initiée lors de mon post-doctorat, nous avons étudié l'instrumentation de ce type de testeur afin de pouvoir mesurer courant et tension aux bornes du composant testé, lors d'une décharge (Figure 4.3).

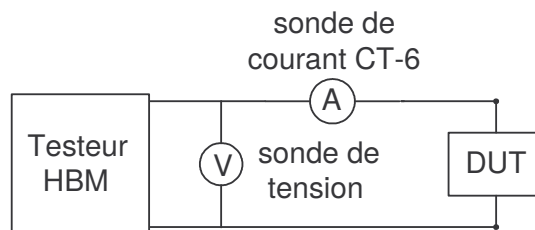


FIGURE 4.3 – Synoptique du banc HBM instrumenté.

Les travaux menés ont permis de proposer différentes techniques afin de corriger la mesure de courant qui est déformée par la bande passante des sondes utilisées. Des méthodes d'étalonnage du banc permettent également de corriger les formes d'ondes vis-à-vis des surtensions parasites ajoutées par les fils de connexion du système. Plusieurs brevets[52-54] et publications[55, 56] sont issues de ces études.

2. <https://github.com/ESDAnalysisTools>

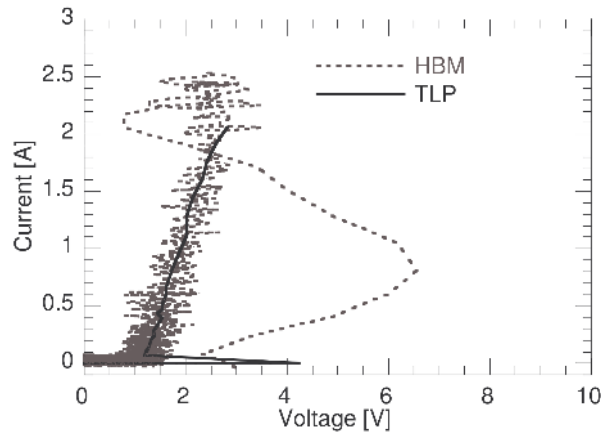


FIGURE 4.4 – Caractéristique TLP et caractéristique IV-HBM.

Nous avons pu démontrer que les mesures HBM instrumentées permettaient d’obtenir à la fois une caractéristique électrique équivalente à celle TLP et des informations sur les éventuelles surtensions au déclenchement. Ces informations sont toutefois moins précises que celles d’un banc TLP mais sont obtenues beaucoup plus rapidement avec une seule impulsion HBM (Figure 4.4). L’article qui traite de ces aspects est en [Appendice K](#) [55].

L’utilisation du testeur HBM instrumenté permet également de caractériser la façon dont un composant de protection va retrouver son état bloqué à la fin de la décharge [57]. Ceci n’est pas envisageable avec un testeur TLP. Nous avons également utilisé cette spécificité afin de mesurer le courant de maintien d’une structure de protection (Figure 4.5).

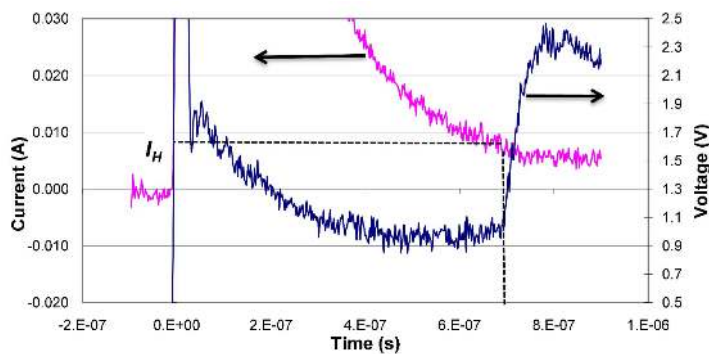


FIGURE 4.5 – Mesure du courant de maintien I_h d’un composant MOS-IGBT au moyen du banc HBM instrumenté.

4.4 HBM POUR LE TEST ACCÉLÉRÉ DE MEMS

Les MEMS (MicroElectroMechanical Systems en anglais) radio-fréquence ont été développés afin de réaliser des interrupteurs de

signaux beaucoup plus performants que les solutions utilisant des diodes PIN ou des transistors.

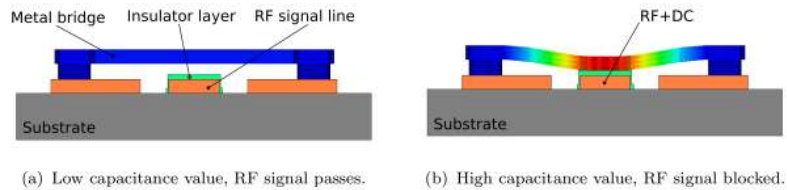


FIGURE 4.6 – Principe de fonctionnement du MEMS RF étudié.

Le principe de fonctionnement du MEMS-RF capacitif étudié est illustré sur la [Figure 4.6](#). Le MEMS est constitué d'un pont métallique mobile placé au-dessus d'un guide d'onde coplanaire. L'actionnement du pont peut être effectué en appliquant une tension de 30 V entre le pont et le guide d'onde. Ce dernier est recouvert d'un diélectrique afin d'assurer son isolation avec le pont lorsqu'il est en position basse.

Lorsque le pont est en position haute la capacité entre le pont et le guide d'onde est faible ($<0,1\text{pF}$) et ne perturbe pas le passage du signal dans le guide d'onde. Au contraire, quand le pont est en position basse la capacité augmente ($>0,3\text{pF}$) et est suffisante pour bloquer le passage du signal radio-fréquence. Le temps de déplacement mécanique du pont est de quelques dizaines de microsecondes.

Dans le cadre de la thèse de Jason Ruan [58], nous avons pu étudier la robustesse ESD de ce type de composant. Il s'est rapidement avéré que les méthodes de caractérisation ESD semblaient également être adaptées pour caractériser la fiabilité de la couche isolante déposée sur le guide d'onde afin de l'isoler électriquement du pont mobile. Ces travaux ont fait l'objet de plusieurs publications dans des revues et des conférences [59–65].

Ces composants sont extrêmement sensibles aux stress ESD avec des robustesses de l'ordre de quelques centaines de volts en HBM. En effet, ils sont parfaitement isolants et, sans protection additionnelle, le courant de décharge va se propager en créant un arc électrique entre le pont et le guide d'onde.

Le test TLP nous indique que le seuil en tension pour la formation d'un arc est compris entre 350 et 400 V pour les composants étudiés. Bien que la tension d'activation du pont soit largement dépassée, le pont reste immobile pendant l'impulsion TLP. En effet sa durée de 100 ns est très inférieure aux 20 à 30 μs nécessaires au déplacement mécanique du pont de sa position haute à sa position basse.

Le même comportement est observé pour des stress HBM supérieur à 400 V. En revanche, pour des tensions HBM inférieures, aucun arc ne pouvant être créé, si la tension HBM est supérieure à la tension d'activation du pont, elle va induire son déplacement. En effet, le testeur HBM est essentiellement constitué d'une capacité de 100 pF

chargé à la tension HBM et connecté avec le composant testé par une résistance de 1500Ω .

Pendant le mouvement du pont, si la tension HBM est relativement élevée un arc électrique pourra éventuellement se former lors de sa descente. Cependant, plus la tension HBM est faible et plus le courant de décharge sera limité, e. g. pour 100 V le courant sera de $100V/1500\Omega = 66mA$ pic pour une durée totale de décharge de l'ordre de $500\mu s$. Les dégâts engendrés sur la structure seront d'autant plus limités.

Enfin, pour une tension HBM inférieure à la tension de rupture de l'oxyde d'isolation, il n'y aura pas de décharge. En revanche, l'oxyde pourra subir un vieillissement accéléré. Remarquons également que si la courant de fuite au travers de l'oxyde est important, la capacité HBM va se décharger et la polarisation ne sera donc pas maintenue.

C'est ce dernier mode d'opération qui a retenu notre attention afin de proposer un banc de test de vieillissement accéléré du MEMS. Nous avons ainsi réalisé un circuit reprenant le schéma d'un testeur HBM auquel sont ajoutés des éléments permettant de passer du mode stress HBM au mode de suivi du vieillissement qui est assuré par une mesure de capacité.

Nous avons pu montrer que la méthode de test accélérée ainsi obtenue permet d'obtenir des informations équivalentes au test en cyclage en fonctionnement mais d'une manière beaucoup plus rapide. Les détails sur ces résultats sont disponibles dans l'article en [Appendice L](#).

4.5 UTILISATION DES MESURES DE BRUIT BASSE FRÉQUENCE

La détection électrique des défaillances est le plus souvent assurée par l'identification d'une augmentation du courant de fuite de la structure testée. Cependant le courant additionnel engendré par un défaut peut éventuellement rester noyé dans le niveau global des fuites.

Au cours des travaux de thèse de Nicolas Guitard [66] nous avons pu démontrer que la caractérisation du bruit basse fréquence pouvait être un indicateur plus sensible que le courant de fuite pour détecter la présence d'un défaut. Cette démonstration remarquable a fait l'objet d'une publication qui est reproduite en [Appendice M](#) [67].

Cette technique est toutefois trop lourde pour être intégrée comme indicateur de défaillance lors de stress HBM ou TLP. Cependant, elle pourrait être utilisée a posteriori afin de détecter la présence d'éventuel défaut latent. Elle pourrait également être mise en œuvre pour la sélection de composants afin de s'assurer qu'ils ne présentent pas de défauts qui auraient échappé à la détection par les caractérisations par courants de fuite.

L'étude de la robustesse des systèmes électroniques, en particulier embarqués, émerge comme un souci majeur pour les applications. D'une part, la robustesse intrinsèque des micro et nanotechnologies ne cessent de décroître et d'autre part l'immunité des systèmes embarqués aux ESD doit être de plus en plus grande, d'autant plus que ces systèmes servent au suivi de la santé ou à la sécurité des personnes ou d'infrastructures. Rendre chaque composant élémentaire d'un système électronique robuste aux ESD n'est pas une solution, car le niveau d'exposition potentiel de chaque composant dépend de leur localisation dans le système e. g. connectés aux ports d'entrées-sorties ou pas. L'environnement dans lequel le système est utilisé va également définir le niveau de robustesse nécessaire.

Ce type d'étude ne constitue pas le cœur de mes propres travaux. Je souhaite cependant les présenter et les référencer brièvement dans ce chapitre afin de ne pas occulter ces aspect important de l'étude des protections contre les décharges électrostatiques auxquels j'ai pu contribuer.

La première section aborde la problématique de la protection des circuits radio-fréquence. La seconde section traite plus généralement de la protection des systèmes.

5.1 PROTECTION DES CIRCUITS RF

Les circuits radio-fréquence constituent l'un des plus grands défis pour la protection contre les ESD. En effet, les capacités rapportées par les protections en entrée ou en sortie des lignes de signaux doivent être limitées afin de ne pas perturber la propagation.

Mes travaux de post-doctorat à l'IMEC m'ont amené à contribuer à des études de solutions de protection des circuits RF réalisées en technologie MOS silicium. La réduction des dimensions dans ces technologies permet la réalisation de transistors pouvant fonctionner à des fréquences de plusieurs gigahertz, rendant ainsi possible la conception de circuits RF intégrés sur silicium. J'ai pu apporter mes connaissances des technologies et des composants de protection et travailler avec des concepteurs de circuit RF afin de proposer de nouvelles solutions. Ces travaux sont essentiellement présentés dans la thèse de Steven Thijs [16] et ont fait l'objet de différentes publications[68–70].

En fonction de la bande de fréquences visée par l'application, large ou étroite, et de la fréquence centrale, différentes techniques de protection peuvent être mises en œuvre.

À relativement basse fréquence une protection classique constituée de deux diodes de protection reste envisageable.

Si la capacité ajoutée par ces protections est trop importante, la co-conception du circuit RF en prenant en compte ces capacités additionnelles peut permettre d'obtenir un circuit fonctionnel et robuste.

Pour les très hautes fréquences (>5 Ghz) il est possible d'utiliser une simple inductance connectée entre le signal et la masse. À la fréquence du signal l'inductance se comporte comme un circuit ouvert, alors qu'elle agira comme un court-circuit pour une décharge électrostatique.

Dans tous les autres cas, des solutions basées sur des transformateurs (deux inductances couplées) permettent d'obtenir de bons niveaux de protection ESD. Une telle méthodologie de protection pour les circuits à large-bande passante est présenté dans l'article en [Appendice N \[70\]](#).

5.2 PROTECTION DES SYSTÈMES

Étudier et comprendre la propagation des décharges électrostatiques dans un système est l'une des clefs pour pouvoir en renforcer la robustesse. Un modèle global du système est nécessaire pour comprendre le comportement à la fois des protections intégrées dans les composants et celles ajoutées sur le système. Ceci permet de prévenir des interactions défavorables et, au-delà, proposer des solutions plus performantes par la co-conception des différents niveaux de protections (au niveau du composant et au niveau du système).

Dans ce cadre, j'ai participé aux travaux de la thèse de Nicolas Monnereau [71] qui a étudié et construit des modèles de systèmes afin de traiter à la fois des problèmes de robustesse aux ESD et des problèmes d'immunité aux interférences électromagnétiques (EMI). Ma principale contribution réside dans la modélisation des protections ESD, ce qui a permis au doctorant de rapidement mettre en place un outil à l'état de l'art. J'ai également pu le guider pour arriver à une méthodologie efficace afin de comparer les résultats de simulations et les résultats expérimentaux. En effet, la mesure pendant une décharge n'étant pas triviale, il est important de bien la modéliser et d'en connaître les limitations.

Ces travaux ont été essentiellement réalisés dans le cadre de l'ANR VTT E-SAFE, (Système Electronique Automobile Robuste aux ESD (VTT 2009-2012)) en collaboration avec les sociétés Freescale Toulouse, Valeo Paris et l'équipe ESD du LAAS. Ces travaux ont donné lieu à de multiples publications [72–78] dont l'une est reproduite en [Appendice O](#).

Deuxième partie

PROJET SCIENTIFIQUE

Aujourd'hui, après une vingtaine d'années d'études, le domaine de la robustesse aux décharges électrostatiques (ESD) est bien maîtrisé par les industriels. Il est même envisageable de mettre en œuvre des outils informatiques d'apprentissage automatique afin d'optimiser les solutions de protection ESD. Ceci constitue l'une de mes perspectives de recherche. Mes travaux s'orientent également vers l'étude de la robustesse et de la fiabilité des composants de puissance basés sur des matériaux à grand-gap (GaN, SiC, Diamant). Ces composants présentent des mécanismes de dégradation parfois différents du matériau silicium, de par la spécificité de leurs propriétés physiques et des composants mis en œuvre. Certains phénomènes restent à étudier afin de pouvoir optimiser la robustesse de ces composants. Enfin, ces interrupteurs offrent de très grandes vitesses de commutation qui rendent leur caractérisation plus difficile (montée en fréquence). Les connaissances techniques issues de la caractérisation ESD peuvent être mises à profit pour relever ce défi.

VERS L'UTILISATION DE L'APPRENTISSAGE AUTOMATIQUE POUR L'OPTIMISATION DES PROTECTIONS

La protection contre les décharges électrostatiques des micro et nanotechnologies ainsi que des systèmes électroniques est aujourd'hui, après plus de vingt années d'études sur le sujet, un domaine mature. Les connaissances accumulées ont permis d'identifier les mécanismes de défaillance et de sans cesse comprendre et repousser les limites des niveaux de robustesse des technologies. Il en est de même du point de vue des systèmes. Même si les efforts requis pour offrir des technologies et des systèmes robustes aux ESD restent importants, le socle des connaissances de base disponibles aujourd'hui est conséquent. Des outils de caractérisation adaptés et performants sont également disponibles et assez répandus au niveau académique et industriel.

En s'appuyant sur les connaissances et outils disponibles, il semble aujourd'hui envisageable de proposer de nouvelles solutions pour appréhender *la complexité* que représente l'obtention d'une solution de protection optimale dans une technologie donnée.

6.1 COMPLEXITÉ DE L'OPTIMISATION D'UN COMPOSANT DE PROTECTION

Cette complexité est liée d'une part au grand nombre de paramètres ajustables en entrée (*paramètres d'entrée*) pour d'obtenir la solution optimale. Ces paramètres sont à la fois des paramètres géométriques et technologiques (longueur de grille, largeur totale du composant, utilisation de plusieurs doigts, distance entre contact et bord de grille, dopages, profondeurs de jonctions, nombre de contacts utilisés...).

Cette complexité est liée, d'autre part, au grand nombre de *paramètres de sortie* à optimiser comme le courant de fuite, la capacité parasite les paramètres TLP ($Vt_1, It_1, V_h, I_h, Vt_2, It_2, R_{on}$)...

Cet aspect de complexité peut, par exemple, être illustré par les travaux présentés au [chapitre 3](#) dans la [section 3.2](#) où nous avons vu qu'une méthodologie spécifique est requise pour arriver à une solution optimale avec les technologies finFET. L'optimisation du composant MOS-IGBT dans la [section 3.3](#) en est un autre exemple.

Trouver une solution optimale de protection est donc une tâche complexe et difficile à appréhender de façon globale. Des méthodologies spécifiques à chaque cas de figures peuvent éventuellement être proposées comme pour la technologie finFET. Mais peut-on imaginer des méthodes plus génériques pour aider les concepteurs ?

6.2 L'APPORT POSSIBLE DE LA SCIENCE DES DONNÉES ET DE L'APPRENTISSAGE AUTOMATIQUE

La science des données [79] est aujourd'hui au centre de nombreux progrès qui sont rendus possibles par les capacités de stockage et de calcul de l'informatique moderne.

La communauté scientifique traitant de cette science est très ouverte et doit en partie son succès actuel au fait que les outils qu'elle développe sont souvent disponibles librement. Certains sont regroupés dans des bibliothèques logicielles comme scikit-learn [80], supportée par l'INRIA, qui proposent des algorithmes d'*apprentissage automatique* (ou *machine learning* en anglais).

D'un point de vue formel, les méthodes d'apprentissage automatique permettent d'obtenir un modèle comportemental à partir d'un ensemble d'observations. Dans notre cas, l'idée est d'appliquer ces méthodes pour chacun des paramètres de sortie à optimiser, à partir de résultats expérimentaux obtenus pour différentes variations de paramètres d'entrée.

6.3 UNE PREMIÈRE EXPÉRIENCE

Dans le cadre des travaux de thèse CIFRE de Mouna Mahane avec STMicroelectronics à Tours, qui sont toujours en cours, nous avons pu aborder pour la première fois la mise en œuvre de technique d'apprentissage et évaluer leur apport dans le contexte de la microélectronique.

Dans ces travaux, l'accent est porté sur l'étude de composants de protection ESD flexibles qui peuvent être adaptés en fonction de l'application considérée. La technologie étudiée est ainsi dédiée à la réalisation de diodes silicium spécifiquement utilisées pour la protection de systèmes électroniques. Ces diodes doivent supporter des décharges électrostatiques de très forte amplitude (jusqu'à 60 ampères pic).

L'utilisation de méthodes d'apprentissage a pour le moment été démontrée à partir de résultats de caractérisations collectés sur des structures de test réalisées et testées systématiquement pour suivre le procédé technologique. Il reste donc à démontrer ces méthodes pour des structures ESD. Cette démonstration va demander une collection plus importante de données de caractérisations ESD, qui restent à réaliser.

6.4 FORMALISATION DU PROBLÈME, DÉFINITION DES CRITÈRES DE QUALITÉ D'UNE PROTECTION

Afin de mieux formaliser la problématique de la protection ESD d'un circuit ou d'un système, je propose de définir les trois caractéris-

tiques essentielles d'un composant de protection vis-à-vis de l'application à protéger : sa robustesse, son efficacité et sa transparence.

- La *robustesse* du composant de protection permet d'évacuer tout le courant de décharge sans qu'il ne se dégrade lui-même. À cet effet, la protection ESD doit pouvoir laisser passer de très forts courants pendant toute la durée de l'impulsion. Une mesure de la robustesse est donc donnée par le paramètre TLP It_2 ou le niveau de robustesse HBM en kilovolts. La tenue à des stress répétitifs, l'endurance ESD, est également couverte par cet aspect de robustesse.
- L'*efficacité* du composant de protection relève de sa capacité à limiter la tension pour éviter tout dommage du circuit à protéger (fenêtre de conception). Idéalement, pour assurer une bonne efficacité, la résistance de la protection doit rester faible au cours d'une décharge. Les paramètres TLP R_{on} , V_h , Vt_1 , la valeur de sa surtension au déclenchement sont autant d'exemples de paramètres relatifs à l'efficacité d'une protection par rapport à une fenêtre de conception donnée. La vitesse de déclenchement de la protection est également à considérer comme un paramètre de son efficacité.
- Enfin, la *transparence* du composant dans le circuit traduit le fait que la protection ne doit pas interférer avec les fonctionnalités du circuit. Le courant de fuite, la valeur de la capacité, le courant et la tension de maintien (V_h , I_h) sont par exemple les paramètres importants du point de vue de la transparence.

Robustesse, efficacité et transparence constituent ainsi les trois critères de base qui devront être optimisés pour obtenir une protection ESD de qualité vis-à-vis d'une application donnée.

La méthode proposée dans cette perspective de recherche vise précisément à traiter de manière globale ces trois critères.

6.5 L'APPROCHE PROPOSÉE

L'approche proposée consiste donc à collecter des résultats de mesures des différents paramètres électriques définissant la qualité d'une protection ESD (voir section précédente), en fonction des paramètres géométriques et technologiques ajustables, pour un composant de protection et une technologie donnée. L'apprentissage automatique sur ces données permet alors d'obtenir un modèle pour chaque paramètre de sortie. Enfin, des algorithmes d'optimisation pourront utiliser ces modèles pour rechercher une solution optimale pour la protection d'un circuit. Ces trois étapes sont détaillées dans les sous-sections suivantes.

6.5.1 *Collection et nettoyage des données*

Les structures de protection à étudier, pourront être définies au moyen de l'expérience acquise dans le domaine des protections ESD. Pour les technologies CMOS des catalogues comme celui proposé par SEMATECH [81, 82] peuvent servir de point de départ. Les outils de plan d'expérience (DOE, design of experiment) pourront alors être mis à profit pour définir un ensemble de variations géométriques et technologiques pour les composants de protection retenus.

Après fabrication, les données de sortie pourront être collectées avec la mise en place d'outils de test automatique sur plaquette de silicium, comme pour la mesure TLP, la mesure de fuite ou de capacité, etc.

Une fois ces données collectées, elles devront faire l'objet d'une analyse statistique afin d'écarter de façon automatique d'éventuels résultats aberrants qui pourraient compromettre le résultat de l'apprentissage automatique.

Il est enfin également envisageable de compléter (ou remplacer) les résultats de caractérisation par des résultats de simulation numérique bi ou tridimensionnelle des variations de paramètres d'entrée sur les structures de test.

6.5.2 *Apprentissage*

Après les avoir collectées et nettoyées, les données vont pouvoir être utilisées pour l'apprentissage automatique. Il s'agira ici de déterminer les méthodes d'apprentissage les plus adaptées, en termes de temps de calcul et de précision, pour obtenir des modèles performants pour les différents paramètres de sortie.

6.5.3 *Optimisation*

Les modèles d'apprentissage obtenus pourront finalement être utilisés pour la recherche d'une solution optimale globale. Des objectifs seront définis pour chaque paramètre de sortie afin de traduire les critères de qualité (robustesse, efficacité et transparence) recherchés pour une application donnée. Des algorithmes génétiques combinés avec des algorithmes de descente de gradient pourraient permettre une recherche globale des solutions qui seraient ensuite affinées localement. Ce type de méthode a été proposé par André Cabarbaye pour des optimisations en sûreté de fonctionnement[83–85].

La simulation bi ou tridimensionnelle des structures optimisées ainsi obtenues pourrait servir d'outil de validation avant leur fabrication.

VERS L'ÉTUDE DES COMPOSANTS GRAND-GAP

Le marché des interrupteurs de puissance est très largement dominé par les composants en silicium. Leurs performances ont aujourd'hui atteint leur maximum envisageable avec ce matériau. Afin de dépasser ces limites, des matériaux dits grand-gap sont aujourd'hui étudiés et suscitent de plus en plus d'intérêt d'un point de vue commercial.

Ces nouveaux matériaux sont principalement le carbure de silicium (SiC) le nitrure de gallium (GaN) et le diamant (C). Leurs propriétés physiques (Figure 7.1) leur donnent divers avantages sur le silicium. Entre autres, leurs plus grands bandgaps leur confèrent des champs de claquage beaucoup plus élevés que celui du silicium et des niveaux de courant de fuite inférieurs qui leur permettent d'être utilisés à de plus hautes températures.

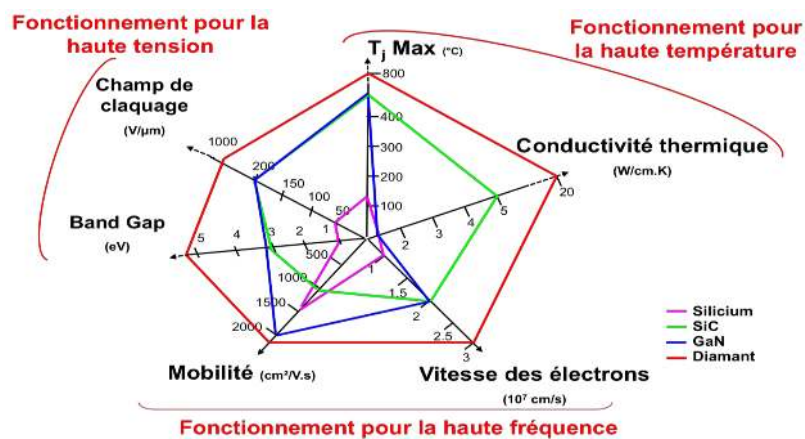


FIGURE 7.1 – Comparaison des propriétés physiques des semi-conducteurs à grand gap et du silicium.

Les composants grand-gap permettent ainsi de fabriquer des interrupteurs de puissance plus performants en termes de compromis entre tenue en tension et résistance à l'état passant. Plus compacts, il est également possible de les utiliser à de plus hautes fréquences de commutation. La taille des convertisseurs de puissance, et en particulier des éléments passifs qui les composent, peut être drastiquement réduite en augmentant leur fréquence de fonctionnement. Ainsi, les composants grand-gap ouvrent le champ à de nouvelles architectures de convertisseur "haute-fréquence" jusqu'alors difficilement réalisables avec des interrupteurs en silicium.

Les composants grand-gap ne possèdent évidemment pas la maturité acquise par les composants en silicium. En particulier l'étude de leur fiabilité reste un domaine peu exploré.

Après une première expérience sur l'étude de la robustesse ESD de composants SiC (section 2.2) et avoir mis en évidence que les propriétés physiques des composants à grand-gap conduisent à l'observation de mécanismes de défaillance qui leur sont spécifiques, je souhaite aujourd'hui centrer mes perspectives sur l'étude de la fiabilité de ces composants en particulier pour les composants de puissance en GaN.

Cette perspective s'inscrit dans un cadre d'une proche collaboration avec la société Exagan, débutée il y a trois ans. Les travaux proposés pourront également s'appuyer sur la plateforme PROOF (Platform of Reliability tOols for Failure analysis dedicated to wide bandgap devices) du LAAS qui est en cours de montage auprès de la région Occitanie avec l'appui financier de plusieurs partenaires régionaux (Thales, Continental, Exagan, IRT St Exupéry...). Cette perspective s'inscrit également dans le cadre de l'équipe ISGE du LAAS qui regroupe des compétences qui vont des technologies des composants de puissance jusqu'aux systèmes de conversion de l'énergie. Soulignons enfin le contexte régional avec la présence de divers industriels utilisateur et fabricant de composants de puissance, la plateforme Primes à Tarbes, le laboratoire LAPLACE, ainsi que les puissants instruments de transferts technologiques que constituent, la SATT TTT, le CEA-Tech ou l'IRT St Exupéry.

7.1 ÉTUDE DE LA FIABILITÉ

Alors que les composants à base de nitrure de gallium (GaN) commencent à pénétrer le marché de l'électronique de puissance en démontrant leur potentialité tant au point de vue de leurs performances que de leur compétitivité économique, cette nouvelle technologie n'est qu'à l'aube de son développement et requiert des efforts importants pour acquérir une maturité comparable à celle du silicium. En effet, le silicium a bénéficié d'un effort d'une cinquantaine d'années de recherche pour atteindre son niveau actuel de maturité et bénéficie encore aujourd'hui d'efforts de développement globalement considérables, bien supérieurs à ceux du GaN.

Parmi les nombreux domaines d'études, la fiabilité est un aspect extrêmement critique pour assurer la viabilité de cette technologie et rendre possible son utilisation pratique à large échelle. De nombreux problèmes de fiabilité affectent actuellement les performances électriques des composants de puissance HEMT en GaN et nécessitent un effort d'analyse et de compréhension. C'est précisément sur ce domaine que je souhaite contribuer dans le cadre de mes recherches.

Parmi les problèmes de fiabilité et robustesse identifiés des HEMTs en GaN, je souhaite, entre autres, aborder l'étude des aspects suivants :

- l'évolution dynamique de la résistance à l'état passant (R_{on} dynamique),
- l'instabilité de la tension de seuil,

- la tenue de la grille aux décharges électrostatiques (ESD),
- le vieillissement accéléré en cas de courts-circuits répétés,
- les dégradations en cas de surtension sur le drain et de sous-tension sur la source.

Différentes retombées de ces études sont attendues qui permettront d'avancer la maturité technologique et guider les standards de caractérisation ainsi que d'identifier des étapes clés de fabrication des composants afin d'optimiser les procédés industriels :

- L'identification de techniques de caractérisation adaptées aux composants de puissance en GaN : validation des techniques utilisées pour les composants de puissance Silicium, adaptation de techniques utilisées pour les composants en silicium (modélisation physico-électrique du composant), création de nouvelles techniques dédiées.
- L'identification et la compréhension physique des modes et mécanismes de défaillance associés à ces composants et potentiellement spécifiques au matériau, avec la mise en place de tests de robustesse évitant la destruction massive des composants HEMT sous test.
- La détermination du caractère intrinsèque ou extrinsèque des phénomènes de dégradation identifiés afin de guider de façon optimale les efforts globaux d'amélioration de la technologie (i.e. matériau et/ou conception).
- La mise en place de nouveaux tests réduisant la durée de qualification des produits.

7.2 CARACTÉRISATION

Les composants à grand-gap, et en particulier les HEMTs GaN, présentent une très grande vitesse de commutation. Ces commutations sont jusqu'à cent fois plus rapides que celles d'un composant en silicium équivalent. Ceci permet de réaliser des convertisseurs qui fonctionnent à plus haute fréquence. Alors qu'un convertisseur classique utilisant des composants en silicium pourra typiquement fonctionner à quelques dizaines de kilohertz, un convertisseur GaN pourra fonctionner à plusieurs mégahertz. La période des signaux passe donc de quelques dizaines de microseconde à quelques centaines de nanosecondes et les temps de commutation de l'ordre de la microseconde à l'ordre de la dizaine de nanosecondes.

Les temps caractéristiques de commutation des composants grand-gap sont similaires à ceux rencontrés lors de décharges électrostatiques. Ces dernières présentent en effet des temps de montée compris entre une centaine de picosecondes et dix nanosecondes. Il est donc envisageable de profiter du savoir-faire en caractérisation ESD pour réaliser la mesure des caractéristiques électriques temporelles de composants à grand-gap.

L'apport des savoir-faire en techniques de caractérisation ESD peut être mis à profit pour au moins deux aspects de la caractérisation des composants HEMT GaN : la caractérisation du phénomène de R_{ON} dynamique et l'étude de la commutation.

7.2.1 Mesure du R_{on} dynamique

Le phénomène de R_{on} dynamique se traduit par le fait que la résistance de l'interrupteur n'atteint pas immédiatement sa faible valeur après la commutation [Figure 7.2](#). Cette résistance pourra être supérieure de plusieurs pourcents à sa valeur nominale pendant un temps qui peut atteindre plusieurs heures dans les pires cas.

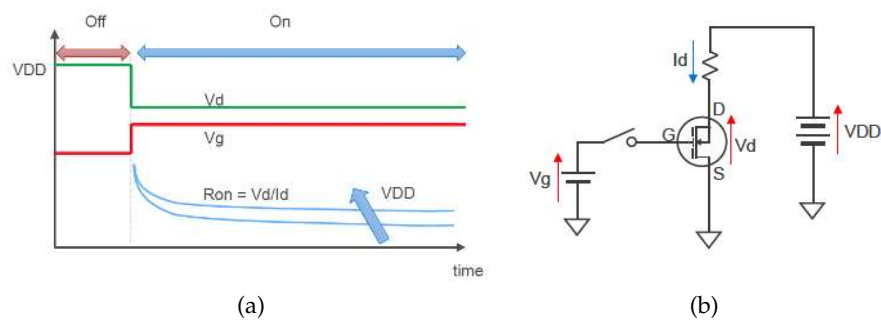


FIGURE 7.2 – Phénomène de R_{on} dynamique.

Ce phénomène est un des plus limitants pour les performances des HEMT GaN. Le phénomène est aujourd'hui essentiellement maîtrisé par le contrôle du profil du champ électrique dans le composant afin de le limiter en dessous des valeurs qui provoquent le phénomène de R_{on} dynamique. Les composants sont donc spécifiés pour une tension d'application donnée mais, de ce fait, ne bénéficient pas totalement des performances théoriques que le matériau devrait permettre. Mieux comprendre ce phénomène et son origine afin de trouver des solutions technologiques efficaces devrait donc permettre d'encore augmenter les performances des composants.

Les testeurs commerciaux actuels permettent de déterminer la valeur du R_{on} des composants, au mieux quelques dizaines de microsecondes après la commutation. Mais ces temps sont longs par rapport à une période de commutation dans un convertisseur qui est inférieure à la microseconde pour un convertisseur fonctionnant au mégahertz.

Lors du post-doctorat (LAAS/CEA-Tech) d'Emmanuel Marcault en 2015 nous avons pu mettre au point un banc de mesure permettant d'accéder à l'évolution temporelle de la valeur du R_{on} , une microseconde après la commutation, en utilisant des méthodes de conception issues du domaine de la caractérisation ESD [86, 87]. Ce banc a fait l'objet d'un brevet [88] et est toujours en cours d'amélioration à l'heure actuelle. Il permet aujourd'hui d'obtenir des mesures cent

nanosecondes après la commutation, pour des tensions à l'état bloqué pouvant atteindre 1000 V. Son automatisation et son couplage à une station sous pointe semi-automatique thermorégulée fait partie de mes perspectives. Le banc que nous développons au LAAS permet

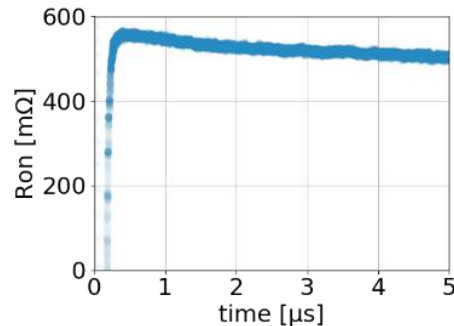


FIGURE 7.3 – Exemple de mesure de l'évolution du R_{on} obtenue sur le banc du LAAS.

donc d'observer l'évolution temporelle de la résistance du composant après sa mise en conduction [Figure 7.3](#). Des travaux sont en cours entre autres au travers de la thèse de Dany Hachem pour le traitement de ces données temporelles afin d'en extraire de manière fiable les temps caractéristiques. L'analyse avancée de ces informations devrait nous ouvrir de nouvelles perspectives pour la compréhension du phénomène de R_{on} dynamique.

7.2.2 Mesure de la commutation

La mesure des commutations des composants de puissance grand-gap et en particulier GaN reste un défi [89]. Les outils de caractérisation actuels ne permettent pas ces mesures car aucun n'offre à la fois la bande passante requise et des calibres de mesure à haute tension ou fort courant.

Comme pour la mesure du R_{on} dynamique, en m'appuyant sur le savoir-faire en caractérisation ESD, je pense pouvoir proposer et étudier des techniques de mesure originales pour répondre à ces besoins. La mesure de la commutation ou des caractéristiques de "gate charge" semblent, entre autres, envisageables.

7.3 MONTÉE EN FRÉQUENCE DES CONVERTISSEURS DE PUISSANCE

Afin de réduire le volume et le poids des convertisseurs de puissance et de tirer le meilleur parti des composants à grand-gap, il est nécessaire d'augmenter la fréquence de fonctionnement des systèmes. Toutefois, une augmentation de la fréquence va nécessiter de repenser

les règles de conception des convertisseurs et cela à plusieurs niveaux : composant actif, passif, interconnexion sur circuit imprimé (PCB, Printed Circuit Board) ou substrat DBC (Direct Bonded Copper), gestion thermique... De plus, les mesures elles-mêmes peuvent devenir complexes et risquent de perturber le fonctionnement du système. En effet, à haute fréquence, une distance et/ou des impédances mal maîtrisées peuvent se traduire par un retard de la commande ou par la perturbation des signaux qui peuvent compromettre le bon fonctionnement d'un convertisseur.

Une fois encore les connaissances en caractérisation ESD semblent pouvoir être utiles pour progresser rapidement dans ces domaines, du point de vue de la conception et de la caractérisation. Dans le cadre des travaux de post-doctorat (CEA-Tech/LAAS) d'Alonso Gutierrez, nous explorons actuellement une solution originale pour concevoir un convertisseur à haute fréquence.

Comme nous l'avons vu à la [section 4.1](#), la conception d'un banc de caractérisation TLP requiert de prendre en compte les phénomènes de propagation dans ce système. Il nous a semblé opportun de transférer cette approche pour aborder la conception d'un convertisseur haute fréquence (20 MHz) et y intégrer des solutions de mesures directement inspiré de celle en ESD.

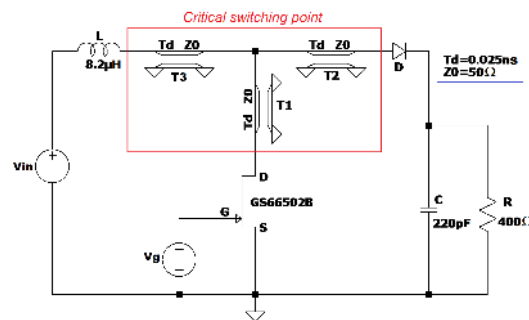
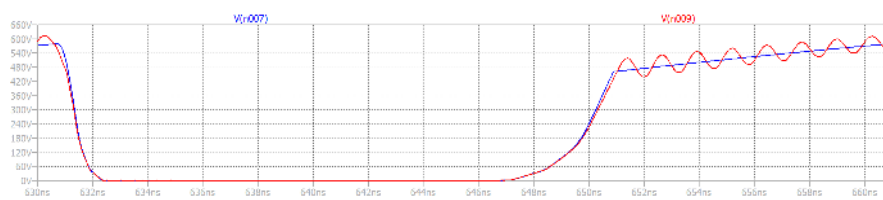


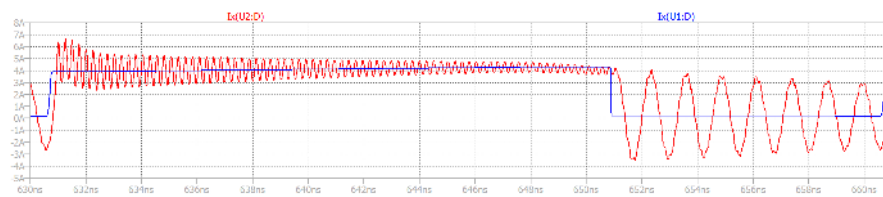
FIGURE 7.4 – Schéma de simulation d'un convertisseur boost avec des modèles de ligne de transmission pour les interconnexions entre composants.

Afin d'illustrer cette approche, un convertisseur "boost" a été sélectionné (Figure 7.4). La simulation en utilisant des composants idéaux (diodes, inductances, capacités) montre que le fait de prendre en compte un simple modèle de ligne de transmission pour les interconnexions entre composants, engendre l'observation de phénomènes d'oscillations liés aux réflexions dans les lignes (Figure 7.5).

Cette approche de modélisation apporte une alternative à l'approche habituelle qui consiste à considérer les interconnexions comme des inductances parasites. Nous pensons qu'il convient de l'explorer pour proposer de nouvelles méthodes de conception pour les convertisseurs haute-fréquence.



(a) Tension



(b) Courant

FIGURE 7.5 – Tension et Courant de drain simulés avec des composants idéaux, avec modèle de ligne pour les interconnexions en rouge et sans en bleu.

BIBLIOGRAPHIE

- [1] Nicolas NOLHIER. « Methodologie de conception des protections des circuits intégrés contre les décharges électrostatiques ». fr. thesis. Université Paul Sabatier - Toulouse III, nov. 2005. URL : <https://tel.archives-ouvertes.fr/tel-00265344/document>.
- [2] Fabrice CAIGNET. « Approche systémique pour l'analyse de l'impact des décharges électrostatiques : du composant au système ». fr. thesis. Université Toulouse III Paul Sabatier, jan. 2015. URL : <https://tel.archives-ouvertes.fr/tel-01292134/document>.
- [3] FEYNMAN. *The Feynman Lectures on Physics Vol. II Ch. 9 : Electricity in the Atmosphere*. 1963. URL : http://www.feynmanlectures.caltech.edu/II_09.html.
- [4] ESD ASSOCIATION. *Electrostatic Discharge (ESD) Technology Roadmap (March 2016)*. Mai 2016. URL : <https://www.esda.org/assets/Uploads/docs/2016ESDATechnologyRoadmap.pdf>.
- [5] Industry Council on ESD TARGET LEVELS. *System Level ESD Part I : Common Misconceptions and Recommended Basic Approaches - White Paper 3*. Déc. 2010. URL : <http://www.esdindustrycouncil.org/ic/en/documents/7-white-paper-3-system-level-esd-part-i-common-misconceptions-and-recommended-basic-approaches>.
- [6] Industry Council on ESD TARGET LEVELS. *Understanding Electrical Overstress (EOS) - White Paper 4*. Août 2016. URL : <https://www.esdindustrycouncil.org/ic/docs/Industry%20Council%20White%20Paper%204%20rev1.2.pdf>.
- [7] TJ MALONEY et N KHURANA. « Transmission line pulsing techniques for circuit modeling of ESD phenomena ». In : *proc. EOS/ESD symp.* T. 7. 1985, p. 49–54.
- [8] D. TREMOUILLES et al. « Understanding the optimization of sub-45nm FinFET devices for ESD applications ». In : *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*. Sept. 2007, 7A.5–1 –7A.5–8. DOI : [10.1109/E0SESD.2007.4401780](https://doi.org/10.1109/E0SESD.2007.4401780).
- [9] D. LINTEN, S. THRJS, M. SCHOLZ, D. TREMOUILLES, M. SAWADA, T. NAKAEI, T. HASEBE et G. GROESENEKEN. « Characterization and modeling of diodes in Sub-45 nm CMOS technologies under HBM stress conditions ». In : *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*. Sept. 2007, 3A.1–1 –3A.1–7. DOI : [10.1109/E0SESD.2007.4401747](https://doi.org/10.1109/E0SESD.2007.4401747).

- [10] S. THIJS et al. « Design methodology of FinFET devices that meet IC-Level HBM ESD targets ». In : *Electrical Overstress/Electrostatic Discharge Symposium, 2008. EOS/ESD 2008. 30th.* Sept. 2008, p. 294 –302.
- [11] S. THIJS et al. « Characterization and Optimization of Sub-32-nm FinFET Devices for ESD Applications ». In : *IEEE Transactions on Electron Devices* 55.12 (déc. 2008), p. 3507 –3516. ISSN : 0018-9383. DOI : [10.1109/TED.2008.2006547](https://doi.org/10.1109/TED.2008.2006547).
- [12] A. GRIFFONI et al. « Impact of Strain on ESD Robustness of FinFET Devices ». In : *Electron Devices Meeting, 2008. IEDM 2008. IEEE International.* Déc. 2008, p. 1 –4. DOI : [10.1109/IEDM.2008.4796689](https://doi.org/10.1109/IEDM.2008.4796689).
- [13] S. THIJS, D. TREMOUILLES, A. GRIFFONI, C. RUSS, D. LINTEN, M. SCHOLZ, N. COLLAERT, R. ROOYACKERS, C. DUVVURY et G. GROESENEKEN. « Electrical and thermal scaling trends for SOI FinFET ESD design ». In : *EOS/ESD Symposium, 2009 31st.* Sept. 2009, p. 1 –8.
- [14] A. GRIFFONI, S. THIJS, C. RUSS, D. TREMOUILLES, D. LINTEN, M. SCHOLZ, N. COLLAERT, L. WITTERS, G. MENEGHESSO et G. GROESENEKEN. « Next generation bulk FinFET devices and their benefits for ESD robustness ». In : *EOS/ESD Symposium, 2009 31st.* Sept. 2009, p. 1 –10.
- [15] Christian Russ, David TRÉMOUILLES et Steven THIJS. « Electronic circuit and method of manufacturing an electronic circuit ». Brev. US Patent 7,687,859. Mar. 2008. URL : <http://www.google.com/patents?id=79zNAAAAEBAJ>.
- [16] Steven THIJS. « ESD Protection for Multiple Gate Field Effect Devices and for RF CMOS Circuits (ESD bescherming voor meervoudige gate veld effect structuren en voor RF CMOS circuits) ». Thèse de doct. 2009. URL : <https://lirias.kuleuven.be/retrieve/80059>.
- [17] Alessio GRIFFONI. « ESD and Ionizing Radiation Effects on Ultra-thin Body SOI and Multiple Gate Technologies ». Thèse de doct. 28 jan. 2010. URL : <http://paduaresearch.cab.unipd.it/2670/>.
- [18] T. PHULPIN, D. TRÉMOUILLES, K. ISOIRD, D. TOURNIER, P. GODIGNON et P. AUSTIN. « Analysis of an ESD failure mechanism on a SiC MESFET ». In : *Microelectronics Reliability.* SI : ES-REF 2014 54.9–10 (sept. 2014), p. 2217–2221. ISSN : 0026-2714. DOI : [10.1016/j.microrel.2014.07.134](https://doi.org/10.1016/j.microrel.2014.07.134). URL : <http://www.sciencedirect.com/science/article/pii/S0026271414003369>.
- [19] T. PHULPIN, D. TRÉMOUILLES, K. ISOIRD, D. TOURNIER, P. GODIGNON et P. AUSTIN. « Failure analysis of ESD-stressed SiC MESFET ». In : *Microelectronics Reliability.* Proceedings of the 26th

- European Symposium on Reliability of Electron Devices, Failure Physics and Analysis SI : Proceedings of ESREF 2015 55.9–10 (août 2015), p. 1542–1548. ISSN : 0026-2714. DOI : [10.1016/j.microrel.2015.06.121](https://doi.org/10.1016/j.microrel.2015.06.121). URL : <http://www.sciencedirect.com/science/article/pii/S0026271415300585>.
- [20] Tanguy PHULPIN, David TRÉMOUILLES, Karine ISOIRD, Patrick AUSTIN, M VELLVEHL, X PERPINYA, X JORDA et Leon J. « Robustesse de MESFET SiC face aux décharges électrostatiques ». In : *SGE Symposium de Génie Electrique*. Grenoble, France, juin 2016. URL : <https://hal.archives-ouvertes.fr/hal-01310299>.
- [21] T. PHULPIN, D. TRÉMOUILLES, K. ISOIRD, D. TOURNIER, P. GODIGNON et P. AUSTIN. « An electrostatic-discharge-protection solution for Silicon-Carbide MESFET ». In : *2015 37th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*. Sept. 2015, p. 1–7. DOI : [10.1109/E0SESD.2015.7314750](https://doi.org/10.1109/E0SESD.2015.7314750).
- [22] Tanguy PHULPIN, David TRÉMOUILLES, Karine ISOIRD, D TOURNIER, P GODIGNON et Patrick AUSTIN. « Analyse du mécanisme d'un défaut ESD sur un MESFET en SiC ». In : *Journées Nationales du Réseau de Doctorants en Microélectronique*. Bordeaux, France, juin 2015. URL : <https://hal.archives-ouvertes.fr/hal-01339803>.
- [23] Tanguy PHULPIN, Karine ISOIRD, David TRÉMOUILLES et Patrick AUSTIN. « Protection ESD pour MESFET SiC ». In : Published : *Journées Intégration et Systèmes de Puissance 3D (ISP3D)*. Mar. 2015. URL : <https://hal.archives-ouvertes.fr/hal-01339804>.
- [24] T. PHULPIN, K. ISOIRD, D. TRÉMOUILLES, P. AUSTIN, X. PERPINYÀ, J. LEÓN et M. VELLVEHL. « Contribution to Silicon-Carbide-MESFET ESD Robustness Analysis ». In : *IEEE Transactions on Device and Materials Reliability* 18.2 (juin 2018), p. 214–223. ISSN : 1530-4388. DOI : [10.1109/TDMR.2018.2817255](https://doi.org/10.1109/TDMR.2018.2817255).
- [25] Tanguy PHULPIN. « Contribution à l'analyse des mécanismes de défaillance lors de décharges électrostatiques et de radiations aux ions lourds de composants MESFET en carbure de silicium ». Thèse de doct. LAAS-CNRS, 26 jan. 2017. URL : <https://hal-univ-tlse3.archives-ouvertes.fr/tel-01493393/document>.
- [26] V. MORTET et A. SOLTANI. « Impurity impact ionization avalanche in p-type diamond ». en. In : *Applied Physics Letters* 99.20 (2011), p. 202105. ISSN : 00036951. DOI : [10.1063/1.3662403](https://doi.org/10.1063/1.3662403). URL : <http://scitation.aip.org/content/aip/journal/apl/99/20/10.1063/1.3662403>.
- [27] V. MORTET, D. TRÉMOUILLES, J. BULÍŘ, P. HUBÍK, L. HELLER, E. BEDEL-PEREIRA et A. SOLTANI. « Peculiarities of high electric field conduction in p-type diamond ». In : *Applied Physics Let-*

- ters 108.15 (avr. 2016), p. 152106. ISSN : 0003-6951, 1077-3118. DOI : [10.1063/1.4946853](https://doi.org/10.1063/1.4946853). URL : <http://scitation.aip.org/content/aip/journal/apl/108/15/10.1063/1.4946853> (visité le 26/04/2016).
- [28] V. MORTET, Z. VLČKOVÁ ŽIVCOVÁ, A. TAYLOR, O. FRANK, P. HUBÍK, D. TRÉMOUILLES, F. JOMARD, J. BARJON et L. KAVAN. « Insight into boron-doped diamond Raman spectra characteristic features ». In : *Carbon* 115, Supplement C (mai 2017), p. 279–284. ISSN : 0008-6223. DOI : [10.1016/j.carbon.2017.01.022](https://doi.org/10.1016/j.carbon.2017.01.022). URL : <http://www.sciencedirect.com/science/article/pii/S0008622317300325> (visité le 20/11/2017).
- [29] V. MORTET, A. TAYLOR, M. DAVYDOVA, L. FEKETE, Z. VLČKOVÁ ŽIVCOVÁ, L. KLIMŠA, N. LAMBERT, P. HUBÍK, D. TRÉMOUILLES et A. SOLTANI. « Comparison of ohmic contact formation of titanium and zirconium on boron doped diamond ». en. In : *MRS Advances* (jan. 2018), p. 1–5. ISSN : 2059-8521. DOI : [10.1557/adv.2018.39](https://doi.org/10.1557/adv.2018.39). URL : <https://www.cambridge.org/core/journals/mrs-advances/article/comparison-of-ohmic-contact-formation-of-titanium-and-zirconium-on-boron-doped-diamond/99DC2C425BFBE179CE3AFF3ED1632C45> (visité le 11/01/2018).
- [30] V. MORTET, A. TAYLOR, Z. VLČKOVÁ ŽIVCOVÁ, D. MACHON, O. FRANK, P. HUBÍK, D. TREMOUILLES et L. KAVAN. « Analysis of heavily boron-doped diamond Raman spectrum ». In : *Diamond and Related Materials* 88 (sept. 2018), p. 163–166. ISSN : 0925-9635. DOI : [10.1016/j.diamond.2018.07.013](https://doi.org/10.1016/j.diamond.2018.07.013). URL : <http://www.sciencedirect.com/science/article/pii/S0925963518303467> (visité le 16/12/2018).
- [31] M. DAVYDOVA, A. TAYLOR, P. HUBÍK, L. FEKETE, L. KLIMŠA, D. TRÉMOUILLES, A. SOLTANI et V. MORTET. « Characteristics of zirconium and niobium contacts on boron-doped diamond ». In : *Diamond and Related Materials* 83 (mar. 2018), p. 184–189. ISSN : 0925-9635. DOI : [10.1016/j.diamond.2018.02.009](https://doi.org/10.1016/j.diamond.2018.02.009). URL : <http://www.sciencedirect.com/science/article/pii/S0925963517306350> (visité le 16/12/2018).
- [32] Nicolas LAMBERT, David TREMOUILLES, Andrew TAYLOR, Pavel HUBIK, Joris MORE-CHEVALIER, Jiri BULIR et Vincent MORTET. « Development of 100 Ns Wide Blumlein Transmission Line Pulse Generator for : Study of High Electric Field Properties in Boron-Doped Diamond ». English. In : WOS :000452823300154. Slezska : Tanger Ltd, oct. 2017, p. 924–929. ISBN : 978-80-87294-81-9.
- [33] Marianne DIATTA. « Fiabilité des diodes de protection ESD soumises à des décharges électrostatiques répétitives ». Thèse de doct. Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier),

- 26 jan. 2012. URL : <https://hal.laas.fr/tel-01946859/document>.
- [34] M. DIATTA, E. BOUYSSOU, D. TRÉMOUILLES, P. MARTINEZ, F. ROQUETA, O. ORY et M. BAFLEUR. « Failure mechanisms of discrete protection device subjected to repetitive electrostatic discharges (ESD) ». In : *Microelectronics Reliability* 49.9–11 (sept. 2009), p. 1103–1106. ISSN : 0026-2714. DOI : [10.1016/j.microrel.2009.06.010](https://doi.org/10.1016/j.microrel.2009.06.010). URL : <http://www.sciencedirect.com/science/article/pii/S0026271409002005>.
- [35] M. DIATTA, D. TREMOUILLES, E. BOUYSSOU et M. BAFLEUR. « Investigation of statistical tools to analyze repetitive HMM stress endurance of system-level ESD protection ». In : *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 2011 33rd*. Sept. 2011, p. 1–9.
- [36] M.A. DIATTA, D. TREMOUILLES, E. BOUYSSOU et M. BAFLEUR. « Investigation on Statistical Tools to Analyze Repetitive-Electrostatic-Discharge Endurance of System-Level Protections ». In : *IEEE Transactions on Device and Materials Reliability* 12.4 (2012), p. 607–614. ISSN : 1530-4388. DOI : [10.1109/TDMR.2012.2212441](https://doi.org/10.1109/TDMR.2012.2212441).
- [37] S. THIJS, C. RUSS, D. TREMOUILLES, A. GRIFFONI, D. LINTEN, M. SCHOLZ, N. COLLAERT, R. ROOYACKERS, M. JURCZAK et G. GROESENEKEN. « Methodology for Design Optimization of SOI FinFET Grounded-Gate NMOS Devices ». In : *IEEE Transactions on Device and Materials Reliability* 10.3 (sept. 2010), p. 338–346. ISSN : 1530-4388. DOI : [10.1109/TDMR.2010.2049651](https://doi.org/10.1109/TDMR.2010.2049651).
- [38] Steven THIJS, Dimitri LINTEN et David TRÉMOUILLES. « Design methodology for MuGFET ESD protection devices ». Brev. US Patent 7,923,266. Avr. 2011. URL : <http://www.google.com/patents?id=00J6AQAEBAJ>.
- [39] S. THIJS, D. TRÉMOUILLES, D. LINTEN, N.M. IYER, A. GRIFFONI et G. GROESENEKEN. « Advanced ESD power clamp design for SOI FinFET CMOS technology ». In : *IC Design and Technology (ICICDT), 2010 IEEE International Conference on*. 2010, p. 43–46. DOI : [10.1109/ICICDT.2010.5510299](https://doi.org/10.1109/ICICDT.2010.5510299). URL : [10.1109/ICICDT.2010.5510299](https://doi.org/10.1109/ICICDT.2010.5510299).
- [40] Dimitri LINTEN, Steven THIJS, David Eric TREMOUILLES et Mahadeva Iyer NATARAJAN. « Bidirectional ESD power clamp ». Brev. EP2194578. Sept. 2010. URL : <http://www.freepatentsonline.com/EP2194578.html>.
- [41] Houssam ARBESS. « Structures MOS-IGBT sur technologie SOI en vue de l'amélioration des performances à haute température de composants de puissance et de protections ESD ». Thèse de doct. Université Paul Sabatier - Toulouse III, 22 mai 2012. URL : <http://tel.archives-ouvertes.fr/tel-00715137>.

- [42] Léna SAINT MACARY. « Synthèse, mise en forme de caractérisation de matériaux à base de nanoparticules d'oxyde de zinc pour la réalisation de varistances intégrées ». Thèse de doct. Université de Toulouse, Université Toulouse III - Paul Sabatier, 12 nov. 2008. 200 p. URL : <http://thesesups.ups-tlse.fr/992/>.
- [43] Léna Saint MACARY, Myrtil L. KAHN, Claude ESTOURNÈS, Pierre FAU, David TRÉMOUILLES, Marise BAFLEUR, Philippe RENAUD et Bruno CHAUDRET. « Size Effect on Properties of Varistors Made From Zinc Oxide Nanoparticles Through Low Temperature Spark Plasma Sintering ». en. In : *Advanced Functional Materials* 19.11 (2009), p. 1775–1783. ISSN : 1616-3028. DOI : [10.1002/adfm.200801067](https://doi.org/10.1002/adfm.200801067). URL : <http://onlinelibrary.wiley.com/doi/10.1002/adfm.200801067/abstract>.
- [44] Laurent MALAQUIN, Tobias KRAUS, Heinz SCHMID, Emmanuel DELAMARCHE et Heiko WOLF. « Controlled Particle Placement through Convective and Capillary Assembly ». In : *Langmuir* 23.23 (nov. 2007), p. 11513–11521. ISSN : 0743-7463. DOI : [10.1021/la700852c](https://doi.org/10.1021/la700852c). URL : <https://doi.org/10.1021/la700852c>.
- [45] D. TREMOUILLES, S. THIJS, P. ROUSSEL, M.I. NATARAJAN, V. VASSILEV et G. GROESENEKEN. « Transient voltage overshoot in TLP testing ; Real or artifact ? » In : *Electrical Overstress/Electrostatic Discharge Symposium, 2005. EOS/ESD '05*. Sept. 2005, p. 1 –9.
- [46] D. TRÉMOUILLES, S. THIJS, Ph. ROUSSEL, M.I. NATARAJAN, V. VASSILEV et G. GROESENEKEN. « Transient voltage overshoot in TLP testing – Real or artifact ? » In : *Microelectronics Reliability* 47.7 (juil. 2007), p. 1016–1024. ISSN : 0026-2714. DOI : [10.1016/j.microrel.2006.11.004](https://doi.org/10.1016/j.microrel.2006.11.004). URL : <http://www.sciencedirect.com/science/article/pii/S0026271406003891>.
- [47] Antoine DELMAS. « Étude transitoire du déclenchement de protections haute tension contre les décharges électrostatiques ». Thèse de doct. Université Paul Sabatier - Toulouse III, 27 fév. 2012. URL : <http://tel.archives-ouvertes.fr/tel-00720123>.
- [48] A. DELMAS, D. TREMOUILLES, N. NOLHIER, M. BAFLEUR, N. MAURAN et A. GENDRON. « Accurate transient behavior measurement of high-voltage ESD protections based on a very fast transmission-line pulse system ». In : *EOS/ESD Symposium, 2009 31st*. Sept. 2009, p. 1 –8.
- [49] D. TREMOUILLES, A. DELMAS, N. MAURAN, N. NOLHIER, H. ARBESS et M. BAFLEUR. « Transient-TLP (T-TLP) : A simple method for accurate ESD protection transient behavior measurement ». In : *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 2013 35th*. 2013, p. 1–10.
- [50] David TRÉMOUILLES. *Satellite*. <http://esdanalysistools.github.io/Satellite/>. 2014. URL : <http://esdanalysistools.github.io/Satellite/>.

- [51] David TRÉMOUILLES. *ThunderStorm*. <http://esdanalysistools.github.io/ThunderStorm/>. 2014. URL : <http://esdanalysistools.github.io/ThunderStorm/>.
- [52] Mirko SCHOLZ, David Eric TREMOUILLES, Steven THIJS et Dimitri LINTEN. « ESD test system calibration ». Brev. EP1972952. Sept. 2008. URL : <http://www.freepatentsonline.com/EP1972952.html>.
- [53] Mirko SCHOLZ, David TRÉMOUILLES, Steven THIJS et Dimitri LINTEN. « Method for calibrating an electrostatic discharge tester ». Brev. US Patent 7,821,272. Oct. 2010. URL : <http://www.google.com/patents?id=TLzYAAAAEBAJ>.
- [54] T. NAKAEI, M. SAWADA, T. SHINTANI, N.M. IYER et David TRÉMOUILLES. « Method of measuring characteristic impedance of electrostatic discharge ... ». Brev. US Patent 7,609,076. Oct. 2009. URL : <http://www.google.com/patents?id=MWXJAAAAEBAJ>.
- [55] M. SCHOLZ, D. TRÉMOUILLES, D. LINTEN, Y. ROLAIN, R. PINTELOU, M. SAWADA, T. NAKAEI, T. HASEBE et G. GROESENEKEN. « Faster ESD device characterization with wafer-level HBM ». In : *2007 IEEE International Conference on Microelectronic Test Structures*. Mar. 2007, p. 93–96. DOI : [10.1109/ICMTS.2007.374462](https://doi.org/10.1109/ICMTS.2007.374462).
- [56] M. SCHOLZ, S. THIJS, D. LINTEN, D. TREMOUILLES, M. SAWADA, T. NAKAEI, T. HASEBE, M.I. NATARAJAN et G. GROESENEKEN. « Calibrated wafer-level HBM measurements for quasi-static and transient device analysis ». In : *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*. Sept. 2007, 2A.2–1–2A.2–6. DOI : [10.1109/EOS/ESD.2007.4401736](https://doi.org/10.1109/EOS/ESD.2007.4401736).
- [57] V.A. VASHCHENKO et al. « Turn-off characteristics of the CMOS snapback ESD protection devices - new insights and its implications ». In : *Electrical Overstress/Electrostatic Discharge Symposium, 2006. EOS/ESD '06*. Sept. 2006, p. 39–45.
- [58] Jinyu Jason RUAN. « Analyse et modélisation de l'impact des décharges électrostatiques et des agressions électromagnétiques sur les microcommutateurs ». Thèse de doct. Université Paul Sabatier - Toulouse III, 2 juil. 2010. URL : <http://tel.archives-ouvertes.fr/tel-00512333>.
- [59] J. RUAN, N. NOLHIER, G.J. PAPAIOANNOU, D. TRÉMOUILLES, V. PUYAL, C. VILLENEUVE, T. IDDA, F. COCCETTI et R. PLANA. « Accelerated lifetime test of RF-MEMS switches under ESD stress ». In : *Microelectronics Reliability* 49.9–11 (sept. 2009), p. 1256–1259. ISSN : 0026-2714. DOI : [10.1016/j.microrel.2009.06.023](https://doi.org/10.1016/j.microrel.2009.06.023). URL : <http://www.sciencedirect.com/science/article/pii/S0026271409002273>.

- [60] J. RUAN, G.J. PAPAIOANNOU, N. NOLHIER, D. TREMOUILLES, F. COCCETTI et R. PLANA. « Temperature dependence of ESD charging in RF MEMS capacitive switch ». In : *Microwave Integrated Circuits Conference, 2009. EuMIC 2009. European*. Sept. 2009, p. 403–406.
- [61] J. JINYU RUAN, G. PAPAIOANNOU, N. NOLHIER, D. TREMOUILLES, F. COCCETTI et R. PLANA. « Charging and discharging studies in microwave capacitive switches under high field pulse discharges ». In : *2010 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*. Jan. 2010, p. 140–143. DOI : [10.1109/SMIC.2010.5422844](https://doi.org/10.1109/SMIC.2010.5422844).
- [62] J. RUAN, N. NOLHIER, D. TREMOUILLES, G. PAPAIOANNOU et R. PLANA. « ESD events in SiN RF-MEMS capacitive switches ». In : *EOS/ESD Symposium, 2009 31st*. 2009, p. 1–6.
- [63] Jinyu J RUAN, George PAPAIOANNOU, David TRÉMOUILLES, Nicolas NOLHIER, Fabio COCCETTI et Robert PLANA. « Pulse induced charging tests in capacitive RF-MEMS switches ». In : *European Microwave Week 2010 (EuMC 2010)*. Paris (France), sept. 2010, p. 517–520.
- [64] Jinyu J RUAN, David TRÉMOUILLES, Fabio COCCETTI, Nicolas NOLHIER, George PAPAIOANNOU et Robert PLANA. « Reliability assessment of electrostatically driven MEMS devices : based on a pulse-induced charging technique ». In : *Journal of Micromechanics and Microengineering* 22.4 (avr. 2012), p. 045016. ISSN : 0960-1317, 1361-6439. DOI : [10.1088/0960-1317/22/4/045016](https://doi.org/10.1088/0960-1317/22/4/045016). URL : <http://iopscience.iop.org/0960-1317/22/4/045016>.
- [65] J. J RUAN, N. MONNEREAU, D. TRÉMOUILLES, N. MAURAN, F. COCCETTI, N. NOLHIER et R. PLANA. « An Accelerated Stress Test Method for Electrostatically Driven MEMS Devices ». English. In : *IEEE Transactions on Instrumentation and Measurement* 61.2 (fév. 2012), p. 456–461. ISSN : 0018-9456. DOI : [10.1109/TIM.2011.2161937](https://doi.org/10.1109/TIM.2011.2161937).
- [66] Nicolas GUITARD. « Caractérisation de défauts latents dans les circuits intégrés soumis à des décharges électrostatiques ». Thèse de doct. Université Paul Sabatier - Toulouse III, 26 oct. 2006. URL : <https://tel.archives-ouvertes.fr/tel-00139542/document>.
- [67] Nicolas GUITARD, David TRÉMOUILLES, Marise BAFLEUR, L. ESCOTTE, L. BARY, P. PERDU, G. SARRABAYROUSE, Nicolas NOLHIER et R. REYNA-ROJAS. « Low Frequency Noise Measurements for ESD Latent Defect Detection in High Reliability Applications ». In : *Microelectronics Reliability* 44.9–11 (sept. 2004), p. 1781–1786. ISSN : 0026-2714. DOI : [10.1016/j.microrel.2004.07.106](https://doi.org/10.1016/j.microrel.2004.07.106). URL : <http://www.sciencedirect.com/science/article/pii/S0026271404003270>.

- [68] P. JANSEN et al. « RF ESD protection strategies - the design and performance trade-off challenges ». In : *Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005*. Sept. 2005, p. 489–496. DOI : [10.1109/CICC.2005.1568713](https://doi.org/10.1109/CICC.2005.1568713).
- [69] M.I. NATARAJAN et al. « RFCMOS ESD protection and reliability ». In : *Physical and Failure Analysis of Integrated Circuits, 2005. IPFA 2005. Proceedings of the 12th International Symposium on the*. Juil. 2005, p. 59–66. DOI : [10.1109/IPFA.2005.1469132](https://doi.org/10.1109/IPFA.2005.1469132).
- [70] D. LINTEN, S. THIJS, J. BORREMANS, M. DEHAN, D. TREMOUILLES, M. SCHOLZ, M.I. NATARAJAN, P. WAMBACQ et G. GROESENEKEN. « T-diodes - a novel plug-and-play wideband RF circuit ESD protection methodology ». In : *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*. Sept. 2007, 4A.1-1–4A.1-8. DOI : [10.1109/EOS/ESD.2007.4401759](https://doi.org/10.1109/EOS/ESD.2007.4401759).
- [71] Nicolas MONNEREAU. « Développement d'une méthodologie de caractérisation et de modélisation de l'impact des décharges électrostatiques sur les systèmes électroniques ». Thèse de doct. Université Paul Sabatier - Toulouse III, 7 déc. 2011. URL : <https://tel.archives-ouvertes.fr/tel-01068707/document>.
- [72] N. MONNEREAU, F. CAIGNET et D. TREMOUILLES. « Building-up of system level ESD modeling : Impact of a decoupling capacitance on ESD propagation ». In : *Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd*. Oct. 2010, p. 1–10.
- [73] P. BESSE, F. LAFON, N. MONNEREAU, F. CAIGNET, J.P. LAINE, A. SALLES, S. RIGOUR, M. BAFLEUR, N. NOLHIER et D. TREMOUILLES. « ESD system level characterization and modeling methods applied to a LIN transceiver ». In : *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 2011 33rd*. Sept. 2011, p. 1–9.
- [74] N. MONNEREAU, F. CAIGNET, N. NOLHIER, D. TREMOUILLES et M. BAFLEUR. « Investigating the probability of susceptibility failure within ESD system level consideration ». In : *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 2011 33rd*. Sept. 2011, p. 1–6.
- [75] N. MONNEREAU, F. CAIGNET, N. NOLHIER, D. TREMOUILLES et M. BAFLEUR. « Behavioral-modeling methodology to predict Electrostatic-Discharge susceptibility failures at system level : An IBIS improvement ». In : *EMC Europe 2011 York*. Sept. 2011, p. 457–463.
- [76] N. MONNEREAU, F. CAIGNET, N. NOLHIER, M. BAFLEUR et D. TREMOUILLES. « Investigation of Modeling System ESD Failure and Probability Using IBIS ESD Models ». In : *IEEE Transactions on Device and Materials Reliability* 12.4 (2012), p. 599–606. ISSN : 1530-4388. DOI : [10.1109/TDMR.2012.2218605](https://doi.org/10.1109/TDMR.2012.2218605).

- [77] N. MONNEREAU, F. CAIGNET, D. TRÉMOUILLES, N. NOLHIER et M. BAFLEUR. « Building-up of system level ESD modeling : Impact of a decoupling capacitance on ESD propagation ». In : *Microelectronics Reliability*. Advances in Electrostatic Discharge (ESD) protection for ICs 53.2 (fév. 2013), p. 221–228. ISSN : 0026-2714. DOI : [10.1016/j.microrel.2012.04.012](https://doi.org/10.1016/j.microrel.2012.04.012). URL : <http://www.sciencedirect.com/science/article/pii/S0026271412001291>.
- [78] N. MONNEREAU, F. CAIGNET, D. TREMOUILLES, N. NOLHIER et M. BAFLEUR. « A System-Level Electrostatic-Discharge-Protection Modeling Methodology for Time-Domain Analysis ». In : *IEEE Transactions on Electromagnetic Compatibility* 55.1 (2013), p. 45–57. ISSN : 0018-9375. DOI : [10.1109/TEM.2012.2208973](https://doi.org/10.1109/TEM.2012.2208973).
- [79] Stéphane MALLAT. *Sciences des données, Leçon inaugurale de Stéphane Mallat au Collège de France*. fr. Jan. 2019. URL : <https://www.college-de-france.fr/site/stephane-mallat/inaugural-lecture-2018-01-11-18h00.htm>.
- [80] *scikit-learn : machine learning in Python — scikit-learn 0.20.2 documentation*. URL : <https://scikit-learn.org/stable/>.
- [81] Robert ALEXANDER. « Test Structures for Benchmarking the Electrostatic Discharge (ESD) Robustness of CMOS Technologies ». en. In : *SEMATECH TT 98013452A-TR* (mai 1998). URL : <https://smtnet.com/library/files/upload/Benchmarking-Electrostatic-Discharge.pdf>.
- [82] S. VOLDMAN, W. ANDERSON, R. ASHTON, M. CHAINE, C. DUVVURY, T. MALONEY et E. WORLEY. « Electrostatic discharge (ESD) technology benchmarking strategy for evaluating ESD robustness of CMOS technologies ». In : *1998 IEEE International Integrated Reliability Workshop Final Report (Cat. No.98TH8363)*. Oct. 1998, p. 72–77. DOI : [10.1109/IRWS.1998.745371](https://doi.org/10.1109/IRWS.1998.745371).
- [83] Sébastien ALLIBE, André CABARBAYE et Lamine Ngom Linda TOMASINI. « Apport des algorithmes génétiques à la Sécurité de Fonctionnement et à l’optimisation des systèmes ». fr. In : (), p. 7. URL : http://cabinnovation.com/sites/default/files/fichiers/QUALITA99_1.pdf.
- [84] *GENCAB Indra | CAB INNOVATION*. URL : <http://cabinnovation.com/content/gencab-indra>.
- [85] Adrien CABARBAYE, Aurélien CABARBAYE et André CABARBAYE. « Une plateforme open source d’optimisation générique hautement distribuée ». fr. In : (), p. 13. URL : http://cabinnovation.com/sites/default/files/fichiers/Gencab%20Indra%20article_0_0.pdf#overlay-context=content/gencab-indra.

- [86] Emmanuel MARCAULT, David TRÉMOUILLES, Karine ISOIRD, Gaëtan TOULON, Frédéric MORANCHO et Mathieu GAVELLE. « Mesure de résistance dynamique de HEMT en GaN à l'échelle de la centaine de nanosecondes ». In : *Symposium de Genie Electrique*. Grenoble, France, juin 2016. URL : <https://hal.archives-ouvertes.fr/hal-01361669>.
- [87] E. MARCAULT, D. TRÉMOUILLES, K. ISOIRD, F. MORANCHO et M. GAVELLE. « Dynamic of power-GaN-HEMT electrical parameters : Why DC characterization might be misleading ». In : *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*. Sept. 2016, p. 1–6. DOI : [10.1109/EPE.2016.7695492](https://doi.org/10.1109/EPE.2016.7695492).
- [88] Emmanuel MARCAULT et David TREMOUILLES. « DEVICE FOR CHARACTERISING A POWER SWITCH ». Brev. European Patent Application EP3144687 Kind Code : A1. Mar. 2017. URL : <http://www.freepatentsonline.com/EP3144687A1.html>.
- [89] S. SANDLER. « Faster-Switching GaN : Presenting a number of interesting measurement challenges ». In : *IEEE Power Electronics Magazine* 2.2 (juin 2015), p. 24–31. ISSN : 2329-9207. DOI : [10.1109/MPPEL.2015.2420232](https://doi.org/10.1109/MPPEL.2015.2420232).